

**UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

JOÃO OLÍMPIO CALIMAN

**PRÉ-REGULADOR DE FATOR DE POTÊNCIA TRIFÁSICO
BASEADO NO CONVERSOR SEPIC**

**VITÓRIA
2020**

JOÃO OLÍMPIO CALIMAN

**PRÉ-REGULADOR DE FATOR DE POTÊNCIA TRIFÁSICO
BASEADO NO CONVERSOR SEPIC**

Dissertação apresentada ao Programa de Pós Graduação em Engenharia Elétrica – PPGEE, do Centro Tecnológico da Universidade Federal do Espírito Santo - UFES, como requisito parcial para obtenção do Grau de Mestre em Engenharia Elétrica.

Orientador: **Prof. Dr. Domingos Sávio Lyrio Simonetti**

Coorientador: **Prof. Dr. Walbermark Marques dos Santos**

VITÓRIA
2020

Ficha catalográfica disponibilizada pelo Sistema Integrado de Bibliotecas - SIBI/UFES e elaborada pelo autor

C153p Caliman, João Olímpio, 1995-
Pré-regulador de fator de potência trifásico baseado no conversor SEPIC / João Olímpio Caliman. - 2020.
87 f. : il.

Orientador: Domingos Sávio Lyrio Simonetti.
Coorientador: Walbermark Marques dos Santos.
Dissertação (Mestrado em Engenharia Elétrica) -
Universidade Federal do Espírito Santo, Centro Tecnológico.

1. Eletrônica de potência. 2. Retificadores de corrente elétrica. 3. Fator de potência. 4. Projeto experimental. I. Simonetti, Domingos Sávio Lyrio. II. Santos, Walbermark Marques dos. III. Universidade Federal do Espírito Santo. Centro Tecnológico. IV. Título.

CDU: 621.3

JOAO OLÍMPIO CALIMAN

**PRÉ-REGULADOR DE FATOR DE POTÊNCIA TRIFÁSICO
BASEADO NO CONVERSOR SEPIC**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para obtenção do título de Mestre em Engenharia Elétrica.

Aprovada em 27 de maio de 2020.

COMISSÃO EXAMINADORA

D. S. Simonetti

Prof. Dr. Domingos Sávio Lyrio Simonetti
Orientador

Walbermark Marques dos Santos

Prof. Dr. Walbermark Marques dos Santos
Coorientador

Tiara R. Smarssaro de Freitas

Prof^a. Dr^a. Tiara Rodrigues Smarssaro De Freitas
Membro externo

José Luiz F. Vieira

Prof. Dr. José Luiz de Freitas Vieira
Membro externo

DEDICATÓRIA

Dedico este trabalho aos meus pais.

AGRADECIMENTOS

Antes de qualquer coisa, agradeço a Deus pela saúde e por me dar condições de realizar este trabalho.

Sou grato aos meus orientadores que não deixaram de me dar suporte e orientação em momento algum e que disponibilizaram tempo e conhecimento fundamentais para a realização deste trabalho.

Agradeço aos amigos do LEPAC pelas construtivas conversas e momentos de felicidade e descontração, seja no laboratório ou nos horários de almoço.

Agradeço aos meus pais, João e Nildete, que derramaram tanto suor para me dar suporte em seguir meu caminho e que desde o início de minha jornada sempre foram presentes mesmo estando longe. Sempre apresentaram muita coragem e determinação e por isso são exemplos que segui para chegar onde cheguei.

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001

EPÍGRAFE

“Inteligência é a habilidade de se adaptar às mudanças.”

Stephen Hawking

RESUMO

Diante da importância da qualidade da energia elétrica nos sistemas de transmissão e distribuição, ganha força a necessidade do uso de cargas, que se comportem o mais próximo possível de cargas lineares. Para se atingir tal objetivo, pré-reguladores de fator de potência foram desenvolvidos. Sendo assim, neste trabalho, é proposta uma topologia de um retificador pré-regulador de fator de potência trifásico baseado no conversor SEPIC. Todo o equacionamento foi desenvolvido para operação em condução descontínua, abordando inclusive a obtenção de um modelo dinâmico no domínio da frequência que corresponda à variação da tensão de saída quando uma variação é aplicada à razão cíclica de operação. O retificador SEPIC abordado, em seu funcionamento como elevador de tensão, é acionado originalmente por um único sinal PWM com razão cíclica fixa, enviado às três chaves presentes na topologia. Para sua operação como abaixador de tensão, adicionou-se, em série com a saída da ponte retificadora, uma chave semicondutora com acionamento complementar. Para validação da topologia proposta, um conversor de 500W e 200V de tensão de saída, operando com frequência de chaveamento de 20 kHz e alimentado a partir da rede trifásica de 220V é projetado e simulado. Além disso, um protótipo é implementado e os resultados são comparados com os de simulação.

ABSTRACT

Given the importance of the quality of electrical energy in transmission and distribution systems, the need to use loads, which behaves as close as possible to linear loads gains strength. To achieve this goal, the power factor pre-regulators were developed. Therefore, in this work, a SEPIC three-phase power factor pre-regulator rectifier topology is proposed. The entire equations are derived for operation in discontinuous conduction mode, as well as a dynamic model on the frequency domain that corresponds to the variation of the output voltage when a variation is applied to the duty cycle of operation. The SEPIC rectifier addressed, in its operation as a voltage lift, is originally driven by a single PWM signal with fixed duty cycle, sent to the three switches present on the topology. For operation as a voltage lowering device, a switch is added in series with the diode bridge, working in a complementary manner. For validation of the topology proposed, a 500W and 200V output voltage converter, driven by a 20 kHz PWM signal and powered from the 220V three-phase network, is designed and simulated. In addition, a prototype is implemented and the results are compared with the simulation.

LISTA DE FIGURAS

Figura 1 – Retificador PFP SEPIC monofásico isolado apresentado por Sebastián e outros (1991).	21
Figura 2 – Topologia SEPIC monofásico com múltiplas saídas.	22
Figura 3 – Topologia retificador Pré- Regulador de fator de potência SEPIC Monofásico sem ponte de diodos.	23
Figura 4 – Topologia retificador PFP SEPIC Monofásico sem ponte de diodos aprimorada.....	23
Figura 5 – Topologia simples PFP com SEPIC no lado CC.	24
Figura 6 – Topologia PFP SEPIC com indutores do lado CA.....	24
Figura 7 – Topologia SEPIC apresentada por Oishi e outros (1995).	25
Figura 8 – Topologia SEPIC apresentada por Ayyanar, Mohan e Sun (2000).	25
Figura 9 – Topologia SEPIC-VIENNA apresentada por Kolar e outros (1997).....	26
Figura 10 – Topologia SEPIC- VIENNA apresentada por Bashar e outros (2017)....	27
Figura 11 – Topologia SEPIC trifásica apresentada por Foroozeshfar e Adib (2018).	27
Figura 12 – Topologia SEPIC trifásica apresentada por Tibola e Barbi (2013).	28
Figura 13 – Topologia SEPIC trifásica apresentada por Assunção e Font (2015). ...	28
Figura 14 – Conversor SEPIC apresentado por Simonetti, Sebastian e Uceda (1995).	29
Figura 15 – Topologia SEPIC apresentada por Freitas (2015).	29
Figura 16 – Corrente de saída da ponte retificadora para operação como abaixador no momento de acionamento das chaves S_1	33
Figura 17 – Topologia apresentada para o retificador PFP SEPIC.	35
Figura 18 – Intervalo analisado para levantamento de equações.	36
Figura 19 – Correntes de entrada com etapas de operação definidas: a) correntes nos indutores L_1 e b) correntes nos indutores L_2	37
Figura 20 – Circuito equivalente da primeira etapa de operação.	38
Figura 21 – Circuito equivalente para análise de tensão durante T_{on} e $v_3(t) = 0$	40
Figura 22 – Circuito equivalente durante segunda etapa de operação.	41
Figura 23 – Malhas formadas entre os indutores L_1 durante a segunda etapa de operação.....	41
Figura 24 – Malha formada entre os indutores L_2 das fases 1 e 3 durante a segunda etapa de operação.	43

Figura 25 – Malha formada entre indutores L_2 das fases 2 e 3 durante a segunda etapa de operação.	43
Figura 26 – Circuito equivalente durante terceira etapa de operação.	45
Figura 27 – Malha formada entre os indutores L_1 durante a terceira etapa de operação.	46
Figura 28 – Circuito equivalente do caminho das correntes dos indutores L_2 durante terceira etapa de operação.	47
Figura 29 – Circuito equivalente durante quarta etapa de operação.	48
Figura 30 – Corrente da chave S_2 do conversor apresentado.	49
Figura 31 – Representação da impedância de saída.	52
Figura 32 – Circuito equivalente da modelagem CIECA.	53
Figura 33 – Gráfico da função $f(\omega t)$ com valores máximos e mínimos destacados.	55
Figura 34 – Impedância equivalente vista pela rede durante cada etapa de operação.	58
Figura 35 – Topologia do conversor com tensões nas chaves e diodo explicitadas.	63
Figura 36 – Protótipo implementado.	67
Figura 37 – Microcontrolador utilizado.	68
Figura 38 – Circuito de acionamento dos IGBTs.	69
Figura 39 – Diagrama de conexão para acionamento dos IGBTs.	70
Figura 40 – Circuito grampeador implementado para as chaves S_1	71
Figura 41 – Circuito elaborado no software PSIM para simulação do conversor SEPIC.	71
Figura 42 – Fonte de alimentação programável Pacific Power Source AMX-360.	72
Figura 43 – Tensão, corrente e potência instantânea de entrada.	74
Figura 44 – Detalhe mostrando a corrente no indutor L_1	75
Figura 45 – Tensão no Indutor L_1	76
Figura 46 – Tensões na chave S_1	77
Figura 47 – Tensões na chave S_2	77
Figura 48 – Tensão no capacitor C_1 e tensão de entrada.	78
Figura 49 – Variação de tensão no capacitor C_1	78
Figura 50 – Corrente no indutor L_2	79
Figura 51 – Tensão no indutor L_2	79
Figura 52 – Tensão Ânodo- Cátodo (V_{AC}) do diodo D_2 da ponte retificadora.	80
Figura 53 – Tensão e corrente na carga.	81
Figura 54 – Modelo de circuito equivalente implementado em simulação.	81

Figura 55 – Comparação da tensão de saída com o modelo proposto para diferentes variações na razão cíclica.....82

LISTA DE TABELAS

Tabela 1 – Tabela comparativa de topologias SEPIC.....	30
Tabela 2 – Parâmetros utilizados e calculados para simulação do conversor SEPIC apresentado por Freitas (2015).	32
Tabela 3 – Parâmetros de projeto pré- regulador de fator de potência SEPIC trifásico.	65
Tabela 4 – Valores definidos e obtidos no projeto do conversor SEPIC.	66
Tabela 5 – Valores reajustados dos parâmetros de projeto do pré-regulador SEPIC.	66
Tabela 6 – Valores máximos de corrente e tensão nos elementos da topologia para o projeto elaborado.....	67

LISTA DE ABREVIATURAS E SIGLAS

CC	Corrente contínua.
CI	Circuito integrado.
CIECA	<i>Current Injected Equivalent Circuit Approach.</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LEPAC	Laboratório de Eletrônica de Potência e Acionamento Elétrico.
LKC	Lei de kirchhoff das correntes.
LKT	Lei de Kirchhoff das tensões.
MOSFET	<i>Metal-Oxide-Semiconductor Field Effect Transistor</i>
PPF	Pré-regulador de fator de potência.
PWM	<i>Pulse width Modulation.</i>
SEPIC	<i>Single Ended Primary Inductor Current.</i>
UFES	Universidade Federal do Espírito Santo.

LISTA DE SÍMBOLOS

A	Ampère
C_0	Capacitor de Saída.
C_1	Capacitores ao centro da topologia.
d	Razão cíclica.
\hat{d}	Perturbação da razão cíclica.
$d_{max.}$	Razão cíclica máxima.
D_c	Razão cíclica contínua.
D_i , sendo $i = 1$ a 6	Diodo i da ponte retificadora.
F	Faraday (Capacitância).
f	Frequência.
f_{alr}	Frequência de alimentação da rede.
$f_{ress.}$	Frequência de ressonância.
$f(\omega t)$	Função da variação da razão cíclica.
H	Henry (Indutância).
I_0	Corrente de saída (na carga).
i_{0medio}	Corrente média na saída da ponte retificadora.
\hat{i}_{0medio}	Perturbação da corrente média na saída da ponte retificadora.
$I_{0medioc}$	Parte contínua da corrente média na saída da ponte retificadora.
iL_{1j} , sendo $j = 1$ a 3 .	Corrente no indutor L_1 da fase j .
iL_{2j} , sendo $j = 1$ a 3 .	Corrente no indutor L_2 da fase j .
$i_{j,rl}$, sendo $j = 1$ a 3 .	Corrente de roda livre na fase j .
i_{s1m}	Corrente média máxima nas chaves S_1 .

i_{st}	Corrente máxima nas chaves S_1 e S_2 .
L_1	Indutores de entrada.
L_2	Indutores próximos à ponte retificadora.
$L_{eq.}$	Indutância equivalente.
M	Razão da tensão de saída pelo pico da tensão de fase de alimentação.
P	Potência do conversor.
R	Resistência de saída.
R_g	Resistência de <i>gate</i> das chaves.
S_1	Chaves de entrada.
S_2	Chave de saída.
t	tempo
T_2	Duração da segunda etapa de funcionamento.
T_{fr}	Período da frequência de ressonância.
T_3	Duração da terceira etapa de funcionamento.
T_4	Duração da quarta etapa de funcionamento.
T_{on}	Duração da primeira etapa de funcionamento (chaves S_1 acionadas).
T_s	Período de chaveamento do conversor.
VA	Unidade de potência aparente.
V	Unidade de tensão elétrica (Volt)
V_a	Tensão no ponto de conexão da fase 1 com a chave S_1 .
V_{AC}	Tensão ânodo- cátodo do diodo D_2 .
V_b	Tensão no ponto de conexão da fase 2 com a chave S_1 .

V_C	Tensão no coletor das chaves
V_{C1}	Tensão no capacitor C_1 .
V_{CE1}	Tensão coletor- emissor de uma chave S_1 .
V_{CE2}	Tensão coletor- emissor da chave S_2 .
V_d	Tensão máxima nos diodos.
V_E	Tensão no emissor das chaves.
V_{GE1}	Tensão <i>gate</i> - emissor medida de uma chave S_1 .
V_{GE2}	Tensão <i>gate</i> - emissor medida na chave S_2 .
V_{L11}	Tensão sobre o indutor L_1 da fase 1.
V_{L21}	Tensão sobre o indutor L_2 da fase 1.
V_{L22}	Tensão sobre o indutor L_2 da fase 2.
V_{pk}	Tensão de pico por fase.
V_{s1}	Tensão calculada sobre a chave S_1 .
V_{s2}	Tensão calculada sobre a chave S_2 .
V_0	Tensão de saída (na carga).
V_{0c}	Tensão de saída contínua.
\hat{v}_0	Perturbação na tensão de saída.
V_i , sendo $i = 1$ a 3	Tensão de alimentação da fase i quando considerada contínua.
v_i , sendo $i = 1$ a 3	Tensão de alimentação da fase i .
$x(t)$	Sinal genérico periódico.
X_c	Reatância capacitiva.
X_{eq}	Reatância equivalente.
X_i , sendo $i = 1$ a 3	Reatância do indutor L_i .
W	Watt (Potência ativa).

Z_0	Impedância equivalente do conjunto carga mais capacitor de saída.
$\Delta i_{L_{11}}$	Varição máxima da corrente do indutor L_1 da fase 1 durante T_{on} .
ΔV_c	Varição de tensão no capacitor.
ΔV_{c1}	Varição de tensão no capacitor C_1 da topologia.
Ω	Unidade de resistência elétrica (Ohm).
π	Pi (3,1415926....).
ω	Frequência angular.

SUMÁRIO

1 INTRODUÇÃO	20
1.1 PRÉ- REGULADORES DE FATOR DE POTÊNCIA SEPIC	20
1.2 MOTIVAÇÃO DO TRABALHO E ORGANIZAÇÃO DO TEXTO	32
1.3 OBJETIVO GERAL	34
1.4 OBJETIVOS ESPECÍFICOS	34
2 ANÁLISE DA TOPOLOGIA PROPOSTA	35
2.1 ETAPAS DE OPERAÇÃO E EQUACIONAMENTO ENVOLVIDO	36
2.1.1 Primeira etapa de operação	38
2.1.1.1 Justificativa para a topologia proposta.	39
2.1.2 Segunda etapa de operação	40
2.1.3 Terceira etapa de operação	45
2.1.4 Quarta etapa de operação	48
2.2 CORRENTE DE SAÍDA DA PONTE RETIFICADORA	49
2.3 MODELAGEM DO SEPIC TRIFÁSICO	51
2.4 EQUAÇÕES DE PROJETO	54
2.4.1 Condição de condução descontínua	54
2.4.2 Determinação dos valores de indutâncias	56
2.4.3 Determinação dos valores de capacitâncias de C_1	57
2.4.3.1 Determinação dos valores limites de capacitância	57
2.4.3.2 Determinação dos valores de capacitâncias com base na variação de tensão	60
2.4.4 Esforços de corrente e tensão nas chaves S_1 e S_2	61
2.4.4.1 Esforços de corrente nas chaves.	61
2.4.4.2 Esforços de tensão nas chaves	62
2.4.5 Esforços de tensão nos diodos	63
2.5 COMENTÁRIOS DO CAPÍTULO	64
3 PROJETO DESENVOLVIDO	65
3.1 O PROTÓTIPO IMPLEMENTADO	67
3.1.1 Especificação de componentes	68
3.1.2 Acionamento dos IGBTs	68
3.1.3 Circuito grampeador utilizado nas chaves S_1	70
3.1.4 Circuito elaborado no software de simulação	71
3.2 FONTE DE ALIMENTAÇÃO	72

3.3 COMENTÁRIOS DO CAPÍTULO	72
4 RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO	74
4.1 TENSÃO, CORRENTE E POTÊNCIA DE ENTRADA	74
4.2 CORRENTE E TENSÃO DOS INDUTORES L_1	75
4.3 TENSÕES NAS CHAVES S_1 E S_2	76
4.4 TENSÃO NO CAPACITOR C_1	78
4.5 TENSÃO E CORRENTE NO INDUTOR L_2	79
4.6 TENSÃO NO DIODO D_2 DA PONTE RETIFICADORA	80
4.7 TENSÃO E CORRENTE DE CARGA	80
4.8 RESULTADO DE MODELAGEM	81
4.9 COMENTÁRIOS DO CAPÍTULO	82
5- CONCLUSÃO	83
REFERÊNCIAS	85

1 INTRODUÇÃO

Com o desenvolvimento tecnológico, uma infinidade de aparelhos eletrônicos começou a surgir, seja operando com corrente contínua ou alternada, e com características de cargas lineares ou não lineares. Isto foi possível graças à junção de três fatores: o surgimento de chaves semicondutoras acionadas em alta frequência, o advento de técnicas avançadas de controle e a introdução dos processadores digitais de sinais (ZHU; JIABING, 2013). As características das cargas trazem a necessidade do uso de retificadores ou inversores que adequem as formas de onda de corrente e tensão. Porém, o conjunto formado por conversores e cargas muitas vezes altera o fator de potência e injeta harmônicos no sistema elétrico a níveis indesejados.

Diante disso, retificadores pré-reguladores de fator de potência (PFP) foram introduzidos utilizando adaptações de topologias de conversores que operam com entrada e saída em corrente contínua (CC-CC), operando com chaves semicondutoras acionadas em geral via *pulse width modulation* (PWM). Os PFPs operam com uma corrente de entrada em fase com a tensão, tornando-se assim uma alternativa ativa para a correção de fator de potência e diminuição de harmônicos.

Na literatura estão presentes topologias baseadas nos conversores Boost, Flyback, Quasiresonantes e Multiressonantes, Cúk, entre outros. As topologias podem operar de maneira unidirecional ou bidirecional, em condução contínua ou descontínua, e elevando ou abaixando a tensão para alimentação, como apresentado por Singh e outros (2004).

1.1 PRÉ- REGULADORES DE FATOR DE POTÊNCIA SEPIC

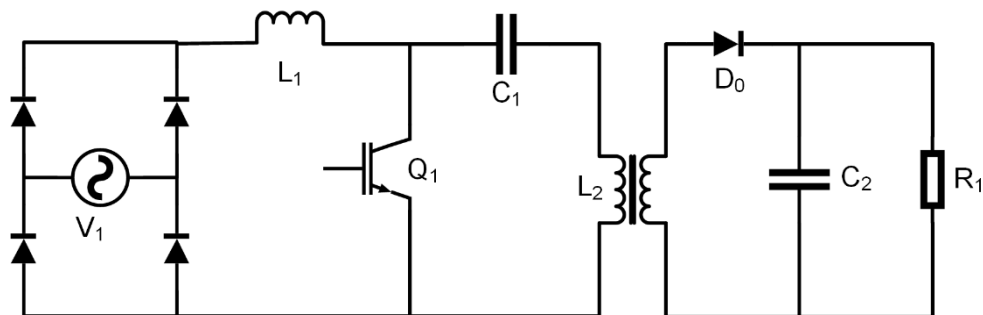
Dentre as topologias existentes para pré- reguladores de fator de potência baseadas em conversores CC-CC, pode-se citar as baseadas no conversor SEPIC (Single Ended Primary- Inductor Converter), sejam elas para retificadores monofásicos ou trifásicos. Dentre as vantagens para utilização do conversor SEPIC estão a possibilidade de funcionamento de maneira isolada e a possibilidade de operação

como elevador ou abaixador de tensão, enquanto como desvantagem, pode-se citar uma maior quantidade de elementos, aumentando seu volume físico.

A utilização do conversor PFP monofásico baseado na topologia tradicional do conversor SEPIC operando em condução contínua (o diodo de saída bloqueia com corrente no indutor maior que zero quando a chave controlada é posta em condução) ou descontínua (a corrente nos dois indutores se iguala, tornando-a nula no diodo de saída que bloqueia e só quando se cumpre o período de comutação a chave controlada é posta em condução) é apresentada por Sebastián e outros (1991). Na Figura 1, é possível observar que a saída do retificador é isolada, utilizando duas bobinas com acoplamento magnético, como ocorre em um conversor Flyback.

Para condução contínua há a necessidade de malhas de controle para corrente de entrada e tensão de saída, implementando-se tipicamente o controle conhecido como controle por multiplicador, enquanto para a operação em condução descontínua é necessária somente uma malha de controle de tensão de saída uma vez que a corrente de entrada tende a seguir a tensão de alimentação (SIMONETTI *et al.*, 1992).

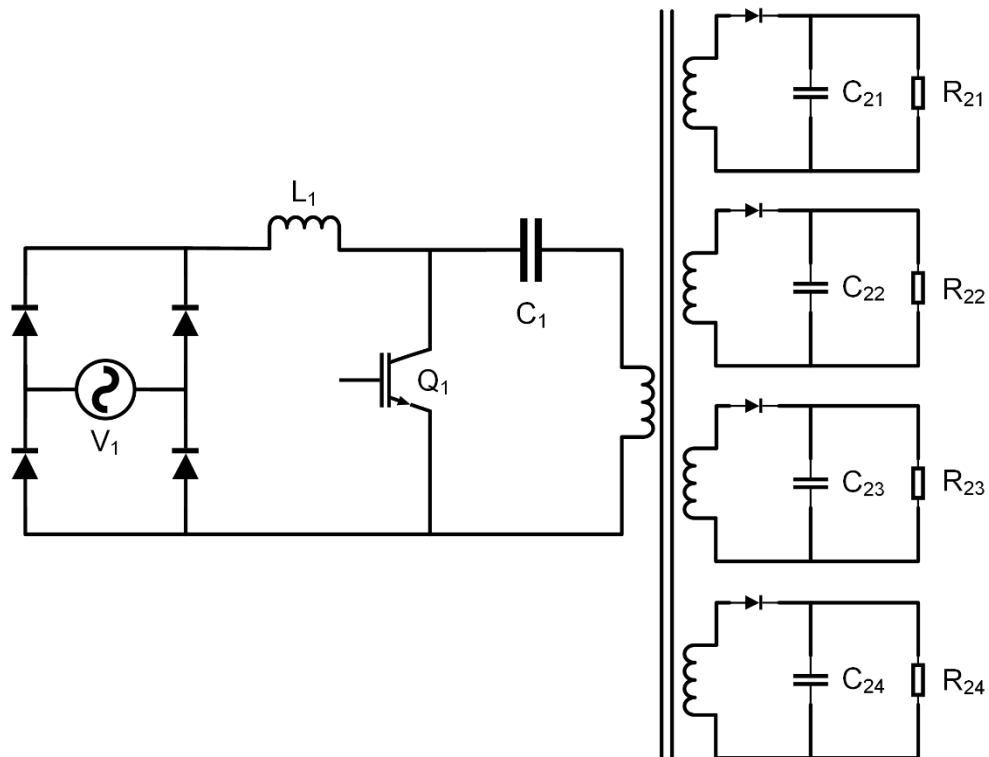
Figura 1 – Retificador PFP SEPIC monofásico isolado apresentado por Sebastián e outros (1991).



Fonte: Sebastián e outros (1991) adaptado pelo autor.

Outra topologia a ser mencionada, que explora a utilização de um transformador com múltiplas saídas, podendo operar com diferentes níveis de tensão é a apresentada por Canesin e Barbi (1991) (Figura 2). A topologia opera em condução contínua e portanto, necessita de uma malha de controle para a corrente de entrada.

Figura 2 – Topologia SEPIC monofásico com múltiplas saídas.

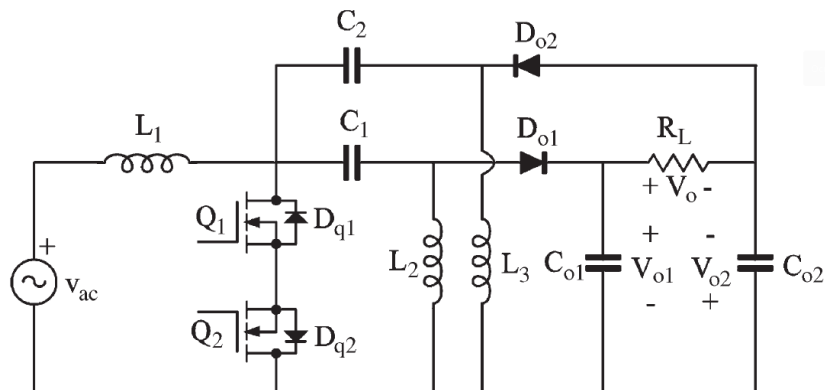


Fonte: Canesin e Barbi (1991) adaptado pelo autor.

Na literatura é possível encontrar outras variações na utilização da topologia SEPIC de forma a explorar vantagens de funcionamento e uma melhor eficiência. A exemplo disso, destaca-se a topologia apresentada por Ismail (2009), onde um retificador PFP monofásico é apresentado sem a utilização de uma ponte de diodos retificadora com a operação em condução descontínua (Figura 3). Dois SEPICs são utilizados, um para a entrada positiva da fonte e outro para a entrada negativa, e como principais vantagens pode-se citar uma menor susceptibilidade a interferências magnéticas e menor estresse de tensão.

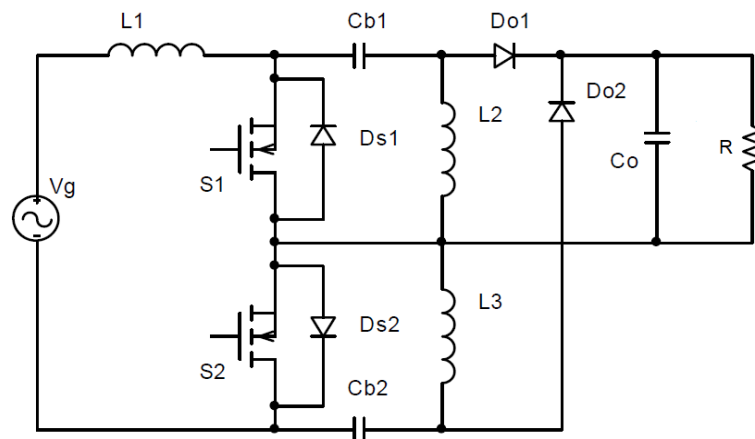
Para a topologia apresentada por Ismail (2009), Sahid, Yatim e Taufik (2010) realizam um aprimoramento (Figura 4) que diminui a quantidade de componentes que entram em condução durante cada intervalo de funcionamento. Dessa forma, reduz-se o número de capacitores a serem utilizados e facilita-se o acionamento dos *Metal-Oxide-Semiconductor Field Effect Transistors* (MOSFET), uma vez que os terminais dos drenos são conectados à um ponto comum.

Figura 3 – Topologia retificador Pré- Regulador de fator de potência SEPIC Monofásico sem ponte de diodos.



Fonte: Ismail (2009).

Figura 4 – Topologia retificador PFP SEPIC Monofásico sem ponte de diodos aprimorada.

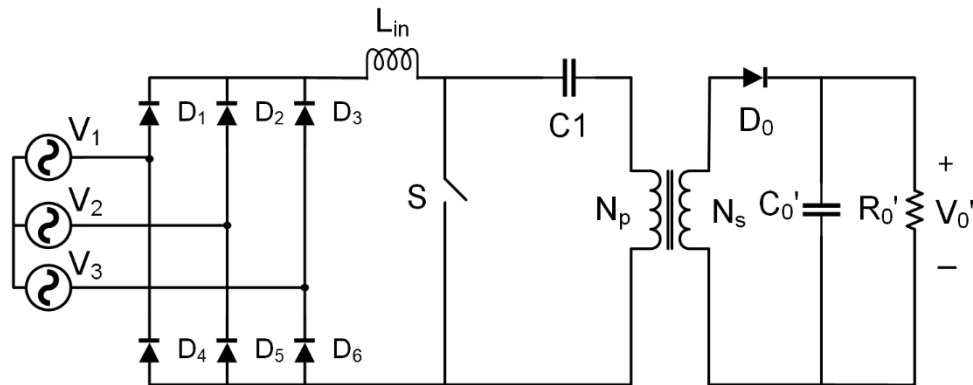


Fonte: Sahid, Yatim e Taufik (2010).

No que diz respeito às topologias trifásicas, torna-se conveniente apresentar algumas estudadas na literatura para que uma análise comparativa seja feita com o retificador PFP abordado neste trabalho.

A topologia trifásica, mais simples e robusta que implementa o conversor SEPIC após a ponte de diodos, foi apresentada por Martins, Oliveira e Barbi (1998) (Figura 5), onde menos componentes são utilizados e o retificador opera em condução contínua, apresentando corrente de entrada com alta distorção harmônica para a operação em malha aberta. Sua operação é dividida em chave fechada, acumulando energia no indutor e na indutância de magnetização do transformador e em chave aberta, onde a energia é transferida para a carga.

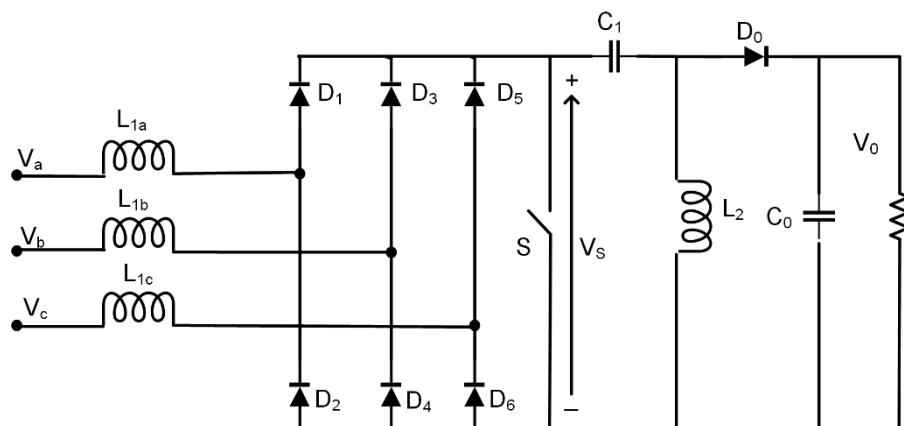
Figura 5 – Topologia simples PFP com SEPIC no lado CC.



Fonte: Martins, Oliveira e Barbi (1998).

Simonetti, Sebastian e Uceda (1993) apresentam uma topologia muito parecida para operação em condução descontínua, porém aloca os indutores antes da ponte retificadora (Figura 6) e propõe funcionamento com frequência variável, o que torna o controle um pouco mais complexo, porque deve-se ter o cuidado de evitar alternância entre modos de operação contínua e descontínua.

Figura 6 – Topologia PFP SEPIC com indutores do lado CA.

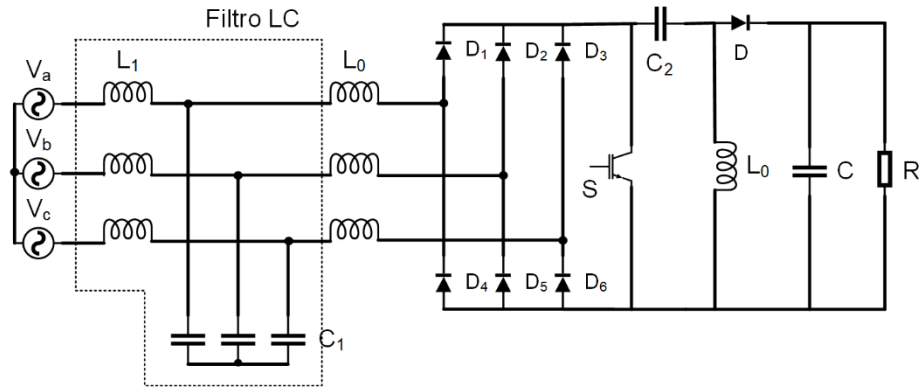


Fonte: Simonetti, Sebastian e Uceda (1993) adaptado pelo autor.

Outra topologia, apresentada por Oishi e outros (1995), (Figura 7), traz como vantagem a utilização de apenas uma chave para controle e seu funcionamento é em condução descontínua para as correntes no indutor de entrada. Com isso, apresenta *ripple* de grande amplitude nas correntes de alimentação, uma vez que estas atingem valores nulos e isso favorece uma maior distorção harmônica. Além disso, o conversor proposto necessita de um filtro de entrada, adicionando mais três indutores e

capacitores à topologia, o que pode acarretar um maior volume físico em sua implementação.

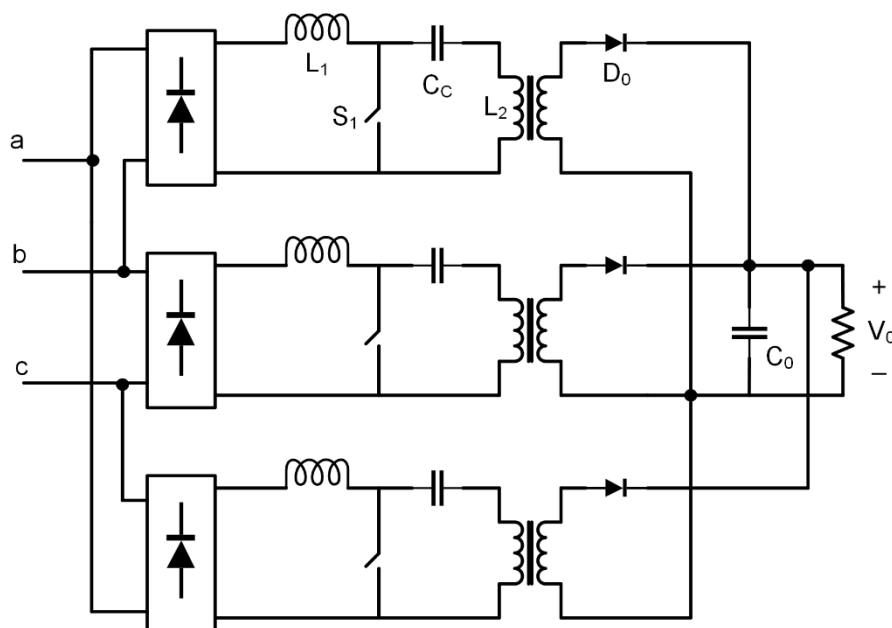
Figura 7 – Topologia SEPIC apresentada por Oishi e outros (1995).



Fonte: Oishi e outros (1995).

Operando em condução contínua com um arranjo físico que permite melhor isolamento entre as fases, porém ocupando maior volume, Ayyanar, Mohan e Sun (2000) (Figura 8) apresentam um PFP SEPIC trifásico que utiliza uma grande quantidade de componentes, uma vez que emprega três conversores SEPIC monofásicos (um por fase) operando em condução contínua de maneira isolada, o que torna o funcionamento mais complexo, devido à necessidade de uma malha de controle de corrente de entrada por fase.

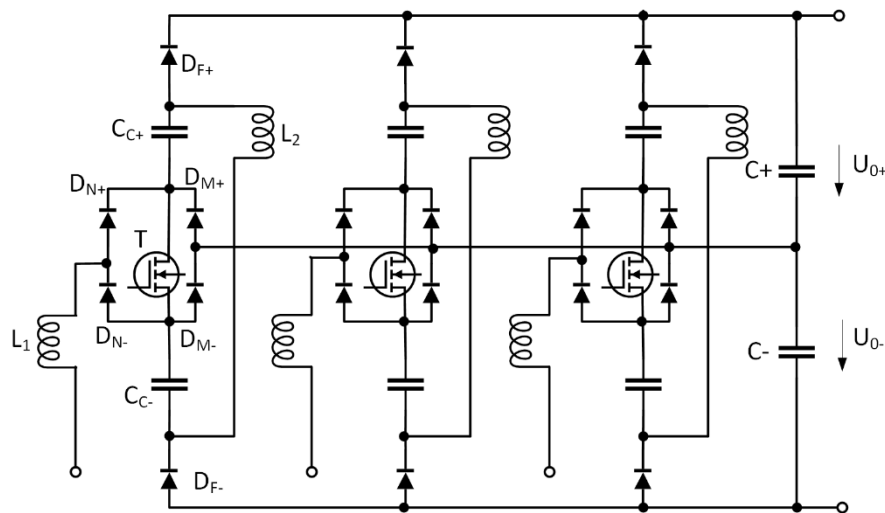
Figura 8 – Topologia SEPIC apresentada por Ayyanar, Mohan e Sun (2000).



Fonte: Ayyanar, Mohan e Sun (2000) adaptado pelo autor.

Existem ainda adaptações da topologia SEPIC para retificador PFP trifásico baseadas no conversor VIENNA (PFP Boost trifásico). Primeiramente, Kolar e outros (1997) apresentam uma versão da topologia (Figura 9) empregando 18 diodos e três chaves acionadas com funcionamento bidirecional. Este conversor necessita de controle para corrente de entrada e apresenta baixa taxa de distorção harmônica. Bashar e outros (2017) (Figura 10) apresentam uma melhoria para topologia apresentada por Kolar e outros (1997), com apenas uma chave bidirecional, porém, as correntes de entrada apresentam maior distorção harmônica (próxima a 10%) e um fator de potência menor (próximo a 0,9).

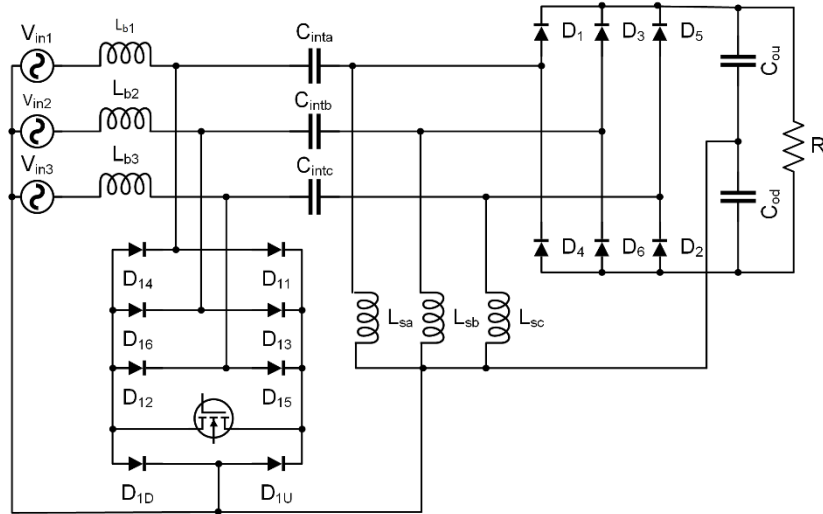
Figura 9 – Topologia SEPIC-VIENNA apresentada por Kolar e outros (1997).



Fonte: Kolar e outros (1997).

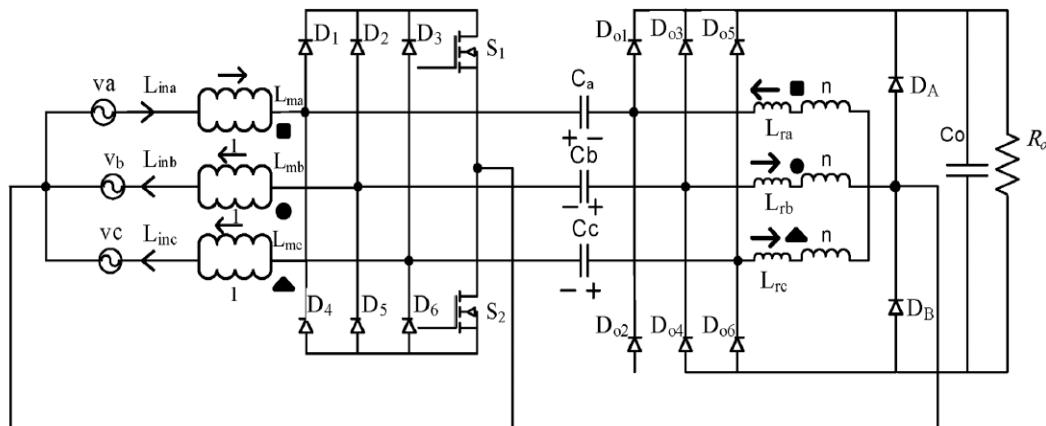
Foroozeshfar e Adib (2018) apresentam um retificador SEPIC utilizando acoplamento entre indutores (Figura 11), o que pode diminuir bastante o volume físico do conversor devido ao menor número de núcleos magnéticos utilizados. Seu funcionamento é dividido em seis etapas e apresenta condução descontínua, com uma baixa distorção harmônica para as correntes de entrada (menor que cinco por cento). Porém, utiliza maior quantidade de semicondutores (14 diodos) o que pode influenciar nas perdas e no custo de implementação.

Figura 10 – Topologia SEPIC- VIENNA apresentada por Bashar e outros (2017).



Fonte: Bashar e outros (2017).

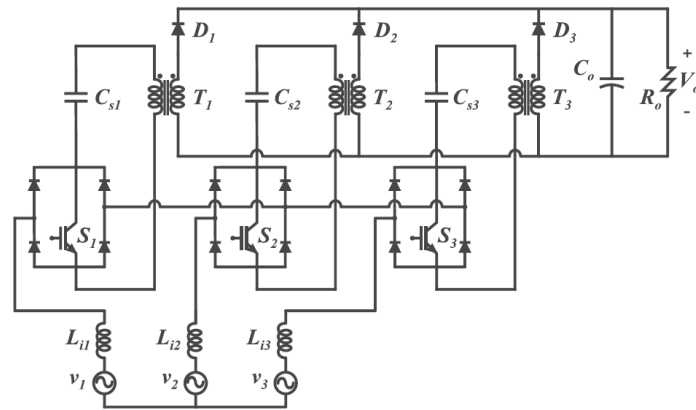
Figura 11 – Topologia SEPIC trifásica apresentada por Foroozeshfar e Adib (2018).



Fonte: Foroozeshfar e Adib (2018).

Outras duas topologias para conversores SEPIC operando em modo de condução descontínua são apresentadas por Tibola e Barbi (2013) e Assunção e Font (2015). Na apresentada por Tibola e Barbi (2013) (Figura 12), são utilizados quinze diodos e três chaves, apresentando cinco etapas de operação. O funcionamento ocorre de maneira isolada e os autores obtiveram um rendimento, em análise experimental, de 90% com uma taxa de distorção harmônica em torno de 4%.

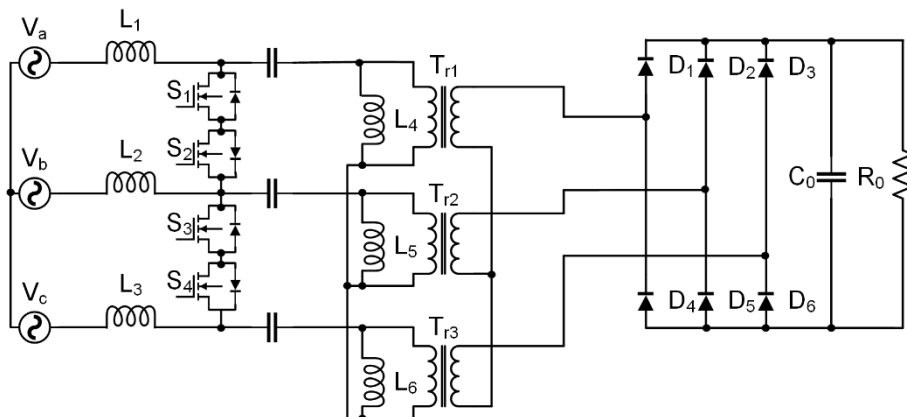
Figura 12 – Topologia SEPIC trifásica apresentada por Tibola e Barbi (2013).



Fonte: Tibola e Barbi (2013).

Na topologia apresentada por Assunção e Font (2015) (Figura 13) seu funcionamento de maneira isolada é dividido em oito etapas, o que aumenta a complexidade de seu entendimento. Utiliza acionamento simultâneo de quatro chaves tanto para elevador (tensão de saída maior que o pico da tensão de entrada) quanto para abaixador, sendo que, para a operação como abaixador, uma condição é imposta na relação de transformação dos transformadores para evitar a polarização dos diodos em momentos indesejados, o que elevaria suas correntes para algumas centenas de ampères.

Figura 13 – Topologia SEPIC trifásica apresentada por Assunção e Font (2015).

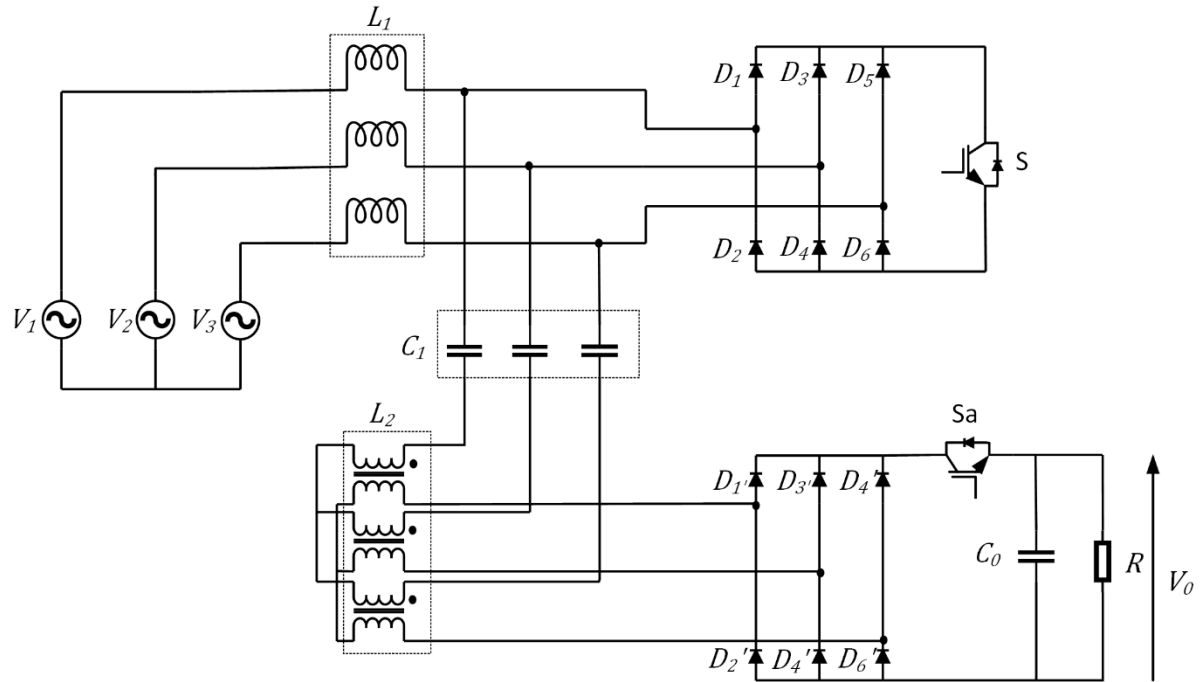


Fonte: Assunção e Font (2015) adaptado pelo autor.

Simonetti, Sebastian e Uceda (1995) (Figura 14) apresentam um pré-regulador de fator de potência SEPIC que possui duas pontes de diodo e duas chaves controladas, operando de maneira isolada.

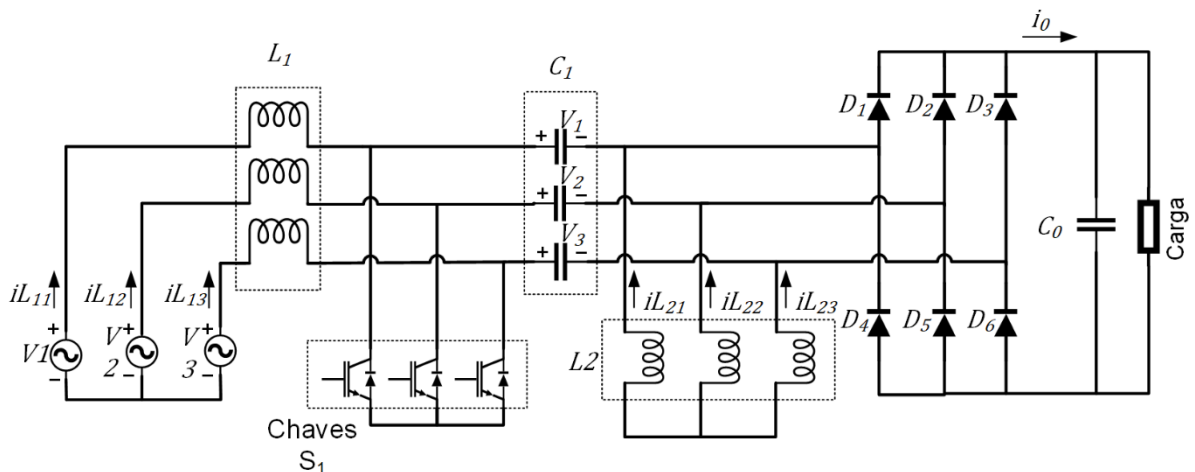
Tal topologia foi estudada e um aprimoramento foi proposto por Freitas (2015) (Figura 15), trazendo sua utilização como um retificador pré-regulador de fator de potência em geradores eólicos síncronos. É possível notar que, com a modificação, o conversor se assemelha a três SEPICs monofásicos (um por fase) conectados em estrela sem neutro, operando de maneira não isolada.

Figura 14 – Conversor SEPIC apresentado por Simonetti, Sebastian e Uceda (1995).



Fonte: Simonetti, Sebastian e Uceda (1995) adaptado pelo autor.

Figura 15 – Topologia SEPIC apresentada por Freitas (2015).



Fonte: Freitas (2015) adaptado pelo autor.

Na topologia proposta por Freitas (2015) uma chave e uma ponte de diodos da topologia proposta por Simonetti, Sebastian e Uceda (1995) foram substituídas por

três *Insulated Gate Bipolar Transistors* (IGBT) com diodos reversos, comutados ao mesmo tempo. Logo, o acionamento das chaves controladas é simples e o número de semicondutores no caminho da corrente foi reduzido, diminuindo perdas por condução durante o funcionamento. Trata-se de um retificador trifásico de fator de deslocamento quase unitário e baixo conteúdo harmônico, contendo apenas harmônicos de baixa amplitude definidos pela frequência de chaveamento dos elementos ativos. Tais características lhe proporcionam funcionamento com alto fator de potência sem a necessidade de controle de corrente uma vez que opera em condução descontínua e tem característica seguidora de tensão.

Freitas (2015) menciona que na topologia apresentada por Simonetti, Sebastian e Uceda (1995) a chave da ponte retificadora ligada à carga é necessária somente quando o valor da tensão de saída é menor que o valor máximo da tensão de entrada para evitar que ocorra um curto circuito na saída do retificador e assim, apresenta uma nova topologia operando como elevadora de tensão.

Na Tabela 1 estão listadas as topologias discutidas, favorecendo uma melhor comparação entre suas características.

Tabela 1 – Tabela comparativa de topologias SEPIC.

Autores	Modo de condução	Nº de chaves controladas	Nº de semicondutores	Número de etapas	Saída Isolada
Topologias Monofásicas					
Sebastian e outros (1991)	Contínua e Descontínua	1	6	2/3	Sim
Canesin e Barbi (1991)	Contínua	1	9	2	Sim
Ismail (2009)	Descontínua	2	4	3	Não
Sahid, Yatim e Taufik (2010)	Descontínua	2	4	3	Não
Topologias Trifásicas					

Martins, Oliveira e Barbi (1998)	Contínua	1	8	2	Sim
Simonetti, Sebastian e Uceda (1993)	Descontínua	1	8	6	Não
Oishi e Outros (1995)	Descontínua	1	8	5	Não
Ayyanar Mohan e Sun (2000)	Contínua	3	18	2	Sim
Kolar e outros (1997)	Contínua	3	21	4	Não
Bashar e outros (2017)	Contínua	1	15	2	Não
Foroozeshfar e Adib (2018)	Descontínua	2	16	6	Não
Tibola e Barbi (2013)	Descontínua	3	18	5	Sim
Assunção e Font (2015)	Descontínua	4	10	8	Sim
Simonetti, Sebastian e Uceda (1995)	Descontínua	2	14	3	Sim
Freitas (2015)	Descontínua	3	9	3	Não

Fonte: Produção do próprio autor.

Este trabalho apresenta uma modificação do SEPIC apresentado por Freitas (2015).

1.2 MOTIVAÇÃO DO TRABALHO E ORGANIZAÇÃO DO TEXTO

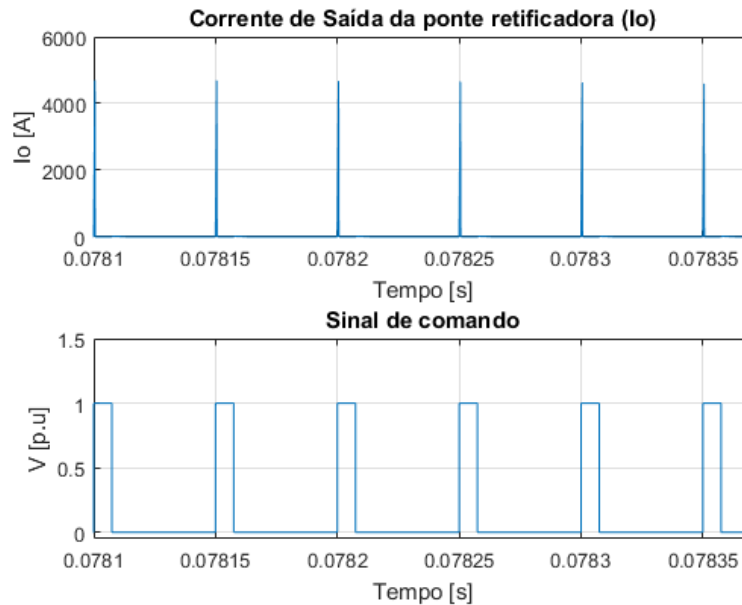
A topologia proposta por Freitas (2015) possui uma limitação quanto ao nível de tensão de saída. Se o valor desta é menor que o valor de pico da tensão de linha de entrada, um curto circuito acontece na saída da ponte retificadora, como mostram os resultados da Figura 16 obtidos via simulação na ferramenta Simulink do software MatLab para a operação do retificador da Figura 15 com os dados apresentados na Tabela 2.

Tabela 2 – Parâmetros utilizados e calculados para simulação do conversor SEPIC apresentado por Freitas (2015).

Tensão de pico de alimentação	220 [V]
Frequência de alimentação	60 [Hz]
Tensão de Saída	200 [V]
Frequência de chaveamento	20000 [Hz]
Potência de Saída	500 [W]
Razão Cíclica	0,2
<i>Ripple (%)</i>	19,4 [%]
L_1	5m _μ [H]
L_2	55μ [H]
C_1	1,5μ [F]
C_0	99,12μ [F]
Carga	80 [Ω]

Fonte: Produção do próprio autor.

Figura 16 – Corrente de saída da ponte retificadora para operação como abaixador no momento de acionamento das chaves S_1 .



Fonte: Produção do próprio autor.

Com o objetivo de contornar tal problema, este trabalho propõe e avalia a utilização de uma chave semicondutora na saída da ponte retificadora operando de maneira complementar às três chaves, levantando todo o equacionamento para um novo período de análise e considerando senóides como tensões de entrada. Também são apresentados resultados de simulação e resultados experimentais provando a eficácia da solução proposta.

Dessa forma, o trabalho apresenta a seguinte divisão: O capítulo 1 consistiu na introdução, trazendo definições de pré- reguladores de fator de potência, citando variações de topologias SEPIC apresentadas na literatura e realizando uma análise sobre a topologia a ser aprimorada. No capítulo 2 é apresentada a topologia proposta, explicando etapas de funcionamento, levantando equacionamento e realizando a modelagem com base na abordagem CIECA (Current Injected Equivalent Circuit Approach). No Capítulo 3 é realizado um projeto para o pré- regulador de fator de potência abordado e no capítulo 4 são mostrados os resultados de simulação e de bancada com alguns comentários. No capítulo 5 é apresentada a conclusão do trabalho.

1.3 OBJETIVO GERAL

Propor a melhoria de uma topologia retificadora pré-reguladora de fator de potência, trifásica, baseada no conversor CC-CC SEPIC, possibilitando sua operação com valor de tensão de saída menor que o valor máximo da tensão de linha de alimentação.

1.4 OBJETIVOS ESPECÍFICOS

- Avaliar a inserção de uma chave semicondutora à saída da ponte retificadora operando de maneira complementar às outras presentes na topologia com o intuito de evitar a polarização dos diodos e assim permitir a operação como abaixador de tensão.
- Definir um período de análise nas tensões de entrada e a partir disso realizar o levantamento das equações que descrevam o funcionamento do conversor operando como elevador ou abaixador de tensão, propondo inclusive uma nova divisão para as etapas de funcionamento.
- Elaborar um equacionamento mais preciso para a definição dos valores de capacitâncias dos capacitores localizados ao centro da topologia.
- Obter um modelo de circuito linear e um modelo no domínio da frequência que representem as características dinâmicas da tensão de saída diante de pequenas variações na razão cíclica de chaveamento.
- Realizar análises experimentais para comparar com os resultados obtidos via simulação e assim validar a melhoria proposta na topologia

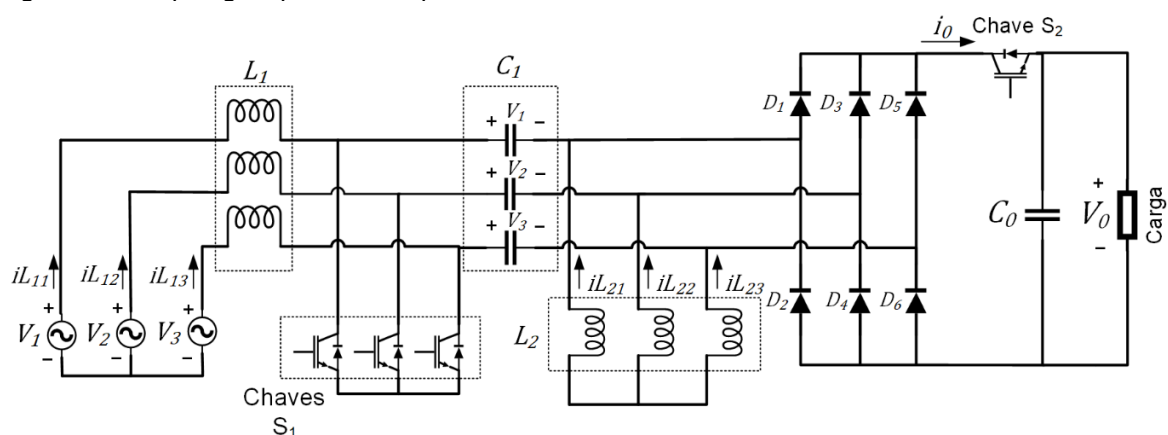
2 ANÁLISE DA TOPOLOGIA PROPOSTA

O retificador trifásico aqui proposto pode ser utilizado como estágio CA-CC em bens de consumo que cada vez mais são encontrados alimentando cargas CA a partir de um barramento CC, como máquinas de lavar e aparelhos de ar condicionado tipo *inverter*. Também encontram aplicação em microrredes CC, conectando geração CA de pequenas turbinas eólicas ou microturbinas (cargas que requerem fluxo de potência unidirecional) ao barramento CC da microrrede.

Neste capítulo, é apresentada uma modificação na topologia abordada por Freitas (2015), com a adição de uma chave semicondutora na saída da ponte de diodos (Figura 17) para evitar que um curto circuito ocorra quando o valor da tensão de saída é menor que o valor máximo da tensão de linha que alimenta o conversor. Além disso, são levantadas as etapas de operação e o equacionamento, dando suporte para elaboração de projeto.

Uma nova divisão para as etapas de funcionamento é apresentada. Além disso, um novo equacionamento para determinação dos valores de capacitância dos capacitores ao centro da topologia é apresentado, baseado na variação de tensão em seus terminais durante um período de chaveamento.

Figura 17 – Topologia apresentada para o retificador PFP SEPIC.



Fonte: Produção do próprio autor.

Nesta topologia é utilizado um funcionamento complementar entre as chaves S_1 e a chave S_2 .

2.1 ETAPAS DE OPERAÇÃO E EQUACIONAMENTO ENVOLVIDO

O equacionamento é levantado considerando que as três tensões de entrada são senóides simétricas defasadas de 120° e que durante um período de chaveamento, seus valores são considerados constantes. Como no SEPIC tradicional monofásico, as tensões nos capacitores C_1 seguem suas respectivas tensões de fase de entrada. As equações que representam as tensões de alimentação do retificador são:

$$v_1(t) = V_{pk} \text{sen}(\omega t) \quad (1)$$

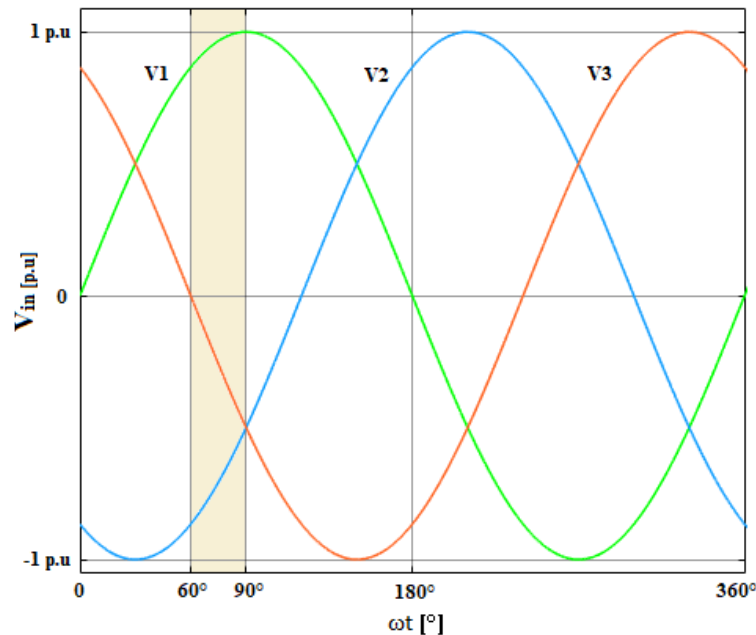
$$v_2(t) = V_{pk} \text{sen}(\omega t - 120^\circ) \quad (2)$$

$$v_3(t) = V_{pk} \text{sen}(\omega t + 120^\circ) \quad (3)$$

Onde V_{pk} é o valor de pico da tensão de cada fase.

O período analisado para equacionamento será tal que $60^\circ \leq \omega t \leq 90^\circ$, destacado na Figura 18. Neste intervalo temos que $|v_1(t)| \geq |v_2(t)| \geq |v_3(t)|$.

Figura 18 – Intervalo analisado para levantamento de equações.



Fonte: Produção do próprio autor.

O retificador funciona em condução descontínua para as correntes nos indutores e sua operação pode ser dividida em quatro etapas.

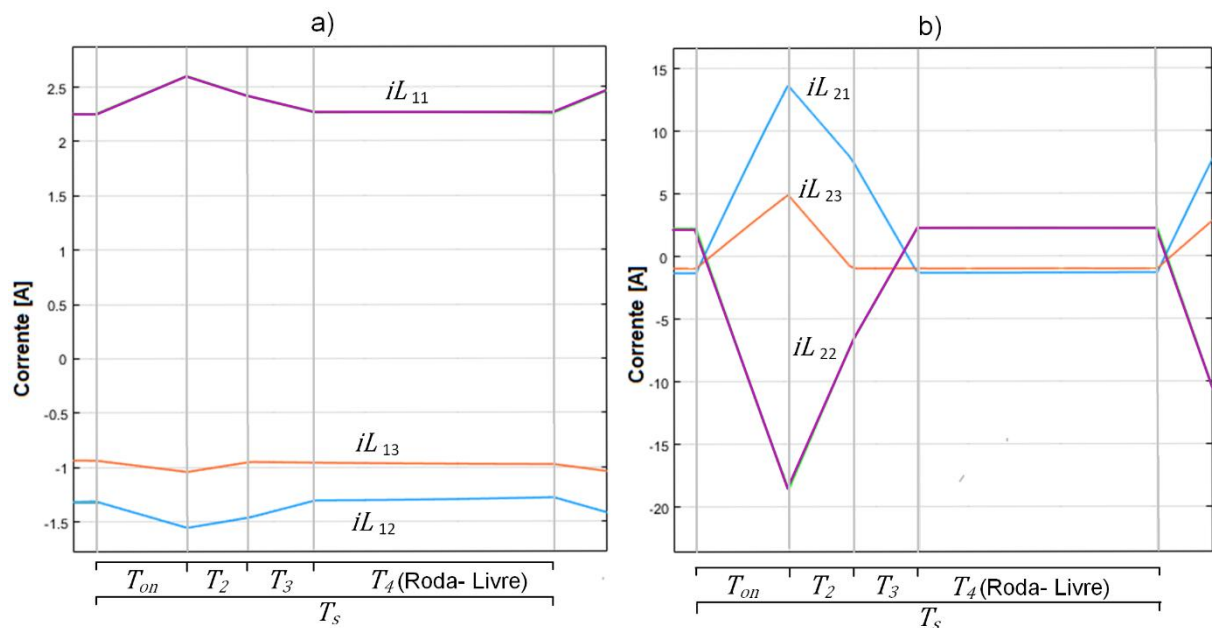
A primeira etapa, que tem duração T_{on} , consiste no fechamento das chaves S_1 e abertura da chave S_2 e a energia é acumulada nos indutores.

A segunda etapa, que tem duração T_2 , inicia com a abertura das chaves S_1 e fechamento da chave S_2 , estendendo-se até a primeira corrente dos indutores atingir o valor de roda livre. Nesta etapa, as três fases transferem energia para a carga.

A terceira etapa, com duração T_3 , inicia quando a primeira corrente dos indutores atinge o valor de roda livre e estende-se até o momento em que todas as correntes dos indutores atingirem seus valores de roda livre. A quarta etapa consiste no período de roda livre e tem duração T_4 .

A duração de um período de chaveamento é representada por T_s . Na Figura 19 é possível observar o comportamento das correntes dos indutores L_1 e L_2 durante as etapas de funcionamento.

Figura 19 – Correntes de entrada com etapas de operação definidas: a) correntes nos indutores L_1 e b) correntes nos indutores L_2 .



Fonte: Produção do próprio autor.

Para as equações abordadas neste capítulo, os três indutores mais próximos às fontes são considerados L_1 , enquanto os outros três indutores, mais próximos à ponte de diodos, são os indutores L_2 . As tensões de fase são diferenciadas por números e as correntes dos indutores são diferenciadas da seguinte maneira: o primeiro número corresponde ao indutor enquanto o segundo número corresponde à fase em questão. Sendo assim, a corrente $i_{L_{12}}$, corresponde à corrente do indutor L_1 na fase 2.

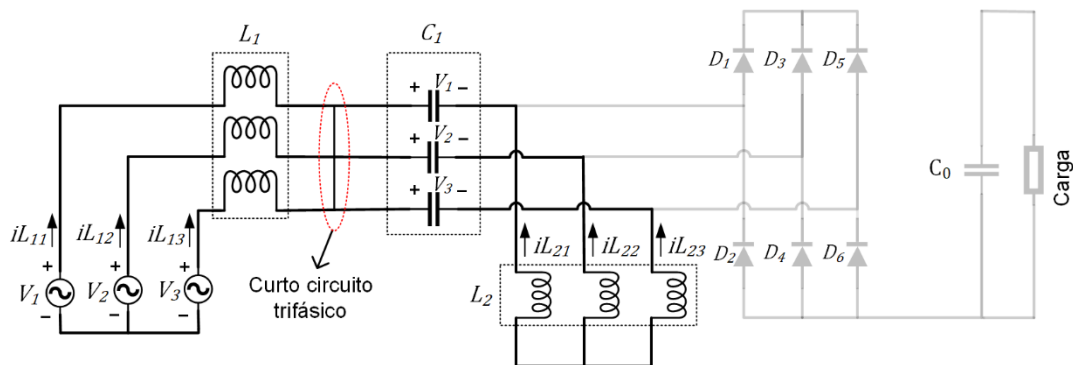
2.1.1 Primeira etapa de operação

Na primeira etapa de operação (T_{on}), as três chaves S_1 estão acionadas e conduzindo, enquanto a chave S_2 está aberta, portanto, não há transferência de energia para a carga. O circuito equivalente está ilustrado na Figura 20. As correntes dos indutores crescem em valor absoluto a partir do valor de roda livre e nota-se que as tensões de fase são aplicadas sobre os mesmos.

A duração de T_{on} é dada pela multiplicação entre a razão cíclica (d) e a frequência de operação das chaves (T_s).

$$T_{on} = d T_s \quad (4)$$

Figura 20 – Circuito equivalente da primeira etapa de operação.



Fonte: Produção do próprio autor.

A partir da Figura 20 é possível a obtenção das equações que descrevem as correntes nos indutores L_1 :

$$-V_1 + VL_{11} = 0 \quad (5)$$

$$V_1 = L_1 \frac{diL_{11}(t)}{dt} \quad (6)$$

$$\int_0^{T_{on}} \frac{V_1}{L_1} dt = iL_{11}(t) \quad (7)$$

Estas considerações acima também podem aplicadas para as equações envolvendo os indutores L_2 . Considerando $v_1(t)$ constante durante um período de chaveamento, resolvendo a integral, fazendo as devidas manipulações algébricas e adicionando o valor da corrente de roda livre (que segue a tensão de entrada):

$$iL_{11}(t) = \frac{V_1 T_{on}}{L_1} + i_{1rl} \quad iL_{21}(t) = \frac{V_1 T_{on}}{L_2} - i_{1rl} \quad (8)$$

Analogamente, para as outras fases:

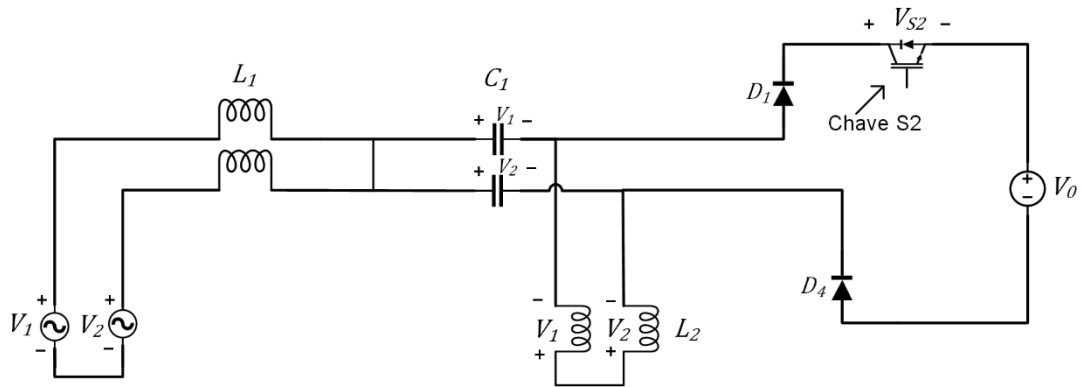
$$iL_{12}(t) = \frac{V_2 T_{on}}{L_1} + i_{2rl} \quad iL_{22}(t) = \frac{V_2 T_{on}}{L_2} - i_{1rl} \quad (9)$$

$$iL_{13}(t) = \frac{V_3 T_{on}}{L_1} + i_{1rl} \quad iL_{23}(t) = \frac{V_3 T_{on}}{L_2} - i_{3rl} \quad (10)$$

2.1.1.1 Justificativa para a topologia proposta.

Na primeira etapa, a necessidade do uso da chave S_2 torna-se evidenciada. No momento em que as chaves S_1 estão fechadas, considerando os valores das tensões nos capacitores C_1 iguais aos seus respectivos valores de tensões de fase, o conjunto formado por D_1 , D_4 , carga e chave S_2 é submetido ao valor de tensão entre as fases 1 e 2. Na Figura 21 estão ilustrados os componentes que conduzem corrente no instante em que $\omega t = 240^\circ$. Neste instante, a análise de tensão da malha formada pelas fases 1 e 2 se torna mais simplificada, uma vez que a tensão da fase 3 é zero.

Figura 21 – Circuito equivalente para análise de tensão durante T_{on} e $v_3(t) = 0$.



Fonte: Produção do próprio autor.

Aplicando LKT à malha formada entre as fases 1 e 2 é possível se obter a seguinte equação:

$$V_{s2} = -V_1 + V_2 - V_0 \quad (11)$$

Considerando que o valor máximo da tensão entre fases é $V_{pk}\sqrt{3}$:

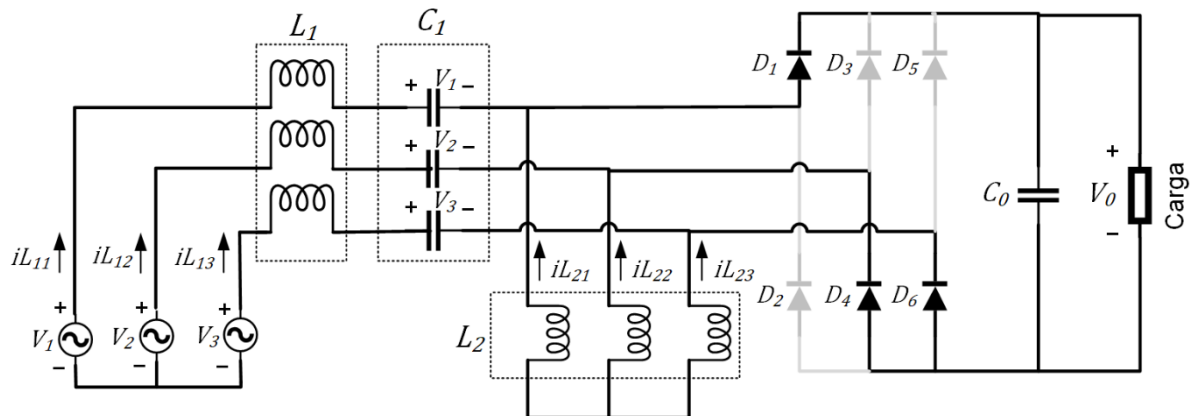
$$V_{s2} = V_{pk}\sqrt{3} - V_0 \quad (12)$$

De (12), conclui-se que: Se $V_0 < V_{pk}\sqrt{3}$, o valor de V_{s2} será positivo e sem a chave S_2 os diodos D_1 e D_4 ficam diretamente polarizados. Logo, um curto circuito acontece, oriundo da descarga do capacitor C_1 sobre o capacitor C_0 (por ser o caminho de menor impedância) até o valor da tensão de saída se igualar ao valor da tensão dos capacitores C_1 .

2.1.2 Segunda etapa de operação

Na segunda etapa de operação, as chaves S_1 estão abertas e chave S_2 está fechada, as correntes dos indutores decrescem em módulo e há transferência de energia para a carga. Estão em destaque na Figura 22 todos os elementos que conduzem corrente nesta etapa.

Figura 22 – Circuito equivalente durante segunda etapa de operação.

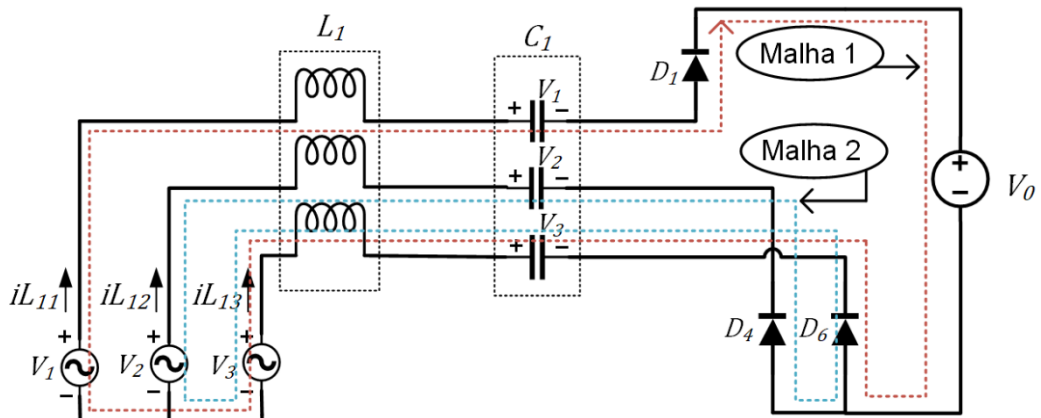


Fonte: Produção do próprio autor.

As correntes das fases 2 e 3 possuem valores negativos e evoluem com declividade positiva enquanto o valor de corrente da fase 1 é positivo e evolui com declividade negativa. Este intervalo tem duração até a corrente de menor valor (iL_{13}) atingir o valor de roda livre.

A Figura 23 serve de auxílio para a obtenção do equacionamento envolvendo as correntes dos indutores L_1 .

Figura 23 – Malhas formadas entre os indutores L_1 durante a segunda etapa de operação.



Fonte: Produção do próprio autor.

Aplicando a Lei de Kirchhoff das Tensões (LKT) para a malha 1, formada entre as fases 1 e 3, obtém-se:

$$-V_1 + VL_{11} + V_1 + V_0 - V_3 - VL_{13} + V_3 = 0 \quad (13)$$

$$L_1 \frac{diL_{11}}{dt} - L_1 \frac{diL_{13}}{dt} = -V_0 \quad (14)$$

$$\frac{di_{L_{11}}}{dt} - \frac{di_{L_{13}}}{dt} = -\frac{V_0}{L_1} \quad (15)$$

$$\frac{di_{L_{11}}}{dt} = -\frac{V_0}{L_1} + \frac{di_{L_{13}}}{dt} \quad (16)$$

Realizando mesmo procedimento para a malha 2 e desenvolvendo:

$$-V_2 + VL_{12} + V_2 - V_3 - VL_{13} + V_3 = 0 \quad (17)$$

$$\frac{di_{L_{12}}}{dt} = \frac{di_{L_{13}}}{dt} \quad (18)$$

Aplicando então a Lei de Kirchhoff das Correntes (LKC) e derivando:

$$i_{L_{11}} + i_{L_{12}} + i_{L_{13}} = 0 \quad (19)$$

$$\frac{di_{L_{11}}}{dt} + \frac{di_{L_{12}}}{dt} + \frac{di_{L_{13}}}{dt} = 0 \quad (20)$$

Substituindo (16) e (18) em (20) e realizando algumas manipulações algébricas é possível obter os valores das derivadas de corrente das fases:

$$\frac{di_{L_{11}}}{dt} = -\frac{2V_0}{3L_1} \quad \frac{di_{L_{12}}}{dt} = \frac{V_0}{3L_1} \quad \frac{di_{L_{13}}}{dt} = \frac{V_0}{3L_1} \quad (21)$$

Dessa forma, considerando que a derivada resulta o valor da variação de corrente no tempo, pode-se então, obter o valor da corrente instantânea de cada fase multiplicando a derivada pelo tempo decorrido após entrar na segunda etapa e somando aos valores de corrente da etapa anterior. Sendo assim, os valores instantâneos das correntes nos indutores L_1 para a primeira parte da segunda etapa, serão:

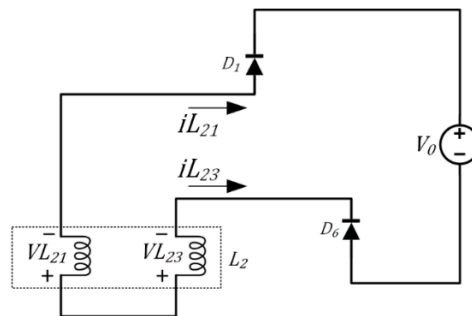
$$i_{L_{11}} = -\frac{2V_0}{3L_1}t + \frac{V_1 T_{on}}{L_1} + i_{1rl} \quad (22)$$

$$i_{L_{12}} = \frac{V_0}{3L_1}t + \frac{V_2 T_{on}}{L_1} + i_{2rl} \quad (23)$$

$$iL_{13} = \frac{V_0}{3L_1}t + \frac{V_3 T_{on}}{L_1} + i_{3rl} \quad (24)$$

Para o cálculo dos valores das correntes dos indutores L_2 , novamente é levantado o equacionamento para duas malhas do circuito do conversor com o auxílio das Figuras 24 e 25.

Figura 24 – Malha formada entre os indutores L_2 das fases 1 e 3 durante a segunda etapa de operação.



Fonte: Produção do próprio autor.

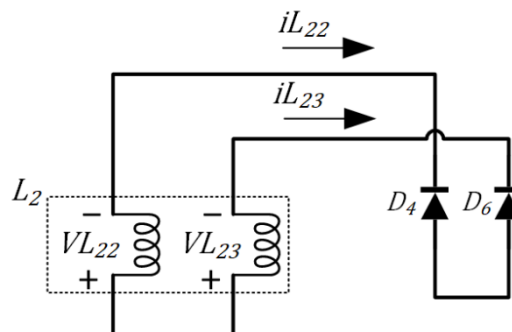
Observando a Figura 24, é possível obter as seguintes equações aplicando novamente LKT e desenvolvendo:

$$VL_{21} + V_0 - VL_{23} = 0 \quad (25)$$

$$\frac{diL_{23}}{dt} - \frac{diL_{21}}{dt} = \frac{V_0}{L_2} \quad (26)$$

$$\frac{diL_{23}}{dt} = \frac{V_0}{L_2} + \frac{diL_{21}}{dt} \quad (27)$$

Figura 25 – Malha formada entre indutores L_2 das fases 2 e 3 durante a segunda etapa de operação.



Fonte: Produção do próprio autor.

Analisando a malha da Figura 25 e utilizando LKT:

$$VL_{22} - VL_{23} = 0 \quad (28)$$

$$\frac{diL_{22}}{dt} = \frac{diL_{23}}{dt} \quad (29)$$

Novamente, utilizando LKC:

$$\frac{diL_{21}}{dt} + \frac{diL_{22}}{dt} + \frac{diL_{23}}{dt} = 0 \quad (30)$$

Fazendo a substituição de (27) e (29) em (30), realizando as devidas operações e as mesmas considerações feitas para as correntes nos indutores L_1 , obtém-se as equações que descrevem as correntes dos indutores L_2 . Neste caso, as correntes de roda livre terão valor negativo, pois a corrente nos indutores L_2 , quando em roda livre, assumem sentido oposto à corrente dos indutores L_1 .

$$iL_{21} = -\frac{2V_0}{3L_2}t + \frac{V_1 T_{on}}{L_2} - i_{1rl} \quad (31)$$

$$iL_{22} = \frac{V_0}{3L_2}t + \frac{V_2 T_{on}}{L_2} - i_{2rl} \quad (32)$$

$$iL_{23} = \frac{V_0}{3L_2}t + \frac{V_3 T_{on}}{L_2} - i_{3rl} \quad (33)$$

Para o cálculo da duração desta etapa é escolhida a corrente iL_{13} , pois esta será a primeira a atingir o valor de roda livre, uma vez que sua respectiva fase tem a menor amplitude de tensão durante o período analisado. Logo, basta igualar a corrente iL_{13} ao seu valor de roda livre e realizar as devidas substituições e manipulações algébricas:

$$i_{3rl} = \frac{V_0}{3L_1}T_2 + \frac{V_3 T_{on}}{L_1} + i_{3rl} \quad (34)$$

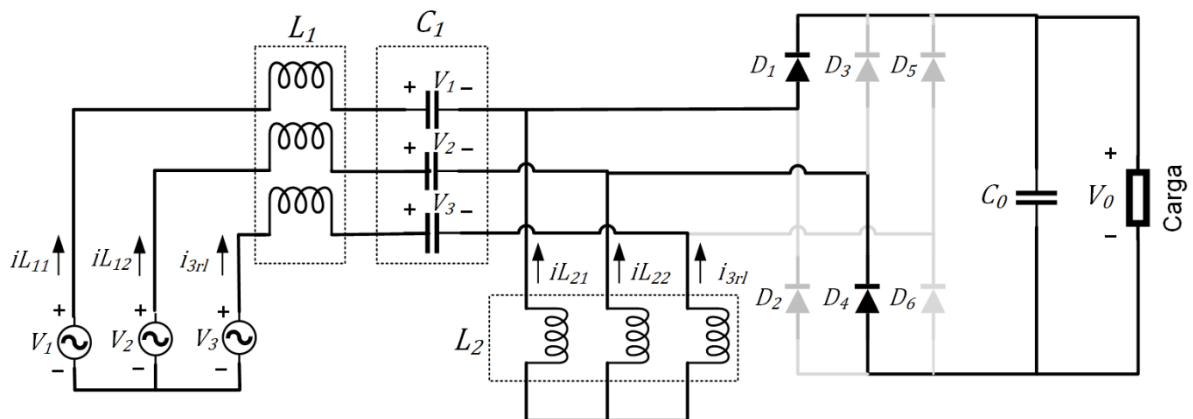
$$T_2 = \frac{3 d T_s \text{sen}(\omega t - 60)}{M} \quad (35)$$

Onde $M = \frac{V_0}{V_{pk}}$.

2.1.3 Terceira etapa de operação

Na terceira etapa, a corrente $i_{L_{13}}$ já assumiu o valor de roda livre (ou seja, a corrente de $i_{L_{13}}$ igualou a corrente $-i_{L_{23}}$), e a corrente envolvida no chaveamento irá fluir somente entre as fases 1 e 2. Observa-se o circuito equivalente ilustrado na Figura 26 com os elementos que conduzem corrente em destaque.

Figura 26 – Circuito equivalente durante terceira etapa de operação.



Fonte: Produção do próprio autor.

Conclui-se então que:

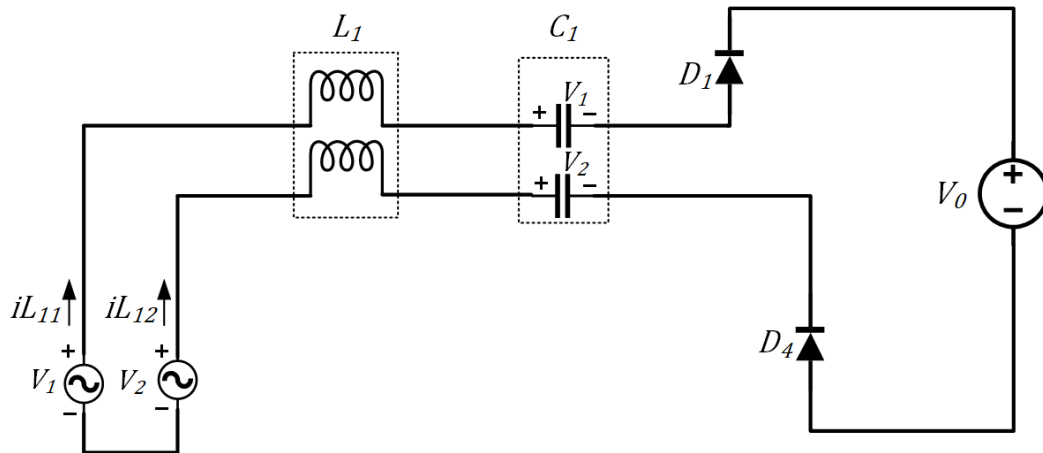
$$i_{L_{13}} = i_{3rl} \quad (36)$$

$$\frac{di_{L_{13}}}{dt} = 0 \quad (37)$$

$$\frac{di_{L_{11}}}{dt} + \frac{di_{L_{12}}}{dt} = 0 \quad (38)$$

Observa-se na Figura 27, o caminho das correntes que passam pelos indutores L_1 .

Figura 27 – Malha formada entre os indutores L_1 durante a terceira etapa de operação.



Fonte: Produção do próprio autor.

Fazendo análise do circuito e aplicando LKT:

$$-V_1 L_1 \frac{di_{L11}}{dt} + V_1 + V_0 - V_2 - L_1 \frac{di_{L12}}{dt} + V_2 = 0 \quad (39)$$

$$\frac{di_{L11}}{dt} = -\frac{V_0}{2L_1} \quad (40)$$

Sendo assim, para o cálculo da corrente da terceira etapa, basta somar o valor de corrente da segunda etapa com a variação encontrada em (40), vezes o tempo:

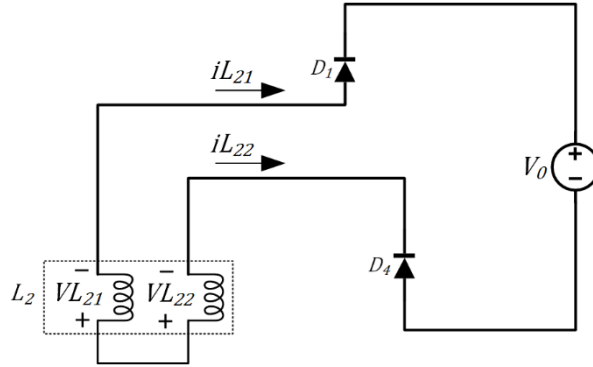
$$i_{L11} = -\frac{V_0}{2L_1} t - \frac{2V_0}{3L_1} T_2 + \frac{V_1 T_{on}}{L_1} + i_{1rl} \quad (41)$$

$$i_{L12} = \frac{V_0}{2L_1} t + \frac{V_0}{3L_1} T_3 + \frac{V_2 T_{on}}{L_1} + i_{2rl} \quad (42)$$

$$i_{L13} = i_{3rl} \quad (43)$$

Para o cálculo dos valores das correntes nos indutores L_2 basta analisar a malha ilustrada na Figura 28.

Figura 28 – Circuito equivalente do caminho das correntes dos indutores L_2 durante terceira etapa de operação.



Fonte: Produção do próprio autor.

$$VL_{21} + V_0 - VL_{22} = 0 \quad (44)$$

$$\frac{diL_{22}}{dt} - \frac{diL_{21}}{dt} = \frac{V_0}{L_2} \quad (45)$$

Utilizando a equação (30) e considerando que a derivada de iL_{23} é zero, devido a esta corrente já ter atingido o valor de roda livre nesta etapa, tem-se:

$$\frac{diL_{22}}{dt} = -\frac{diL_{21}}{dt} \quad (46)$$

Sendo assim, substituindo (46) em (45) e com as devidas manipulações algébricas:

$$\frac{diL_{21}}{dt} = -\frac{V_0}{2L_2} \quad (47)$$

$$\frac{diL_{22}}{dt} = \frac{V_0}{2L_2} \quad (48)$$

E então, multiplicando (47) e (48) pela variável tempo e somando aos valores anteriores das correntes, obtém-se:

$$iL_{21} = -\frac{V_0}{2L_2}t - \frac{2V_0}{3L_2}T_2 + \frac{V_1 T_{on}}{L_2} - i_{1rl} \quad (49)$$

$$iL_{22} = \frac{V_0}{2L_2}t + \frac{V_0}{3L_2}T_2 + \frac{V_2 T_{on}}{L_2} - i_{2rl} \quad (50)$$

$$iL_{23} = -i_{3rl} \quad (51)$$

A duração da terceira etapa (T_3) será o tempo gasto entre o fim da segunda etapa e o tempo gasto para a corrente iL_{11} ou iL_{12} atingir o valor de roda livre. Escolhendo a corrente iL_{12} da equação (42) e igualando-a ao valor de roda livre:

$$i_{2rl} = \frac{V_0}{2L_1} T_3 + \frac{V_0}{3L_1} T_2 + \frac{V_2 T_{on}}{L_1} + i_{2rl} \quad (52)$$

$$\frac{V_0}{2} T_3 + \frac{V_0}{3} T_2 = -V_2 T_{on} \quad (53)$$

Substituindo (35) em (53):

$$\frac{V_0}{2} T_3 + \frac{V_0}{3} \frac{3 d T_s \text{sen}(\omega t - 60)}{M} = -V_2 T_{on} \quad (54)$$

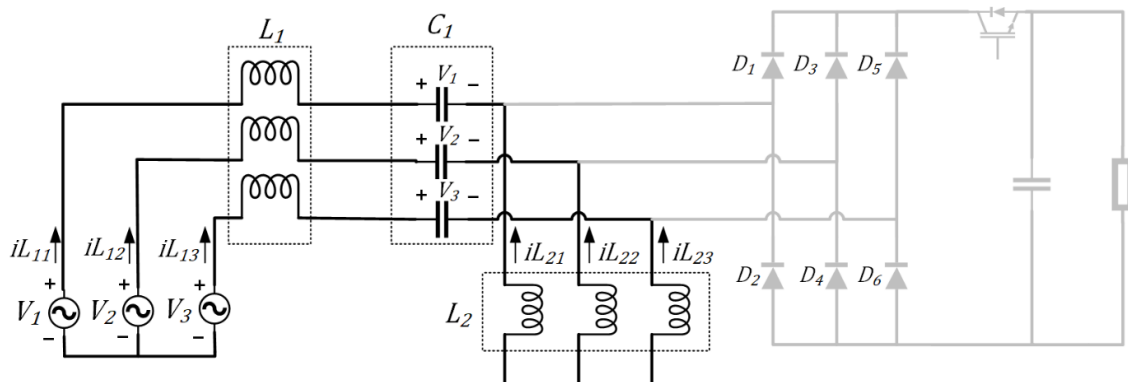
Aplicando relações trigonométricas e manipulações matemáticas, obtém-se a duração deste intervalo:

$$T_3 = \frac{2\sqrt{3} d T_s \text{cos}(\omega t)}{M} \quad (55)$$

2.1.4 Quarta etapa de operação

A quarta etapa de operação tem o circuito equivalente ilustrado na Figura 29. Esta etapa começa quando todas as correntes atingem seus valores de roda livre e se estende até o fechamento das chaves novamente.

Figura 29 – Circuito equivalente durante quarta etapa de operação.



Fonte: Produção do próprio autor.

As seguintes equações representam as correntes que percorrem os indutores nesta etapa:

$$iL_{11} = -iL_{21} = i_{1rl} \quad (56)$$

$$iL_{12} = -iL_{22} = i_{2rl} \quad (57)$$

$$iL_{13} = -iL_{23} = i_{2rl} \quad (58)$$

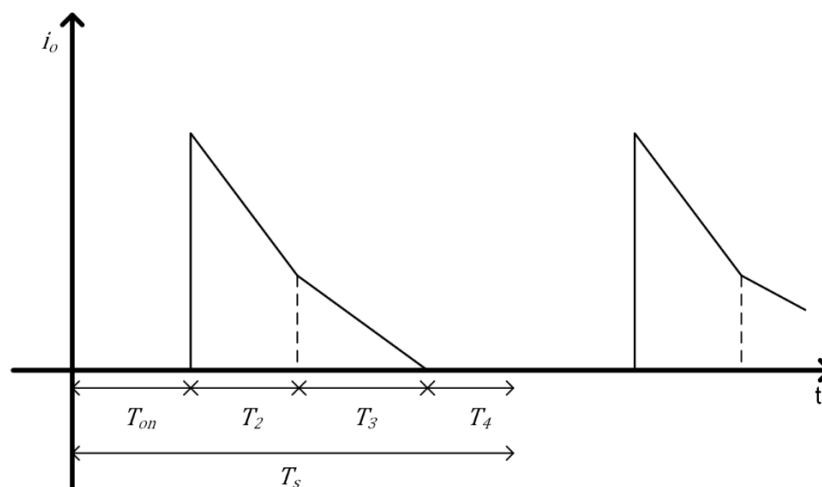
A duração da quarta etapa (T_4) será:

$$T_4 = T_s - T_{on} - T_2 - T_3 \quad (59)$$

2.2 CORRENTE DE SAÍDA DA PONTE RETIFICADORA

A corrente de saída da ponte retificadora (i_o) é fornecida durante a segunda e a terceira etapa de operação e corresponde à soma das correntes iL_{11} e iL_{21} , que são, respectivamente, às correntes dos indutores L_1 e L_2 da fase 1. Portanto, i_o , ilustrada na Figura 30, terá duas declividades diferentes. Estas declividades estão diretamente ligadas às amplitudes das tensões das fases no instante analisado e às etapas de funcionamento.

Figura 30 – Corrente da chave S_2 do conversor apresentado.



Fonte: Produção do próprio autor. (Fora de escala).

Graficamente, o valor médio da corrente de saída pode ser calculado dividindo-se a área sob a curva de i_0 por T_s .

$$i_{0\text{medio}} = \frac{\text{área}}{T_s} \quad (60)$$

E aplicando conceitos de integral, calcula-se a área com a seguinte equação:

$$\text{área} = \int_0^{T_2} (iL_{11} + iL_{21})_{T_2} dt + \int_0^{T_3} (iL_{11} + iL_{21})_{T_3} dt \quad (61)$$

$$\begin{aligned} \text{área} = \int_0^{T_2} \left(-\frac{2V_0}{3L_1}t + \frac{V_1 T_{on}}{L_1} + i_{1rl} - \frac{2V_0}{3L_2}t + \frac{V_1 T_{on}}{L_2} - i_{1rl} \right) dt \\ + \int_0^{T_3} \left(-\frac{V_0}{2L_1}t - \frac{2V_0}{3L_1}T_2 + \frac{V_1 t_{on}}{L_1} + i_{1rl} - \frac{V_0}{2L_2}t - \frac{2V_0}{3L_2}T_2 \right. \\ \left. + \frac{V_1 T_{on}}{L_2} - i_{1rl} \right) dt \end{aligned} \quad (62)$$

Resolvendo as integrais, fazendo as substituições dos intervalos T_{on} , T_2 e T_3 por suas devidas equações e utilizando relações trigonométricas, chega-se a:

$$\text{área} = \frac{3 d^2 T_s^2 V_{pk}^2}{4 V_0 L_{eq.}} \quad (63)$$

Dividindo a área pelo período de chaveamento (T_s), tem-se a corrente média de saída:

$$i_{0\text{medio}} = \frac{3 d^2 T_s V_{pk}^2}{4 V_0 L_{eq.}} \quad (64)$$

Logo, impondo-se razão cíclica e período de chaveamento constantes, a corrente de saída terá um valor médio constante.

2.3 MODELAGEM DO SEPIC TRIFÁSICO

Diversos estudos de modelagem são realizados no meio acadêmico para a obtenção de funções de transferência que descrevam o comportamento de aparelhos ou sistemas elétricos no domínio da frequência, seja usando equações diferenciais ou espaço de estados. Entretanto, uma abordagem bastante eficaz e simples de ser aplicada ao conversor aqui estudado é apresentada por Chetty (1982) como CIECA (Current Injected Equivalent Circuit Approach).

O CIECA é uma abordagem desenvolvida para modelagem de conversores que resulta em um conjunto de equações lineares para pequenos sinais das quais é possível se obter uma função de transferência e um circuito elétrico equivalente que represente o comportamento dinâmico do conversor modelado. Sua utilização é válida tanto para a modelagem de conversores em condução contínua (CHETTY,1981) quanto para aqueles que operam em condução descontínua para as correntes nos indutores. Entretanto, o método CIECA apresenta resultados mais simples que outros métodos de modelagem no estudo de conversores em condução descontínua.

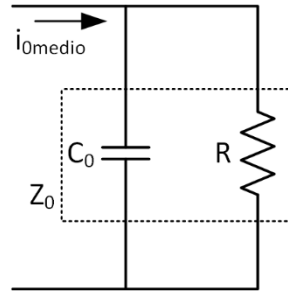
Para o conversor proposto neste trabalho, (64) é uma equação linear que retorna o valor de corrente média de saída da ponte retificadora que alimentará a impedância (Z_0) de saída composta por uma carga RC como ilustrada na Figura 31. A tensão de saída pode ser dada então por:

$$V_0 = Z_0 i_{0\text{medio}} \quad (65)$$

No domínio da frequência, utilizando a transformada de Laplace, a impedância Z_0 é representada por:

$$Z_0(s) = \frac{R}{RC_0s + 1} \quad (66)$$

Figura 31– Representação da impedância de saída.



Fonte: Produção do próprio autor.

Realiza-se a análise adicionando perturbações às variáveis envolvidas na dinâmica da função de transferência desejada. Logo, as seguintes definições devem ser feitas:

$$V_0 = V_{0c} + \hat{v}_0 \quad (67)$$

$$i_{0medio} = I_{0medioc} + \hat{i}_{0medio} \quad (68)$$

$$d = D_c + \hat{d} \quad (69)$$

Onde os termos que possuem a letra 'c' são os contínuos e os termos com '^' representam as perturbações de pequena amplitude.

Substituindo (66), (67) e (68) em (65):

$$V_{0c} + \hat{v}_0 = \frac{R}{RC_0s + 1} (\hat{i}_{0medio} + I_{0medioc}) \quad (70)$$

Substituindo (67), (68) e (69) em (64):

$$(I_{0medioc} + \hat{i}_{0medio}) = \frac{3 (D_c + \hat{d})^2 T_s V_{pk}^2}{4 (V_{0c} + \hat{v}_0) L_{eq.}} \quad (71)$$

$$(I_{0medioc} + \hat{i}_{0medio})(V_{0c} + \hat{v}_0) = \frac{3 (D_c^2 + 2 D_c \hat{d} + \hat{d}^2) T_s V_{pk}^2}{4 L_{eq.}} \quad (72)$$

Anulando os termos constantes e de segunda ordem:

$$I_{0medioc} \hat{v}_0 + V_{0c} \hat{i}_{0medio} = \frac{3 (2 D_c \hat{d}) T_s V_{pk}^2}{4 L_{eq.}} \quad (73)$$

$$\hat{i}_{0medio} = \frac{3 (D_c \hat{d}) T_s V_{pk}^2}{2 V_{0c} L_{eq.}} - \frac{I_{0medioc} \hat{v}_0}{V_{0c}} \quad (74)$$

$$\hat{i}_{0medio} = \frac{3 (D_c \hat{d}) T_s V_{pk}^2}{2 V_{0c} L_{eq.}} - \frac{\hat{v}_0}{R} \quad (75)$$

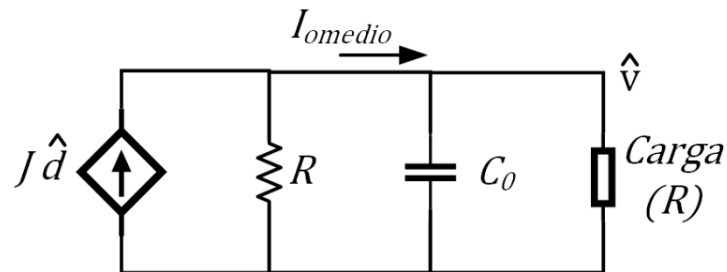
Para obtenção do circuito equivalente (Figura 32) que represente as características dinâmicas da variação da tensão de saída para uma variação na razão cíclica, (75) pode ser reescrita da seguinte forma:

$$\hat{i}_{0medio} = J \hat{d} - \frac{\hat{v}_0}{R} \quad (76)$$

Onde:

$$J = \frac{3 D_c T_s V_{pk}^2}{2 V_{0c} L_{eq.}} \quad (77)$$

Figura 32 – Circuito equivalente da modelagem CIECA.



Fonte: Produção do próprio autor.

Substituindo (75) em (70) e anulando os termos constantes:

$$\hat{v}_0 = \frac{R}{RC_0s + 1} \left(\frac{3 (D_c \hat{d}) T_s V_{pk}^2}{2 V_{0c} L_{eq.}} - \frac{\hat{v}_0}{R} \right) \quad (78)$$

$$\hat{v}_0 \left(1 + \frac{1}{RC_0s + 1} \right) = \frac{R}{RC_0s + 1} \left(\frac{3 (D_c \hat{d}) T_s V_{pk}^2}{2 V_{0c} L_{eq.}} \right) \quad (79)$$

Assim, a função de transferência que descreve a dinâmica entre a variação da tensão de saída equivalente à variação da razão cíclica é:

$$\frac{\hat{v}_0}{\hat{d}} = \frac{R}{\frac{RC_0}{2} s + 1} \left(\frac{3 D_c T_s V_{pk}^2}{4 V_{0c} L_{eq.}} \right) \quad (80)$$

2.4 EQUAÇÕES DE PROJETO

Com o suporte do equacionamento desenvolvido nas seções anteriores, é possível obter equações para determinação dos valores dos componentes a serem utilizados em projeto.

2.4.1 Condição de condução descontínua

Primeiramente, o pré-regulador de fator de potência aqui abordado é proposto para operar em condução descontínua, e para garantir tal condição:

$$T_s > T_{on} + T_2 + T_3 \quad (81)$$

Substituindo (35) e (55) em (81):

$$T_s > d T_s + \frac{2\sqrt{3} d T_s \cos(\omega t)}{M} + \frac{3 d T_s \sin(\omega t - 60)}{M} \quad (82)$$

$$T_s > d T_s \left(1 + \left[\frac{(3 \sin(\omega t - 60) + 2 \sqrt{3} \cos(\omega t))}{M} \right] \right) \quad (83)$$

Em (83) chamando o numerador do termo entre colchetes de $f(\omega t)$:

$$f(\omega t) = 3 \sin(\omega t - 60) + 2 \sqrt{3} \cos(\omega t) \quad (84)$$

Derivando (84), igualando a derivada a zero e aplicando relações trigonométricas, pode-se encontrar o ângulo no qual a função atinge o valor máximo ou mínimo:

$$\dot{f}(\omega t) = 3 \cos(\omega t - 60) - 2 \sqrt{3} \sin(\omega t) \quad (85)$$

$$0 = 3 \cos(\omega t - 60) - 2 \sqrt{3} \sin(\omega t) \quad (86)$$

$$\omega t = 60^\circ + n 180^\circ \quad (87)$$

Onde n é qualquer número inteiro positivo.

Substituindo (87) em (84):

$$f(60 + n 180) = 3 \operatorname{sen}((60 + n 180) - 60) + 2 \sqrt{3} \cos(60 + n 180) \quad (88)$$

$$f(60 + n 180) = \pm \sqrt{3} \quad (89)$$

Na Figura 33 está ilustrado o gráfico correspondente à (84) obtido via software MatLab®, destacando seus valores máximo e mínimo, provando o resultado em (89).

Logo, devido ao comportamento senoidal, usa-se o valor máximo absoluto para $f(\omega t)$.

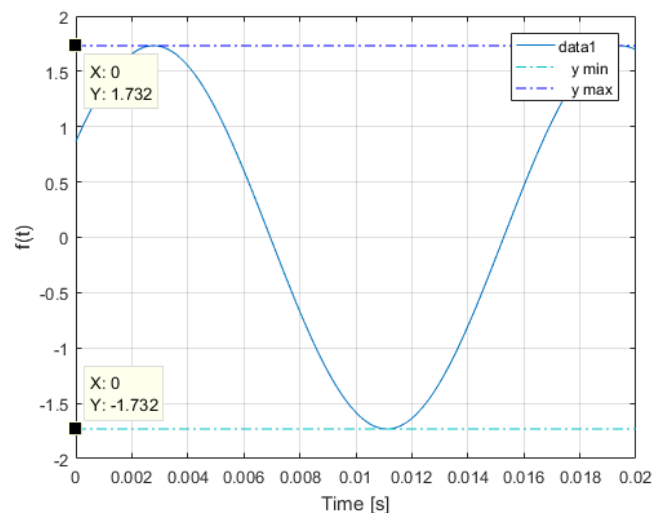
$$T_s > d T_s \frac{M + \sqrt{3}}{M} \quad (90)$$

Realizando manipulações algébricas em (90):

$$d_{max.} < \frac{M}{M + \sqrt{3}} \quad (91)$$

Onde $d_{max.}$ representa a razão cíclica máxima a ser utilizada.

Figura 33 – Gráfico da função $f(\omega t)$ com valores máximos e mínimos destacados.



Fonte: Produção do próprio autor.

2.4.2 Determinação dos valores de indutâncias

O valor da potência média de saída do conversor é dado por:

$$P = i_{0\text{medio}} V_0 \quad (92)$$

Rearranjando os termos de (64) e substituindo por (92) é possível encontrar o valor da indutância equivalente:

$$L_{eq.} = \frac{L_1 L_2}{L_1 + L_2} = \frac{3 d^2 T_s V_{pk}^2}{4P} \quad (93)$$

A determinação dos valores das indutâncias L_1 é dependente do *ripple* da corrente de entrada desejado. Para o período analisado na obtenção das equações, a corrente de entrada irá crescer, em valor absoluto, somente durante o intervalo de chaves S_1 fechadas. Outro detalhe importante a ser mencionado é que os valores de roda livre das correntes de entrada, acompanham o comportamento das tensões de entrada, justamente por trabalhar em condução descontínua, o que as garante característica senoidal. Portanto, resolvendo (7), tem-se a variação máxima da corrente em L_1 na fase 1 ($\Delta i_{L_{11}}$):

$$\Delta i_{L_{11}} = \frac{V_{pk} d T_s}{L_1} \quad (94)$$

Sendo um conversor trifásico e considerando a idealidade dos componentes e fator de potência unitário, toda potência absorvida da rede trifásica será enviada à saída, portanto:

$$P = 3 \frac{I_{pk} V_{pk}}{\sqrt{2} \sqrt{2}} \quad (95)$$

$$I_{pk} = \frac{2 P}{3 V_{pk}} \quad (96)$$

Onde I_{pk} é o máximo valor da corrente de uma fase.

Então, a porcentagem de ripple será:

$$ripple(\%) = \frac{\Delta i_{L_{11}}}{I_{pk}} 100 \quad (97)$$

$$ripple(\%) = \frac{3 d T_s V_{pk}^2}{2 P L_1} 100 \quad (98)$$

Logo, com o *ripple* desejado para $i_{L_{11}}$, determina-se a indutância de L_1 e usando (93) é possível determinar a indutância de L_2 .

2.4.3 Determinação dos valores de capacitâncias de C_1

2.4.3.1 Determinação dos valores limites de capacitância

O valor dos capacitores C_1 , como proposto por Freitas (2015), deve ser escolhido levando em conta que a variação de tensão em seus terminais seja a menor possível dentro de um período de chaveamento. A menor impedância que qualquer dos capacitores C_1 enxerga é a do indutor L_2 durante as chaves S_1 acionadas (T_{on}) e, portanto, isso favorece a uma descarga mais rápida. Sendo assim, garantindo que o período da frequência de ressonância entre C_1 e L_2 seja muito maior que o intervalo de chaves S_1 acionadas, garantirá uma menor variação de tensão nos capacitores.

Logo:

$$T_{fr} \gg d T_s \quad (99)$$

Onde T_{fr} representa o período da frequência de ressonância do conjunto $L_2 C_1$.

Seja um sinal $x(t)$ periódico de frequência f alimentando uma carga $L_2 C_1$. A impedância equivalente da carga será:

$$Z_{eq.} = j \left(2\pi f L_2 - \frac{1}{2\pi f C_1} \right) \quad (100)$$

Logo, o período da frequência de ressonância é dado por:

$$T_{fr} = 2\pi\sqrt{L_2 C_1} \quad (101)$$

Logo:

$$2\pi\sqrt{L_2 C_1} \gg d T_s \quad (102)$$

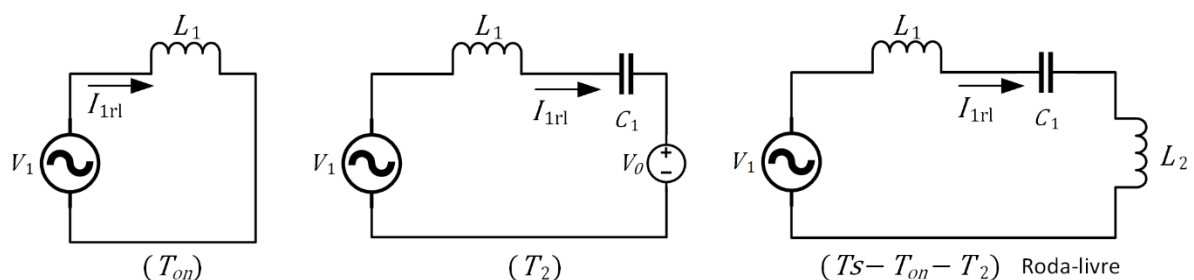
$$C_1 \gg \frac{(dT_s)^2}{4\pi^2 L_2} \quad (103)$$

Além disso, quanto maior o valor de capacitância de C_1 , menor será a variação de tensão em seus terminais durante um período de chaveamento.

De acordo com Freitas (2015), um valor máximo deve ser respeitado para o valor de C_1 , entretanto, a autora não mostra o desenvolvimento da equação apresentada para o cálculo deste limite.

Observando a Figura 34 é possível calcular uma impedância equivalente vista pela rede durante um período de chaveamento. Lembrando que durante a primeira etapa há acúmulo de energia nos indutores, durante a segunda etapa a energia dos indutores é transferida para a carga e durante a terceira etapa não há nenhum acúmulo ou transferência de energia decorrente do chaveamento. Nesta análise é considerada apenas a corrente de roda livre, uma vez que esta é presente em todas as etapas de operação.

Figura 34 – Impedância equivalente vista pela rede durante cada etapa de operação.



Fonte: Produção do próprio autor.

A fim de facilitar os cálculos as seguintes considerações são feitas:

$$X_1 = 2\pi f_{alr} L_1 \quad (104)$$

$$X_2 = 2\pi f_{alr} L_2 \quad (105)$$

$$X_c = -\frac{1}{2\pi f_{alr} C_1} \quad (106)$$

Onde f_{alr} representa a frequência de alimentação da rede.

Durante a primeira etapa:

$$V_1 = \frac{T_{on}}{T_s} L_1 \frac{di_{1rl}}{dt} = \frac{T_{on} i_{1rl}}{T_s} jX_1 \quad (107)$$

Durante a segunda etapa:

$$V_1 = \frac{T_2}{T_s} \left(L_1 \frac{di_{1rl}}{dt} + \frac{1}{C_1} \int_{T_{on}}^{T_2} i_{1rl} dt + V_0 \right) = \frac{T_2 i_{1rl}}{T_s} (jX_1 - jX_c) + V_0 \quad (108)$$

Durante a terceira etapa:

$$V_1 = \frac{T_3}{T_s} \left(L_1 \frac{di_{1rl}}{dt} + \frac{1}{C_1} \int_{T_{on}}^{T_2} i_{1rl} dt + L_2 \frac{di_{1rl}}{dt} \right) = \frac{T_3 i_{1rl}}{T_s} (jX_1 - jX_c + jX_2) \quad (109)$$

Logo, durante um período de chaveamento:

$$V_1 = i_{1rl} \left[\frac{T_{on}}{T_s} (jX_1) + \frac{T_2}{T_s} j(X_1 - X_c) + \frac{T_3}{T_s} (jX_1 - jX_c + jX_2) \right] + \frac{T_2}{T_s} V_0 \quad (110)$$

Então, a reatância equivalente vista pela rede ($X_{eq.}$), em um período de chaveamento pode ser dada por:

$$X_{eq.} = \frac{T_{on}X_1 + T_2(X_1 - X_c) + (T_s - T_{on} - T_2)(X_1 + X_2 - X_c)}{T_s} \quad (111)$$

$$X_{eq.} = \frac{T_s(X_1 + X_2 - X_c) - d T_s X_2 + d T_s X_c - T_2 X_2}{T_s} \quad (112)$$

$$X_{eq.} = X_c(d - 1) + X_1 + X_2(1 - d) - \frac{T_2}{T_s} X_2 \quad (113)$$

Igualando (113) a zero é possível encontrar a frequência de ressonância ($f_{ress.}$).

$$0 = X_c(d - 1) + X_1 + X_2(1 - d) - \frac{T_2}{T_s} X_2 \quad (114)$$

$$(2\pi f_r)^2 = \frac{(1 - d)}{C_1 \left[L_1 + L_2(1 - d) - L_2 \frac{T_2}{T_s} \right]} \quad (115)$$

A duração de T_2 , de acordo com (36), varia com a razão cíclica e com o tempo, o que torna a análise da frequência de ressonância muito elaborada. Quanto menor a razão cíclica, maior será a duração da quarta etapa e, portanto, maior será o tempo em que o conjunto formado por L_1 , C_1 e L_2 estará sujeito à tensão e frequência da rede. Então, uma boa aproximação pode ser feita considerando $d = 0$, obtendo-se:

$$f_{ress} = \frac{1}{\sqrt{4 \pi^2 C_1 (L_1 + L_2)}} \quad (116)$$

De (116), percebe-se que quanto maior o valor de C_1 , menor será f_{ress} . Sendo assim, o valor da capacitância deve ser tal que a frequência de ressonância da impedância equivalente seja muito maior que a da rede, logo:

$$C_1 \ll \frac{1}{(2\pi f_{alr})^2 (L_1 + L_2)} \quad (117)$$

Verifica-se em simulações que, para bons resultados, o valor de C_1 deve ser escolhido de tal forma a ser pelo menos vinte vezes maior que o limite calculado em (103) e cem vezes menor que o limite calculado em (117).

2.4.3.2 Determinação dos valores de capacitâncias com base na variação de tensão

Os critérios apresentados na alínea 'a' levam a uma faixa de pertinência de C_1 muito ampla, requisitando a execução de várias simulações até encontrar valores adequados. Outro critério, apresentado como contribuição deste trabalho, para a escolha do capacitor C_1 , diz respeito à máxima variação de tensão durante um período

de chaveamento. Utilizando a equação de variação de tensão nos terminais de um capacitor (ΔV_c):

$$\Delta V_c = \frac{1}{C} \int_0^t i_c(t) dt \quad (118)$$

E sabendo que a maior corrente que o capacitor conduz é durante T_{on} , transferindo energia para L_2 :

$$\Delta V_{c1} = \frac{1}{C_1} \int_0^{dT_s} i_{L21}(t)_{T_{on}} dt \quad (119)$$

$$\Delta V_{c1} = \frac{1}{C_1} \int_0^{dT_s} \left(\frac{V_{pk}t}{L_2} - i_{1rl} \right) dt \quad (120)$$

Considerando que o ripple da corrente de entrada não seja muito elevado, (96) apresenta uma boa aproximação para o valor da corrente de roda livre, então:

$$\Delta V_{c1} = \frac{1}{C_1} \int_0^{dT_s} \left(\frac{V_{pk}t}{L_2} - \frac{2P}{3V_{pk}} \right) dt \quad (121)$$

Desenvolvendo:

$$C_1 = \frac{1}{\Delta V_{c1}} \left(\frac{3(dT_s)^2 V_{pk}^2 - 4PdT_s L_2}{6 L_2 V_{pk}} \right) \quad (122)$$

Onde ΔV_{c1} é a variação de tensão no capacitor em Volts.

2.4.4 Esforços de corrente e tensão nas chaves S_1 e S_2

2.4.4.1 Esforços de corrente nas chaves.

As chaves S_1 conduzem o somatório das correntes L_1 e L_2 e devem ter um caminho para corrente reversa, de mesma amplitude, que fluirá quando a tensão da respectiva fase estiver no semiciclo negativo. Dentro de um semiciclo da curva da tensão de

alimentação, o valor médio das correntes em S_1 , em um período de comutação, irá variar.

A chave S_2 irá conduzir corrente sempre em um mesmo sentido, com amplitude máxima igual ao valor máximo de corrente das chaves S_1 , possuindo um valor médio de corrente constante. Para a corrente máxima nas chaves semicondutoras (I_{st}), basta somar as equações em (8).

$$I_{st} = (i_{11} + i_{12})_{Ton} \quad (123)$$

$$I_{st} = \frac{V_{pk} d T_s}{L_1} + i_{1,rl} + \frac{V_{pk} d T_s}{L_2} - i_{1,rl} \quad (124)$$

$$I_{st} = V_{pk} d T_s \left(\frac{1}{L_1} + \frac{1}{L_2} \right) \quad (125)$$

O valor médio máximo da corrente de S_1 (I_{s1m}) pode ser calculado com a seguinte equação:

$$I_{s1m} = \frac{V_{pk}}{L_{eq.} T_s} \int_0^{dT_s} t dt \quad (126)$$

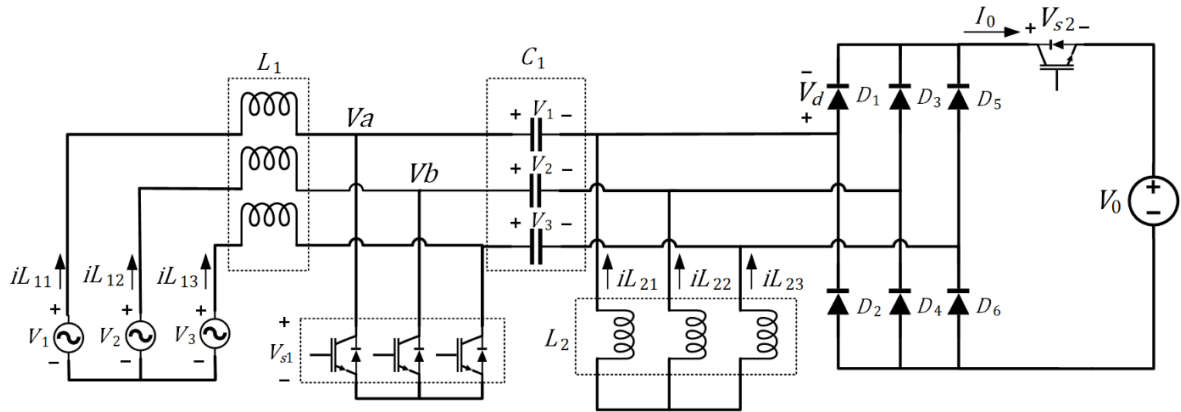
$$I_{s1m} = \frac{V_{pk} d^2 T_s}{2 L_{eq.}} \quad (127)$$

E o valor médio da corrente da chave S_2 será i_{0medio} , calculado através de (64).

2.4.4.2 Esforços de tensão nas chaves

Os maiores esforços de tensão nas chaves S_1 ocorrem quando as mesmas não estão conduzindo e chave S_2 está ativada. Com base na Figura 35 é possível realizar o equacionamento.

Figura 35 – Topologia do conversor com tensões nas chaves e diodo explicitadas.



Fonte: Produção do próprio autor.

Aplicando LKT:

$$-V_1 + VL_{11} + V_1 + V_0 - V_2 - VL_{12} + V_2 = 0 \quad (128)$$

$$VL_{12} - VL_{11} = V_0 \quad (129)$$

$$-V_1 + VL_{11} + V_a - V_b - VL_{12} + V_2 = 0 \quad (130)$$

$$V_a - V_b = V_1 - V_2 + VL_{12} - VL_{11} \quad (131)$$

Substituindo (129) em (131), considerando que a máxima diferença de potencial entre as fases é $V_{pk}\sqrt{3}$ e que os diodos antiparalelos das chaves são ideais:

$$V_a - V_b = V_{s1} = V_{pk}\sqrt{3} + V_0 \quad (132)$$

Na seção 2.1.1.1 o esforço de tensão para a chave S_2 é dado pela equação (12).

2.4.5 Esforços de tensão nos diodos

A análise de tensão no diodo D_1 serve para os outros diodos e é feita considerando-os ideais. A maior valor de tensão em D_1 acontece quando a chave S_2 está desativada e assim a malha analisada é a formada entre as fases 1 e 2 através dos diodos D_1 e D_3 na Figura 35.

$$V_1 + V_d - V_2 = 0 \quad (133)$$

$$V_d = -V_{pk}\sqrt{3} \quad (134)$$

2.5 COMENTÁRIOS DO CAPÍTULO

Neste capítulo apresentou-se a modificação inserida na topologia, assim como todas as equações envolvidas nas etapas de operação, as necessárias para elaboração de projeto do conversor.

No primeiro tópico, apresentou-se as etapas de operação, separadas em subtópicos, trazendo em figuras os circuitos equivalentes de cada etapa com seus respectivos equacionamentos.

No segundo tópico, o equacionamento necessário para a obtenção do valor de corrente que a chave S_2 conduzirá foi elaborado, servido de base para a elaboração da modelagem desenvolvida no terceiro tópico. A modelagem resultou em um modelo de circuito linear e em uma função de transferência que representam as variações da tensão de saída para pequenas variações na razão cíclica.

No quarto tópico, foram apresentadas as equações necessárias para a elaboração do projeto realizado no capítulo 3.

3 PROJETO DESENVOLVIDO

Para fins de validação da topologia proposta, realizou-se um projeto para o pré-regulador trifásico SEPIC operando como abaixador de tensão, ou seja, tensão de saída menor que o pico da tensão de linha de alimentação. Sua operação como elevador já foi demonstrada por Freitas (2015).

Para o projeto desenvolvido, é apresentada uma análise comparativa entre resultados experimentais e de simulação. Ao final, é apresentada uma comparação de comportamento entre o modelo elétrico obtido e o conversor proposto através de simulação.

Na Tabela 3 estão listadas as especificações de projeto. Para a tensão de saída, escolheu-se 200V por caracterizar o funcionamento do conversor como abaixador de tensão, além disso, a potência escolhida foi de 500 W de tal forma que os esforços de corrente nos semicondutores não fossem muito elevados dados os componentes disponíveis.

Tabela 3 – Parâmetros de projeto pré-regulador de fator de potência SEPIC trifásico.

DESCRIÇÃO	VALOR
Tensão de Pico da Alimentação (V_{pk})	180 [V] (rede trifásica 220V eficazes)
Frequência de Alimentação	60 [Hz]
Tensão de saída (V_0)	200 [V]
Potência (P)	500 [W]

Fonte: Produção do próprio autor.

Com as especificações do conversor, e usando as equações apresentadas, o projeto foi desenvolvido obtendo-se os valores da Tabela 4. Utilizando (75), $d_{max.} < 0,39$, logo, escolheu-se uma razão cíclica de $d = 0,2$ para garantir o modo de condução descontínua mesmo sob transitórios. A frequência de alimentação escolhida foi de 20KHz de tal forma a ficar fora da frequência de ruído audível e não apresentar altas perdas de comutação nos semicondutores. Para *ripple* da corrente de entrada foi escolhido 20% de forma a se obter uma melhor visualização do comportamento da corrente nos indutores L_1 . Os capacitores C_1 foram escolhidos conforme equação

(102), considerando um ΔV_{c1} de aproximadamente 30% em relação ao valor de pico das tensões de entrada.

Tabela 4 – Valores definidos e obtidos no projeto do conversor SEPIC.

Frequência de chaveamento $\left(\frac{1}{T_s}\right)$	20000 [Hz]
Razão cíclica (d)	0,2
<i>Ripple</i> (%)	20%
Indutores (L_1)	$5,1 \times 10^{-3}$ [H]
Capacitores (C_1)	$1,5 \times 10^{-6}$ [F]
Indutores (L_2)	99×10^{-6} [H]
Capacitor de saída (C_0)	100×10^{-6} [F]
Resistor de saída (R_0)	80 [Ω]

Fonte: Produção do próprio autor.

O projeto foi reajustado considerando o rendimento devido a perdas de potência que podem afetar nos níveis de tensão de saída. Além disso, o *ripple* de tensão nos capacitores C_1 influencia no cálculo das correntes e na análise teórica do conversor. Portanto, o reajuste foi realizado para uma potência de 580 W e *ripple* de 16,75% na corrente de entrada. Os parâmetros reajustados estão descritos na Tabela 5.

Tabela 5 – Valores reajustados dos parâmetros de projeto do pré-regulador SEPIC.

DESCRIÇÃO	VALOR
<i>Ripple</i> (%)	16,75%
Potência (P)	580 [W]
Indutores (L_1)	5×10^{-3} [H]
Indutores (L_2)	85×10^{-6} [H]

Fonte: Produção do próprio autor.

Com os valores descritos nas Tabelas 3, 4 e 5 os dispositivos e componentes estarão sujeitos aos seguintes esforços máximos de corrente e tensão apresentados na Tabela 6, calculados com o apoio das equações do item 2.4.

Tabela 6 – Valores máximos de corrente e tensão nos elementos da topologia para o projeto elaborado.

	S₁	L₁	C₁	D₁	S₂	L₂
Tensão [V]	511,76	180	180	311,8	111,8	180
Corrente [A]	21,53	2,51	21,17	21,53	21,53	21,17

Fonte: Produção do próprio autor.

Os valores podem variar devido às aproximações consideradas nos equacionamentos. Pode-se perceber que o valor máximo de corrente nas chaves e no diodo D_1 é o mesmo. Também se observa o mesmo valor de corrente entre o indutor L_2 e o capacitor C_1 uma vez que estes trocam energia durante T_{on} .

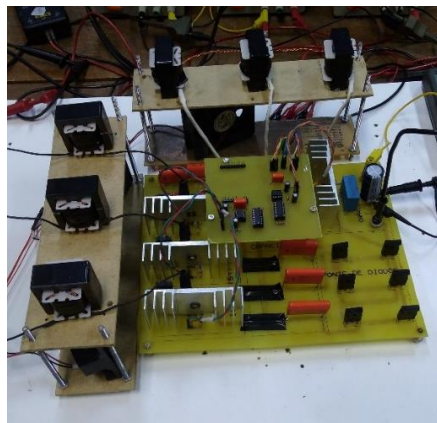
A função de transferência obtida, usando (80) foi:

$$\frac{\hat{v}_0}{\hat{d}} = \frac{1163}{0,004 s + 1} \quad (135)$$

3.1 O PROTÓTIPO IMPLEMENTADO

Todas as análises experimentais foram realizadas no Laboratório de Eletrônica de Potência e Acionamento Elétrico (LEPAC) da Universidade Federal do Espírito Santo (UFES), a partir do protótipo implementado e mostrado na Figura 36.

Figura 36 – Protótipo implementado.



Fonte: Produção do próprio autor.

3.1.1 Especificação de componentes

Os semicondutores foram escolhidos de acordo com a disponibilidade em laboratório e a capacidade de operação levando em consideração a Tabela 5. Portanto, para implementar as chaves S_1 e S_2 , foram selecionados os IGBTs HGTG11N120CND do fabricante *FAIRCHILD*, que possui valor máximo de tensão reversa de 1200 V e valor de corrente de coletor eficaz de 43 A a 25 °C. Para a ponte retificadora foi selecionado o diodo ultra rápido HFA50PA60C do fabricante *International Rectifier*, este dispositivo suporta uma tensão reversa de 600V e um valor de corrente média de 25 A.

Os Indutores L_1 e L_2 foram projetados e construídos com núcleo de ferrite de acordo com as especificações detalhadas em (BARBI, 2001).

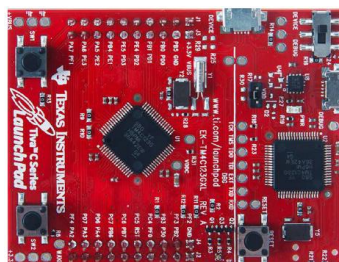
Para os capacitores C_1 , foram escolhidos capacitores de poliéster suportando tensão máxima de 400V e para C_0 utilizou-se capacitor eletrolítico que suporta até 450V em seus terminais.

A carga de saída foi composta pela associação em série de duas décadas resistivas de 500 W reguladas cada uma para 40 Ω .

3.1.2 Acionamento dos IGBTs

Os sinais de comando dos IGBTs foram gerados via programação no microcontrolador EK-TM4C123GXL da placa de desenvolvimento TIVA C Series TM4C123G da *Texas Instruments* mostrado na Figura 37. Este microcontrolador é de 32 bits com um oscilador interno de 16MHz e fornece um valor de tensão máxima de 3,3 V e um valor de corrente máxima de 300 mA em seus terminais de saída.

Figura 37 – Microcontrolador utilizado.



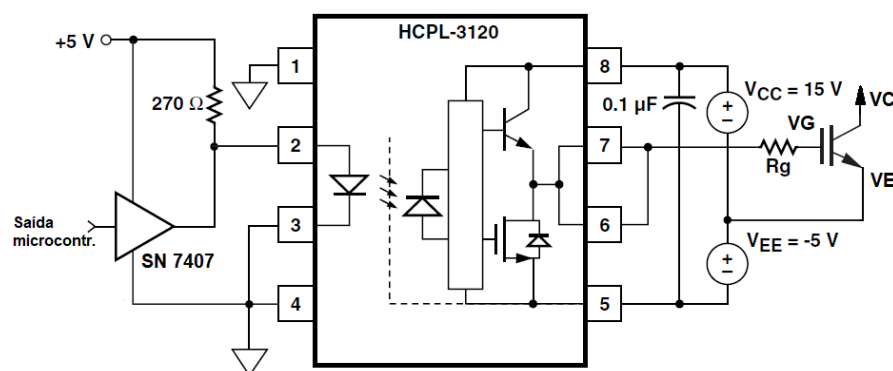
Fonte: Embedded System Design using TM4C LaunchPad™ Development Kit.

É importante ressaltar que no desenvolvimento da programação foi necessário levar em conta uma correta sincronização entre o desligamento das chaves S_1 e ativação da chave S_2 . Na ocorrência da ativação de S_2 antecipada ao desligamento das chaves S_1 o problema do curto circuito continuaria a existir, enquanto numa ativação atrasada as tensões sob os diodos da ponte retificadora se elevariam muito devido à elevada variação de corrente dos indutores da topologia.

Então, dois sinais PWM complementares de 20KHz foram gerados com as seguintes características: o pulso de ativação das chaves S_1 foi atrasado em três ciclos de clock do microcontrolador (187,5 ns) em relação ao desligamento da chave S_2 e o pulso de ativação da chave S_2 foi atrasado de um ciclo de clock do microcontrolador (62,5 ns) relação ao desligamento das chaves S_1 . Ambos os atrasos visam garantir a não polarização dos diodos da ponte retificadora, entretanto, o atraso na ativação de S_2 foi de apenas um ciclo de clock com o intuito de respeitar o tempo necessário para os IGBTs, que compõem as chaves S_1 , cessarem a condução de corrente sem que ocorra sobretensão sobre os Indutores L_2 .

Para atingirem níveis de tensão e corrente capazes de acionar os IGBTs, os sinais gerados pelo microcontrolador foram direcionados para dois circuitos de condicionamento de sinal (Figura 38), um para as chaves S_1 e outro para a chave S_2 . Os circuitos desenvolvidos foram compostos por um circuito integrado (CI) da marca AVAGO modelo HCPL- 3120 que realiza acoplamento óptico, isolando sinais de comando dos sinais de potência.

Figura 38 – Circuito de acionamento dos IGBTs.



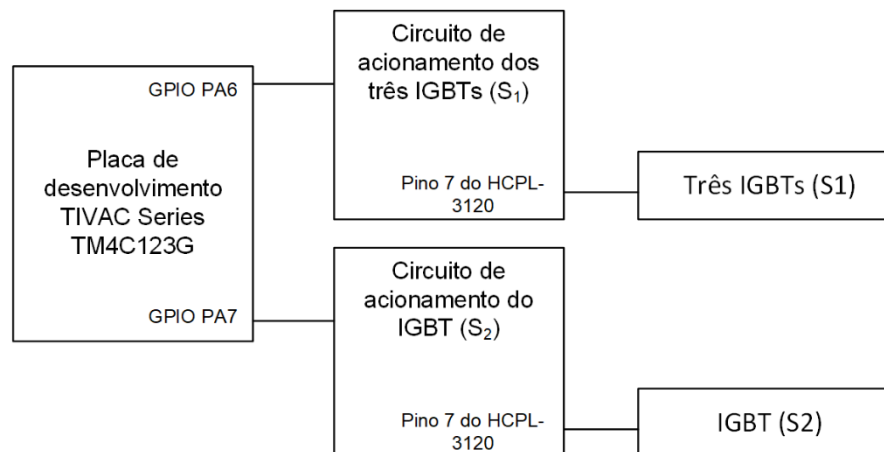
Fonte: *Datasheet* HCPL- 3120 adaptado pelo autor.

Para um menor consumo de corrente do microcontrolador, utilizou-se um *buffer* SN7407 para alimentar cada CI HCPL- 3120.

Apenas um CI HCPL- 3120 foi utilizado para acionamento das três chaves S_1 , uma vez que estas devem possuir um funcionamento sincronizado e aquele é capaz de fornecer até 2,5 A de saída, o suficiente para acionar os IGBTs utilizados.

As saídas dos HCPL-3120 são conectadas aos *gates* dos IGBTs através de resistências (R_g) calculadas de acordo com o *datasheet* do fabricante de tal forma a diminuir perdas por comutação. Além disso, o acionamento fornece um disparo de desligamento com tensão negativa, garantindo bloqueio eficaz dos IGBTs. O sinal de acionamento utilizado nas chaves varia de +15V a -5V. O diagrama final de acionamento dos IGBTs é ilustrado na Figura 39.

Figura 39 – Diagrama de conexão para acionamento dos IGBTs.

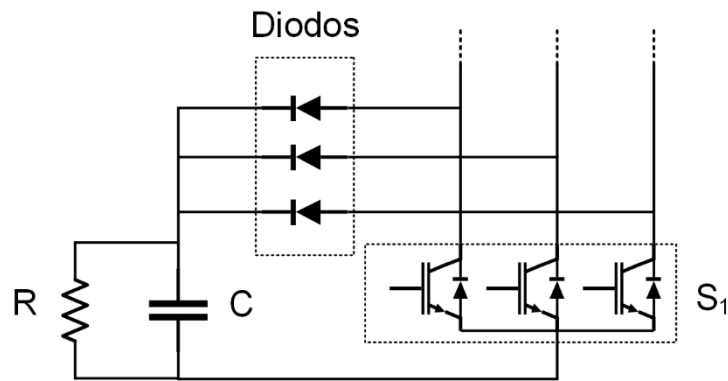


Fonte: Produção do próprio autor.

3.1.3 Circuito grampeador utilizado nas chaves S_1

Um circuito grampeador foi implementado a fim de se evitar sobretensões nas chaves causadas por indutâncias parasitas existentes nas trilhas. Os parâmetros foram ajustados empiricamente elevando-se o nível de tensão de alimentação gradativamente e observando os melhores resultados. O diagrama de ligação do circuito grampeador pode ser visualizado na Figura 40. Utilizou-se um resistor de 70K Ω e um capacitor de 0,5 μ F.

Figura 40 – Circuito grampeador implementado para as chaves S_1 .



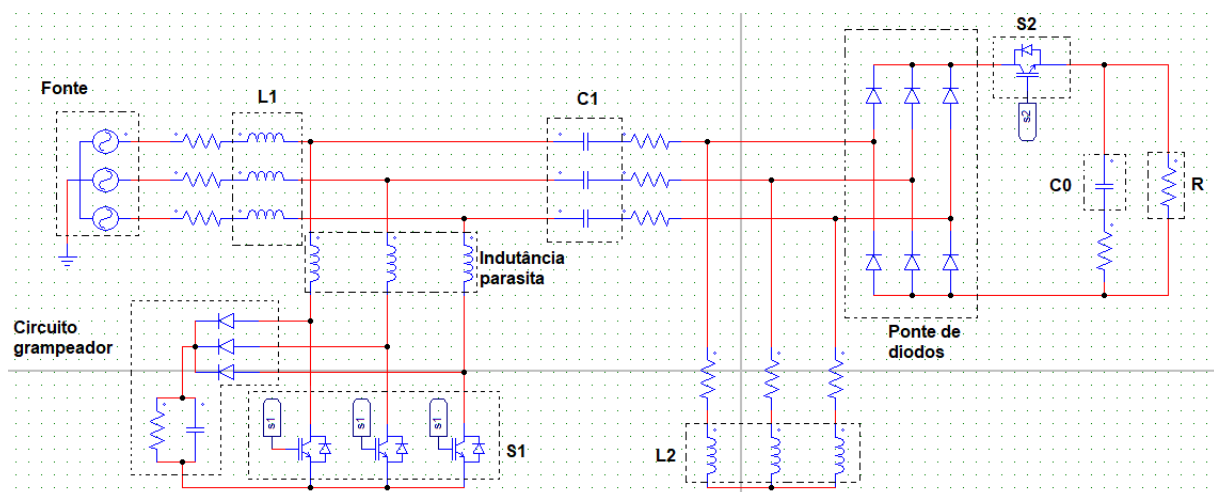
Fonte: Produção do próprio autor.

3.1.4 Circuito elaborado no software de simulação

O software de simulação utilizado foi o PSIM e o circuito elaborado é mostrado na Figura 41. A fim de aproximar os resultados de simulação aos obtidos experimentalmente, inseriu-se pequenas resistências representando perdas.

Alterou-se inclusive os valores de L_2 para $90\mu\text{H}$, uma vez que o equipamento para medição de indutância não apresentou resultados com precisão e os indutores foram dispostos um pouco próximos, o que pode influenciar nos valores de indutâncias devido ao fluxo magnético enlaçado.

Figura 41 – Circuito elaborado no software PSIM para simulação do conversor SEPIC.

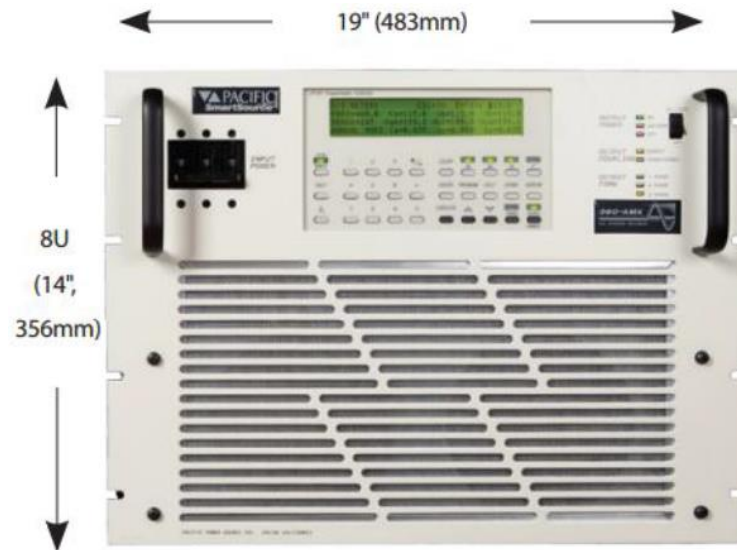


Fonte: Produção do próprio autor.

3.2 FONTE DE ALIMENTAÇÃO

Foi utilizada a fonte de alimentação trifásica programável *Pacific Power Source AMX-360* (Figura 42), que possui potência nominal de 6 KVA e capacidade de alimentação de até 338 V eficazes com uma frequência que pode variar de 20 Hz à 5 kHz.

Figura 42 – Fonte de alimentação programável *Pacific Power Source AMX-360*.



Fonte: Manual *Pacific Power Source AMX-320*.

3.3 COMENTÁRIOS DO CAPÍTULO

Neste capítulo, apresentou-se os parâmetros de projeto escolhidos, e a partir disso, foram calculados os valores de indutâncias e capacitâncias do protótipo. Também foram determinados os valores de tensão e corrente aos quais os elementos da topologia são submetidos.

No item 3.1, o protótipo implementado foi descrito. No item 3.1.1, menciona-se os componentes escolhidos de acordo com os valores de esforços de tensão e corrente calculados. No item 3.1.2, é explicada como foi desenvolvida a programação do microcontrolador utilizado, assim como a descrição do circuito de acionamento das chaves. No item 3.1.3, é descrito o circuito grampeador aplicado para evitar sobretensões sobre as chaves S_1 e, por último, no item 3.1.4, foi apresentado o circuito

elaborado em simulação, trazendo as considerações feitas para aproximação dos resultados computacionais com os experimentais.

No item 3.2 é apresentada a fonte trifásica utilizada para alimentação do protótipo. Os resultados estão apresentados no capítulo a seguir.

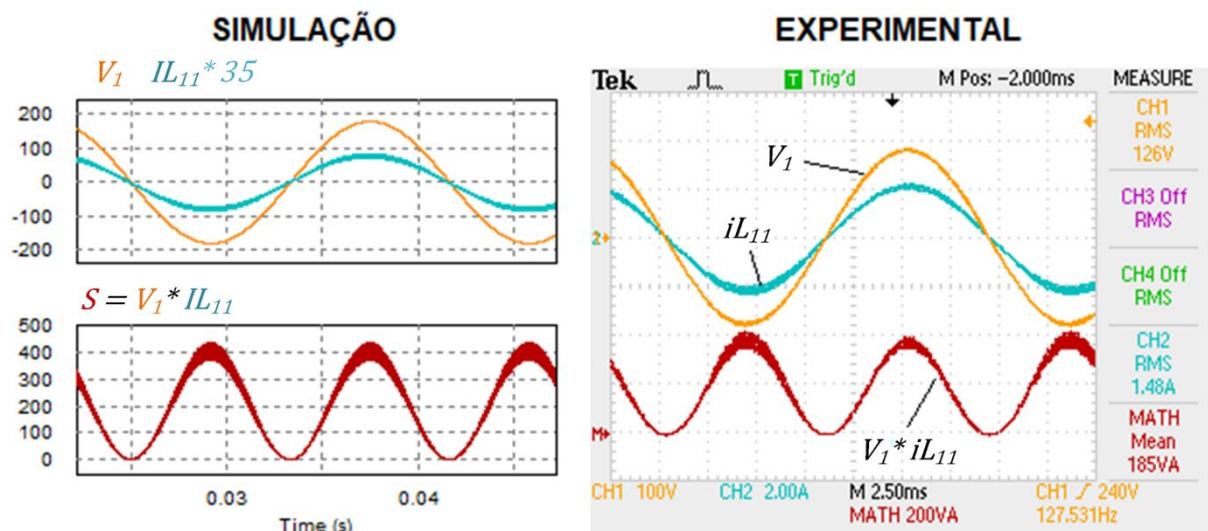
4 RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

Neste tópico são apresentados os resultados experimentais e de simulação para uma fase, uma vez que as outras apresentam o mesmo comportamento. Nas figuras da esquerda estão ilustrados os resultados obtidos por simulação a partir do uso do software PSIM, enquanto nas da direita estão ilustrados os resultados experimentais obtidos a partir do protótipo implementado.

4.1 TENSÃO, CORRENTE E POTÊNCIA DE ENTRADA

Na figura 43 pode-se observar as formas de onda da tensão, da corrente e da potência instantânea do conversor. A corrente teve seu valor multiplicado por 35 no resultado de simulação, apenas para uma melhor visualização e seu valor eficaz foi de aproximadamente 1,54A. O deslocamento entre a corrente e a tensão foi muito próximo de 0° .

Figura 43 – Tensão, corrente e potência instantânea de entrada.



Fonte: Produção do próprio autor.

Na parte direita da Figura 43, correspondente ao resultado experimental, visualmente não houve deslocamento entre a tensão e a corrente e, ampliando o momento de transição por zero, não foi possível mensurar de maneira precisa o defasamento entre as curvas. Logo, pode-se atribuir fator de deslocamento aproximadamente unitário.

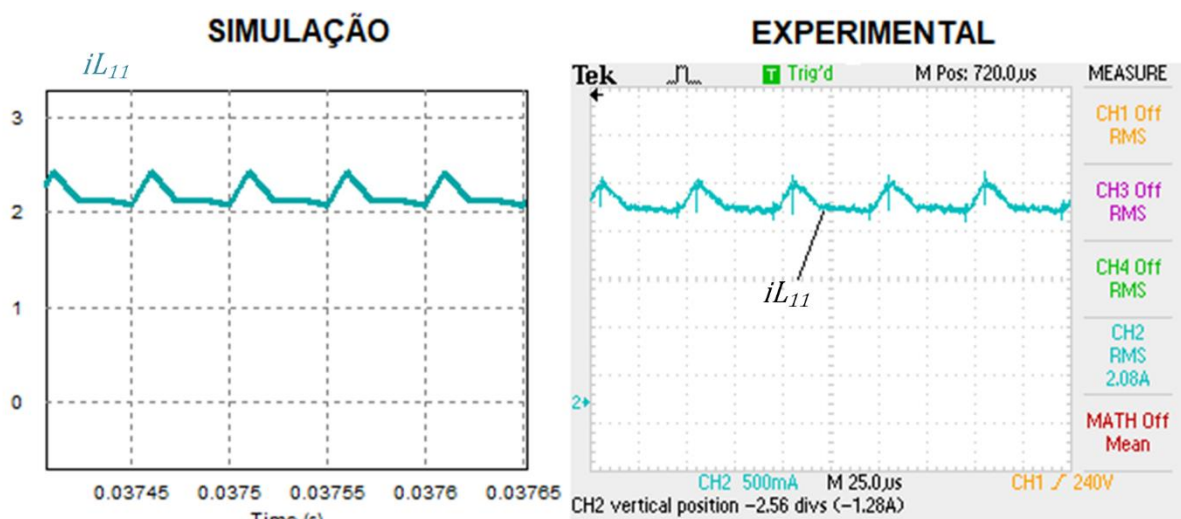
A partir dos valores eficazes de tensão, corrente, obtém-se em simulação uma potência total de entrada de 586,74W, bem próximo dos 580W do projeto. Isso significa que os valores das perdas introduzidas estão próximos dos valores que ocorrerem experimentalmente. Por outro lado, o valor médio da potência instantânea absorvida da rede foi de aproximadamente 555W, representando a potência ativa consumida.

Multiplicando-se o valor eficaz de tensão pelo valor eficaz da corrente (obtidos experimentalmente) e multiplicando o valor resultante por três (por ser sistema trifásico), obtém-se o valor de potência aparente de 559,44VA. Assim, utilizando o valor médio da potência instantânea experimental, calcula-se um fator de potência de aproximadamente 0,992.

4.2 TENSÃO E CORRENTE NO INDUTOR L_1

A corrente no indutor de entrada em uma fase é apresentada no tópico anterior junto com a tensão de entrada, porém, não há em detalhe o *ripple* de chaveamento que a mesma possui. Na Figura 44 está ilustrada a corrente em L_1 em detalhe.

Figura 44 – Detalhe mostrando a corrente no indutor L_1 .

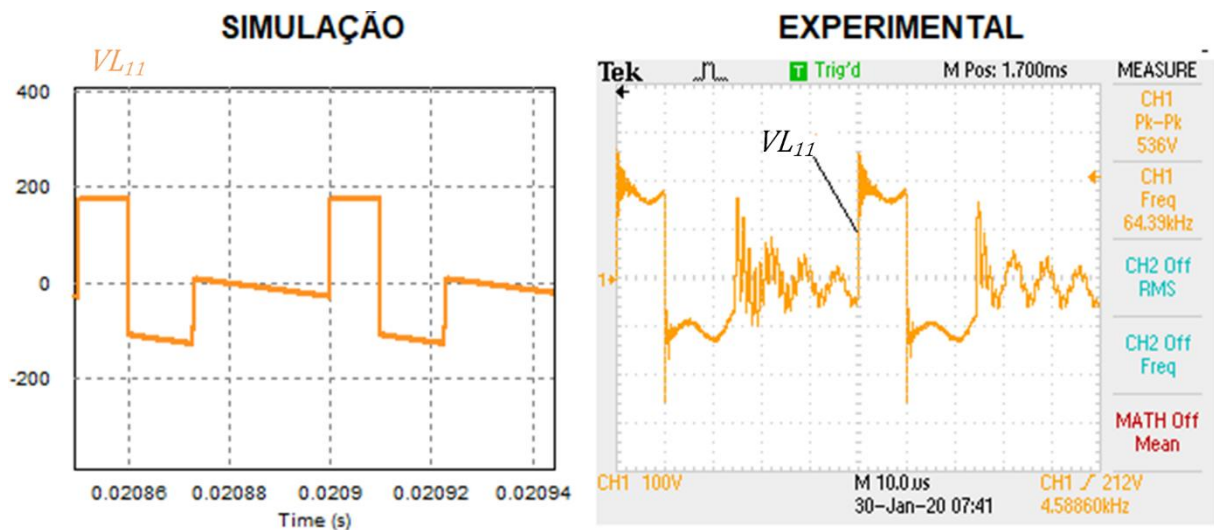


Fonte: Produção do próprio autor.

Na simulação, o valor eficaz de corrente foi de aproximadamente 2,17 A com um *ripple* de aproximadamente 15,8%, enquanto experimentalmente obteve-se 2,08 A eficaz com um *ripple* de aproximadamente 15,2%.

Na Figura 45 pode-se observar a tensão no indutor L_1 em uma das fases. Devido a capacitâncias parasitas presentes no circuito implementado a forma de onda de tensão apresentou oscilações. Tanto na simulação quanto experimentalmente, o valor de tensão pico a pico foi de aproximadamente 320 V, desconsiderando os transitórios de chaveamento e oscilações.

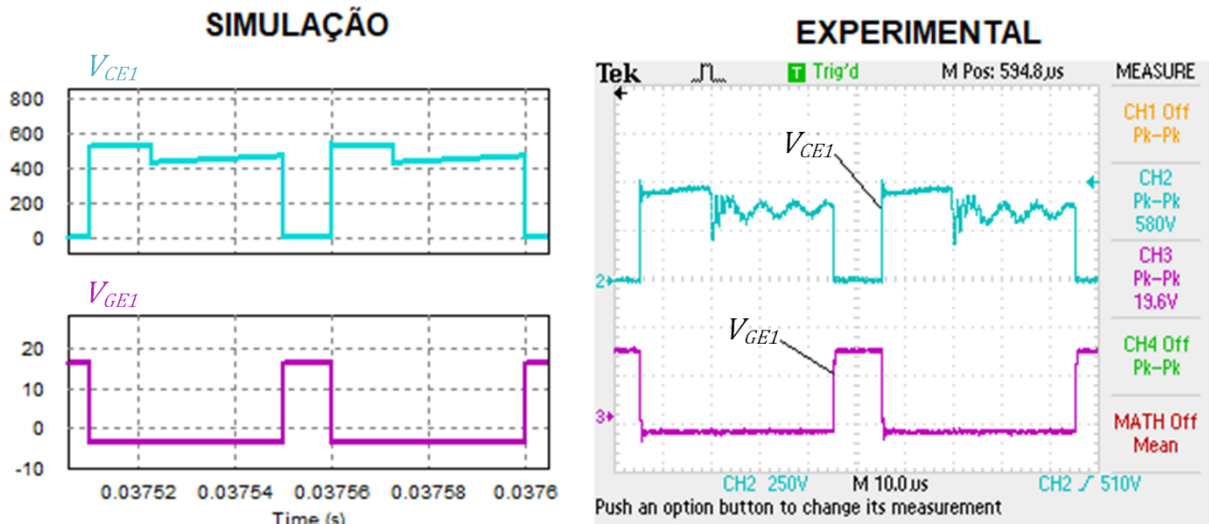
Figura 45 – Tensão no Indutor L_1 .



Fonte: Produção do próprio autor.

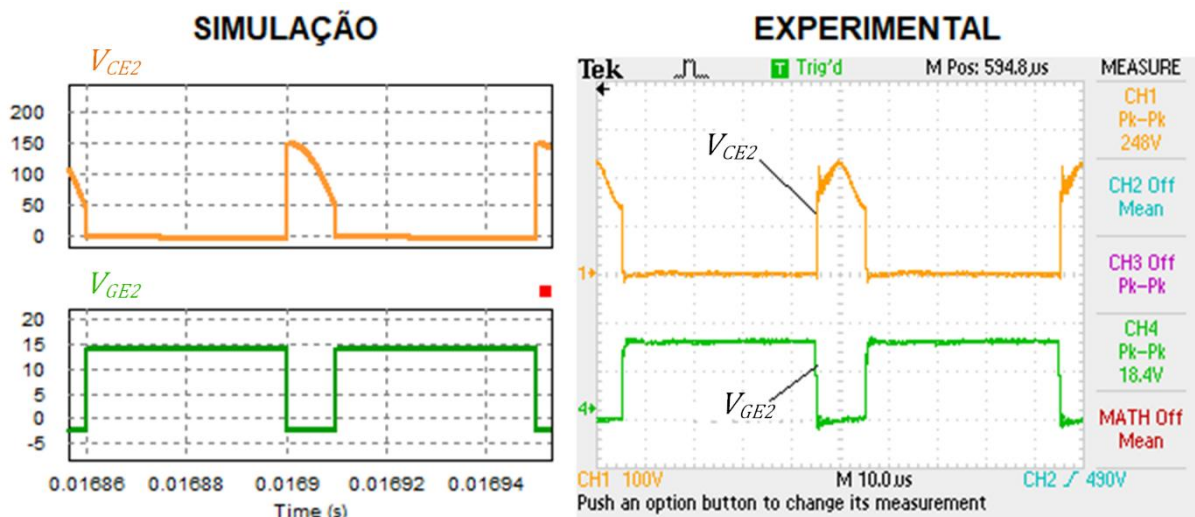
4.3 TENSÕES NAS CHAVES S_1 E S_2

Na Figura 46 visualiza-se o sinal de acionamento (em roxo - Tensão Gate – Emissor (V_{GE})) e a tensão (em azul - Tensão Coletor – Emissor (V_{CE})) em uma das chaves S_1 . Cabe destacar, que não foram observadas, no protótipo implementado, sobretensões muito elevadas em V_{CE} e que a tensão V_{GE} assume valor negativo menor que 5V para assegurar o desligamento da chave como mencionado no item 3.1.2 e para que a diferença de potencial não fosse muito elevada entre os estados de chave ativada e desativada, considerando os transitórios. Nas chaves S_1 , utilizando a equação (132), obtém-se aproximadamente 514V de tensão V_{CE} , enquanto na simulação e no protótipo, obteve-se aproximadamente 580V.

Figura 46 – Tensões na chave S₁.

Fonte: Produção do próprio autor.

Para a chave S₂ (Figura 47), observou-se uma maior amplitude no resultado experimental da tensão V_{CE} e tal resultado pode ser melhor analisado em trabalhos futuros. Também não foram observadas grandes sobretensões nos terminais da chave. Utilizando a equação 12, obtém-se, para a chave S₂, aproximadamente 110V de tensão V_{CE} , enquanto na simulação e nos resultados experimentais, esse valor fica próximo dos 150V.

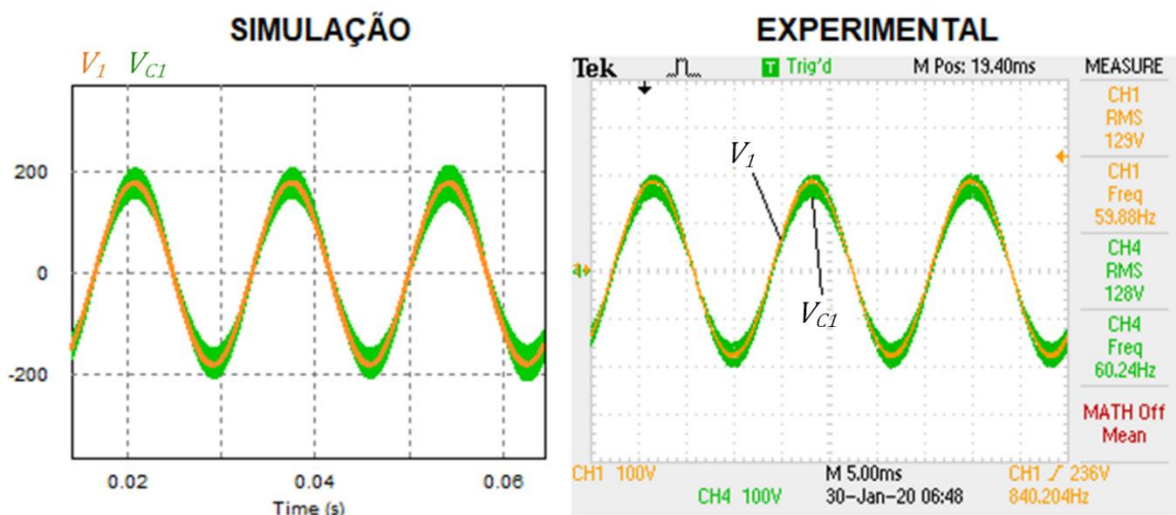
Figura 47 – Tensões na chave S₂.

Fonte: Produção do próprio autor.

4.4 TENSÃO NO CAPACITOR C_1

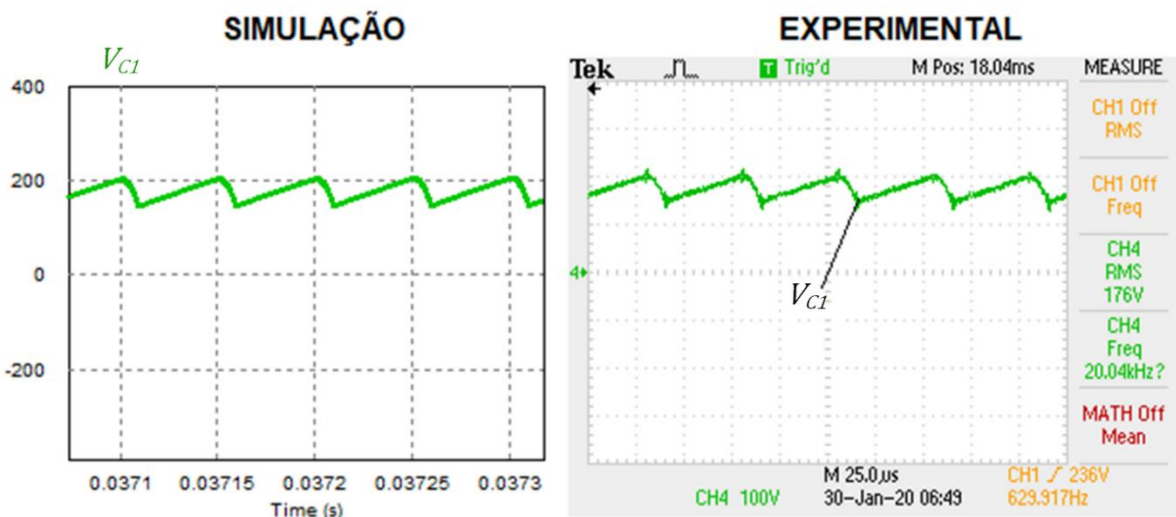
A tensão no capacitor C_1 apresentou um valor eficaz de 128V tanto em simulação quanto no protótipo, seguindo o comportamento senoidal como ilustrado na Figura 48. O *ripple* de tensão dentro de um período de chaveamento, tanto experimentalmente quanto na simulação, apresentou uma variação máxima de aproximadamente 60 V, representando aproximadamente 34% de variação, próximo dos 30% de variação definidos em projeto, usando como base a equação (106). Esta variação pode ser melhor visualizada a partir da Figura 49.

Figura 48 – Tensão no capacitor C_1 e tensão de entrada.



Fonte: Produção do próprio autor.

Figura 49 – Variação de tensão no capacitor C_1 .

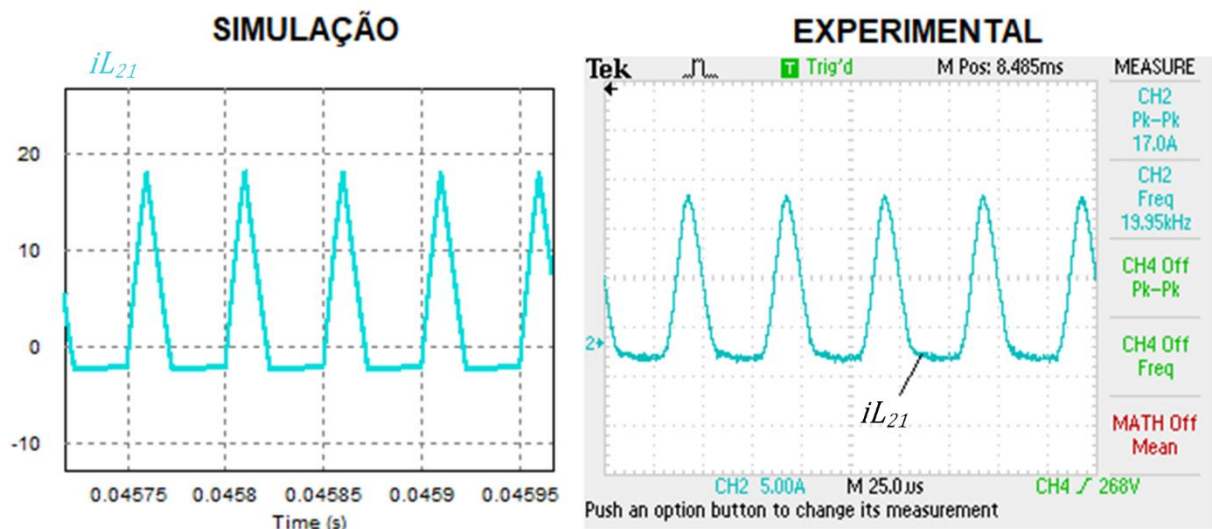


Fonte: Produção do próprio autor

4.5 TENSÃO E CORRENTE NO INDUTOR L_2

Na Figura 50, pode-se observar o comportamento da corrente no indutor L_2 . A variação máxima de corrente em L_2 obtida experimentalmente foi de 17 A, enquanto em simulação obteve-se em torno de 22 A.

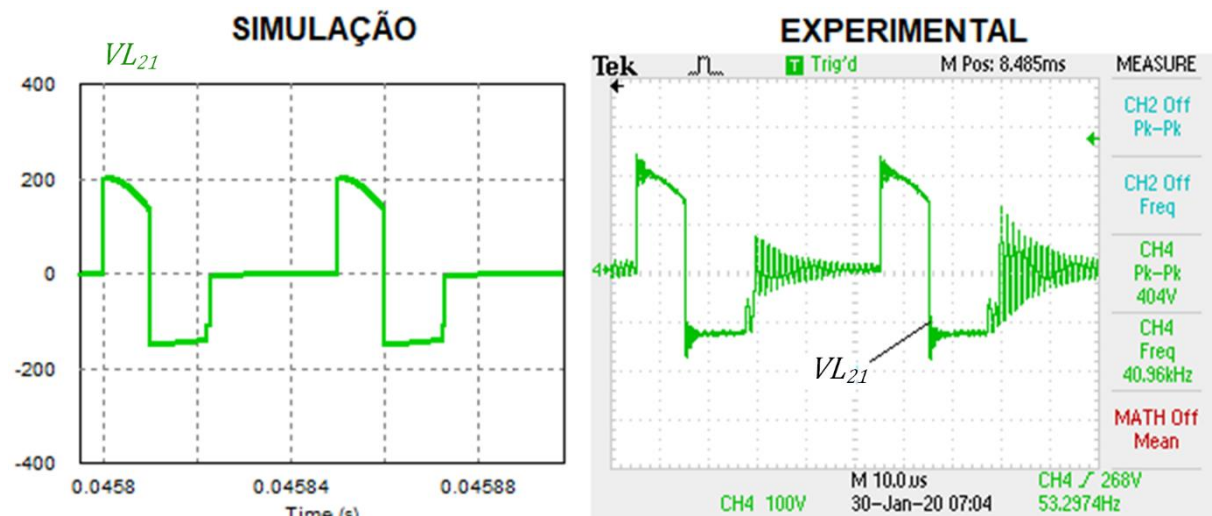
Figura 50 – Corrente no indutor L_2 .



Fonte: Produção do próprio autor.

Novamente, desconsiderando os transitórios de tensão, a variação máxima de tensão nos indutores L_2 apresentou valores bem próximos tanto na simulação quanto no protótipo, em torno de 350 V, como ilustrado na Figura 51.

Figura 51 – Tensão no indutor L_2 .

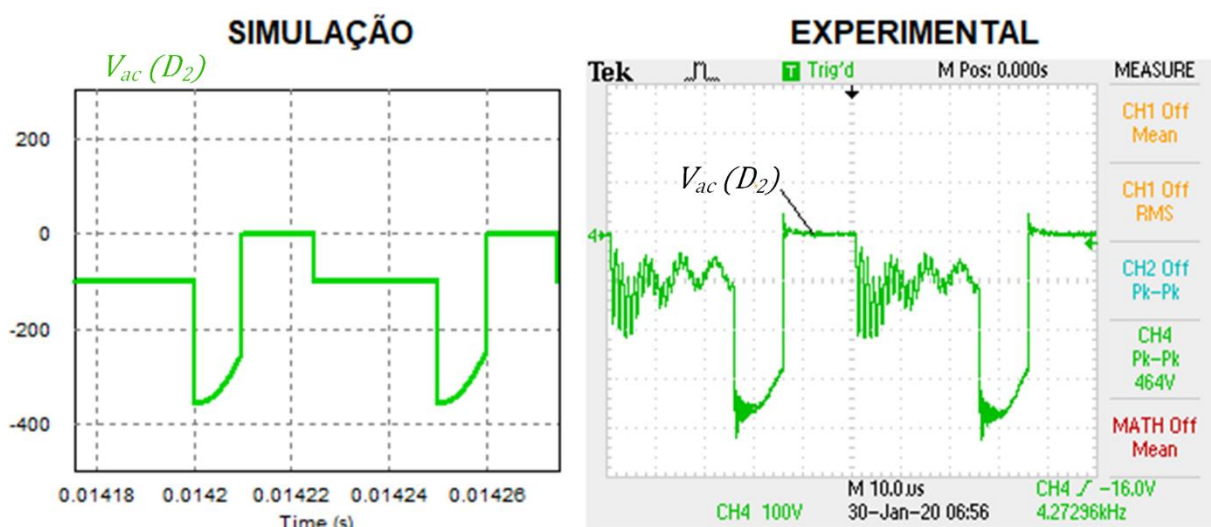


Fonte: Produção do próprio autor.

4.6 TENSÃO NO DIODO D_2 DA PONTE RETIFICADORA

O comportamento de tensão, ilustrado na Figura 52, foi o mesmo para todos os diodos. Desconsiderando os transitórios de tensão, a variação de tensão ânodo- cátodo (V_{AC}) foi de aproximadamente 370 V obtida experimentalmente, enquanto na simulação obteve-se aproximadamente 360 V. O valor máximo de tensão sobre os diodos calculado a partir de (134) é de aproximadamente 312V.

Figura 52 – Tensão Ânodo- Cátodo (V_{AC}) do diodo D_2 da ponte retificadora.

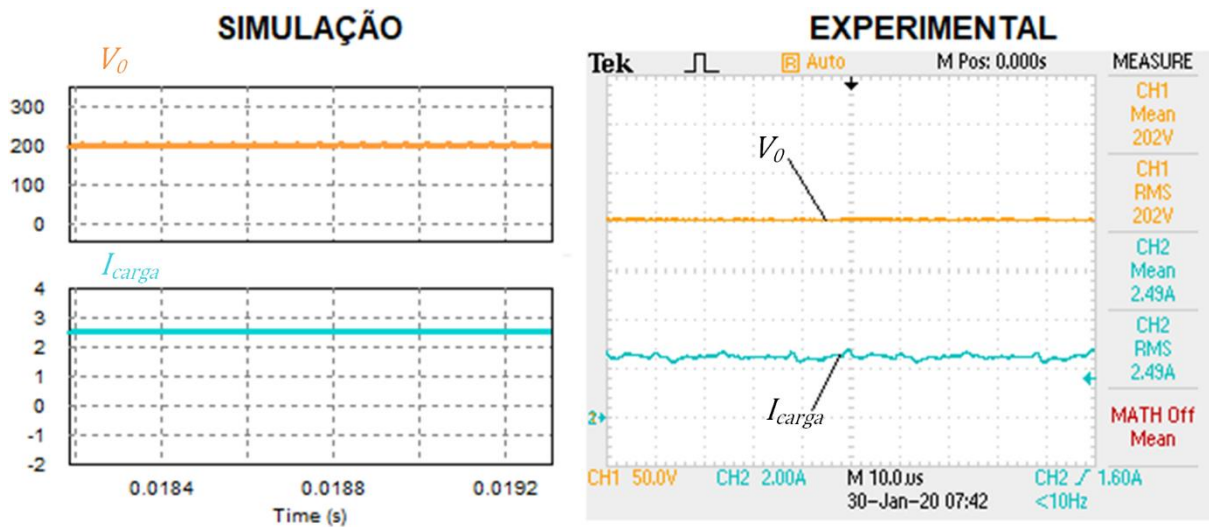


Fonte: Produção do próprio autor.

4.7 TENSÃO E CORRENTE DE CARGA

O valor médio de tensão na carga foi de 202V, obtido experimentalmente, enquanto na simulação foi de 203,5V. Esta comparação pode ser visualizada na Figura 53. A diferença do valor médio da tensão saída ocorreu devido à idealização dos componentes em simulação e as mesmas considerações podem ser feitas para a corrente, uma vez que a carga utilizada em simulação foi puramente resistiva. Assim, na simulação, uma vez que a corrente de saída, resultou em 2,54A, a potência de saída foi de 517,5W, obtendo-se um rendimento de 88,2%, face aos 586,74W de potência de entrada, já mencionados no item 4.1. Para o conversor implementado, obteve-se 503W de potência na saída, o que resultou em um rendimento de 90,6%, calculado utilizando os 555W de entrada medidos.

Figura 53 – Tensão e corrente na carga.

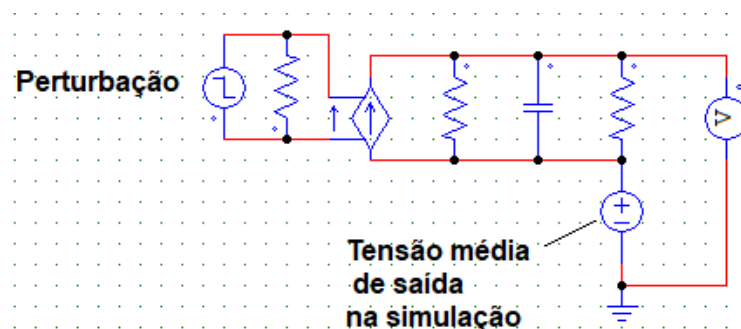


Fonte: Produção do próprio autor.

4.8 RESULTADO DE MODELAGEM

Obteve-se em simulação os resultados comparativos entre o modelo de circuito equivalente (Figura 54) e a tensão de saída do conversor proposto, aplicando no instante $t=0,05s$ variações de 1%, 5% e 10% na razão cíclica.

Figura 54 – Modelo de circuito equivalente implementado em simulação.

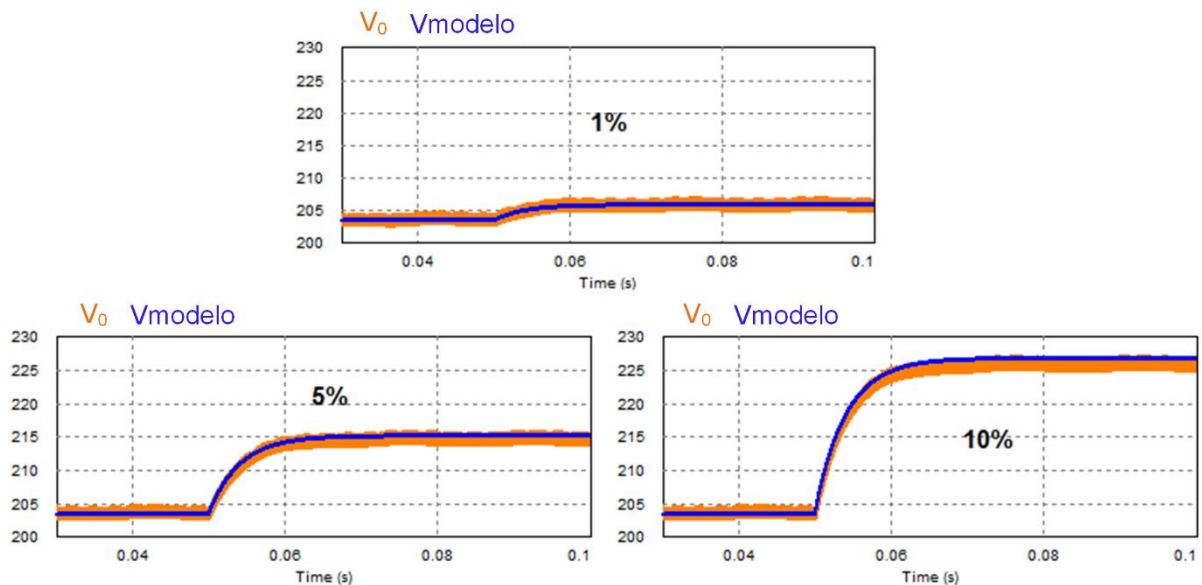


Fonte: Produção do próprio autor.

Como se observa na Figura 55, o modelo da abordagem CIECA representou bem a variação da tensão de saída pela razão cíclica no pré-regulador de fator de potência SEPIC. Nota-se que à medida que a porcentagem de variação da razão cíclica aumenta, o erro aumenta. Porém, até 10% o erro ainda é pequeno, o que condiz com

o modelo de pequenos sinais, que em geral representa bem para até 10% de perturbação.

Figura 55 – Comparação da tensão de saída com o modelo proposto para diferentes variações na razão cíclica.



Fonte: Produção do próprio autor.

4.9 COMENTÁRIOS DO CAPÍTULO

A partir dos resultados deste capítulo, pode-se realizar uma comparação das formas de onda de simulação, obtidas no software PSIM, com as obtidas de forma experimental, separando por tópicos cada variável analisada. Cada tópico possui comentários relacionados às variáveis obtidas.

No penúltimo tópico apresenta-se os resultados de simulação para a modelagem elaborada, mostrando resultados para variações de 1%, 5% e 10% na razão cíclica.

5- CONCLUSÃO

De acordo com os resultados experimentais e de simulação obtidos, pode-se concluir que a topologia abordada neste trabalho é uma boa alternativa como retificador trifásico com alto fator de potência. Além disso, a melhoria sugerida se mostrou uma solução eficaz ao problema de curto circuito inerente ao funcionamento do retificador como abaixador de tensão.

O dimensionamento do capacitor C_1 tornou-se mais simples e preciso com a utilização do novo equacionamento apresentado, uma vez que se obteve apenas 3% de diferença entre a variação de tensão definida em projeto, com a obtida experimentalmente.

A correta sincronização dos sinais de comando das chaves, principalmente no momento de ativação da chave S2 e desligamento das chaves S1 deve ser implementada adequadamente. Sem a adição dos tempos mortos, S1 e S2 podem se encontrar ativadas ao mesmo tempo, devido aos tempos gastos para as mesmas entrarem em corte ou em saturação e isto poderia provocar o curto-circuito na saída do conversor.

Foi identificada a necessidade de se realizar um ajuste nos valores de projeto devido a perdas, relacionadas a não idealidade dos componentes e à presença do circuito grampeador, o qual reduz o rendimento total devido a sua dissipação de potência. Uma alternativa para aumentar o rendimento e obter uma maior precisão nos resultados, poderia ser a elaboração de um equacionamento para o dimensionamento do circuito grampeador das chaves S₁, o que se trata de uma sugestão para trabalhos futuros.

A função de transferência e o modelo de circuito linear obtidos, representam bem a característica dinâmica da tensão de saída do conversor, em face à variação da razão cíclica. Sendo assim, para trabalhos futuros, a elaboração de um sistema de controle para operação do conversor em malha fechada, pode aumentar a precisão do valor da tensão de saída e garantir maior robustez à operação, rejeitando perturbações externas e diminuindo a sensibilidade dos resultados em função das variações nos valores dos componentes utilizados.

Deste estudo produziu-se o seguinte artigo:

CALIMAN, J.O. et al. High Power Factor Three-Phase Three-Switch Step-Down Converter. In: Brazilian Power Electronics Conference, COBEP. **2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)**. IEEE, 2019. p.1-6.

REFERÊNCIAS

ASSUNÇÃO, G. d. O.; FONT, C. H. I. Three-phase high power factor single-stage AC/DC DCM SEPIC converter with bidirectional switches. In: BRAZILIAN POWER ELECTRONICS CONFERENCE/ SOUTHERN POWER ELECTRONICS CONFERENCE, 13/1, 2015, Fortaleza. **2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)**. IEEE, 2015. p. 1-6.

AYYANAR, R.; MOHAN, N.; SUN, J. Single-stage three-phase power-factor-correction circuit using three isolated single-phase SEPIC converter operating in CCM. In: ANNUAL POWER ELECTRONICS SPECIALISTS CONFERENCE. CONFERENCE, 31., 2000, Galway, Ireland. **2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018)**. IEEE, 2000. v. 1. p. 353-358.

BARBI I. Projetos de fontes chaveadas. Florianópolis: Edição do Autor, 2001.

BASHAR, K. L. et al. A modular one-switch three-phase Single Ended Primary Inductor (SEPIC) rectifier. In: IEEE INTERNATIONAL CONFERENCE ON INDUSTRIAL TECHNOLOGY (ICIT), 2017, Toronto, ON. **2017 IEEE International Conference on Industrial Technology (ICIT)**. IEEE, 2017. p. 24-29.

CANESIN, Carlos Alberto; BARBI, Ivo. A unity power factor multiple isolated outputs switching mode power supply using a single switch. In: ANNUAL APPLIED POWER ELECTRONICS CONFERENCE AND EXHIBITION, 6.,1991, Dallas, TX, USA. **[Proceedings] APEC '91: Sixth Annual Applied Power Electronics Conference and Exhibition**. IEEE, 1991. p. 430-436.

CHETTY, P. R. K. Current Injected Equivalent Circuit Approach to Modeling of Switching DC-DC Converters in Discontinuous Inductor Conduction Mode. **IEEE Transactions on Industrial Electronics**, v. IE- 29, n. 3, p. 230-234, ago. 1982.

CHETTY, P. R. K. Current Injected Equivalent Circuit Approach to Modeling Switching DC-DC Converters. **IEEE Transactions on Aerospace and Electronic Systems**, v. AES-17, n. 6, p. 802-808, nov. 1981.

FOROOZESHFAR, R.; ADIB, E. Unity power factor three-phase AC-DC converter applying two switch DCM SEPIC converter with coupled inductors. **IET Power Electronics**, v. 11, n. 5, p. 945-951, abr. 2018.

FREITAS, Tiara Rodrigues Smarssaro de. **Alternativas de topologias retificadoras para aerogeradores síncronos a ímã permanente de baixa potência**. 2015. Tese (Doutorado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Espírito Santo, Vitória, 2015.

ISMAIL, Esam. H. Bridgeless SEPIC Rectifier With Unity Power Factor and Reduced Conduction Losses. **IEEE Transactions on Industrial Electronics**, v. 56, n. 4, p. 1147-1157, abr. 2009.

KOLAR, J. W. et al. A novel three-phase three-switch three-level high power factor SEPIC-type AC-to-DC converter. In: APPLIED POWER ELECTRONICS CONFERENCE, 1997, Atlanta, GA, USA. **Proceedings of APEC 97 - Applied Power Electronics Conference**. IEEE, 1997. v. 2. p. 657-665.

MARTINS, D. C.; OLIVEIRA DE, A. H.; BARBI, I. Three-phase rectifier using a Sepic DC-DC converter in continuous conduction mode for power factor correction. In: INTELEC - TWENTIETH INTERNATIONAL TELECOMMUNICATIONS ENERGY CONFERENCE, 20., 1998, San Francisco, CA, USA. **INTELEC - Twentieth International Telecommunications Energy Conference (Cat. No.98CH36263)**. IEEE, 1998. p. 491-497.

OISHI, H. et al. SEPIC-derived three-phase sinusoidal rectifier operating in discontinuous current conduction mode. **IEE Proceedings - Electric Power Applications**, v.142, n. 4, p. 239-245, jul. 1995.

SAHID, M. R.; YATIM, A. H. M.; TAUFIK, T. A new AC-DC converter using bridgeless SEPIC. In: ANNUAL CONFERENCE ON IEEE INDUSTRIAL ELECTRONICS SOCIETY, 36., 2010, Glendale, AZ. **IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society**. IEEE, 2010. p. 286-290.

SEBASTIAN, J. et al. Improving power factor correction in distributed power supply systems using PWM and ZCS-QR SEPIC topologie. In: PESC '91 RECORD 22ND ANNUAL IEEE POWER ELECTRONICS SPECIALISTS CONFERENCE. 22., 1991, Cambridge, MA, USA. **Power Electronics Specialists (PESC), Annual IEEE Conference**. IEEE, 1991. p. 780-791.

SIMONETTI, D. S. L. et al. Design criteria for SEPIC and Cuk converters as power factor preregulators in discontinuous conduction mode. In: INTERNATIONAL CONFERENCE ON INDUSTRIAL ELECTRONICS, CONTROL, INSTRUMENTATION, AND AUTOMATION. San Diego, CA, USA. **Proceedings of the 1992 International Conference on Industrial Electronics, Control, Instrumentation, and Automation**. IEEE, 1992. p. 283- 288.

SIMONETTI, D. S.L.; SEBASTIAN; UCEDA J. A novel three-phase AC-DC power factor preregulator. In: ANNUAL IEEE CONFERENCE POWER ELECTRONICS SPECIALISTS (PESC). 1995, Atlanta, GA, USA. **Proceedings of PESC '95 - Power Electronics Specialist Conference**. IEEE, 1995, v. 2. p. 979-984.

SIMONETTI, D. S. L.; SEBASTIAN, J.; UCEDA, J. Single-switch three-phase power factor preregulator under variable switching frequency and discontinuous input current. In: ANNUAL IEEE CONFERENCE POWER ELECTRONICS SPECIALISTS (PESC). 1993, Seattle, WA, USA. **Proceedings of IEEE Power Electronics Specialist Conference - PESC '93**. IEEE, 1991. p. 657-662.

SINGH, B. et al. A Review of Three-Phase Improved Power Quality. **IEEE Transactions on Industrial Electronics**, v. 51, n. 3, p. 641-660, junho 2004.

TIBOLA, G.; BARBI, I. Isolated Three-Phase High Power Factor Rectifier Based on the SEPIC Converter Operating in Discontinuous Conduction Mode. **IEEE Transactions on Power Electronics**, v. 28, n. 11, p. 4962-4969, nov. 2013.

ZHU, Z. Q.; JIABING, H. Electrical machines and power-electronic systems for high-power wind energy generation applications Part II - power electronics and control systems. **COMPEL: International Journal for Computation and Mathematics in Electrical and Electronic Engineering**, v. 32, n. 1, p. 34-71, dez. 2012.