

UNIVERSIDADE FEDERAL DO ESPÍRITO SANTO
CENTRO TECNOLÓGICO
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

WEDER TÓTOLA NUNES

**DESENVOLVIMENTO DE ESTRATÉGIA EM HARDWARE PARA O
CONTROLE DO NÍVEL DE TENSÃO NOS CAPACITORES DO
CONVERSOR MULTINÍVEL MODULAR**

VITÓRIA
2018

WEDER TÓTOLA NUNES

**DESENVOLVIMENTO DE ESTRATÉGIA EM HARDWARE PARA O
CONTROLE DO NÍVEL DE TENSÃO NOS CAPACITORES DO
CONVERSOR MULTINÍVEL MODULAR**

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para obtenção do Grau de Doutor em Engenharia Elétrica.

Orientador: Prof. Lucas Frizera Encarnação, Dr.

Co-orientador: Prof. José Luiz de Freitas Vieira, Ph. D.

VITÓRIA
2018

Dados Internacionais de Catalogação-na-publicação (CIP)
(Biblioteca Setorial Tecnológica,
Universidade Federal do Espírito Santo, ES, Brasil)

N972d Nunes, Weder Tótola, 1973-
Desenvolvimento de estratégia em hardware para o controle do nível de tensão nos capacitores do conversor multinível modular / Weder Tótola Nunes. – 2018.
166 f. : il.

Orientador: Lucas Frizera Encarnação.
Coorientador: José Luiz de Freitas Vieira.
Tese (Doutorado em Engenharia Elétrica) – Universidade Federal do Espírito Santo, Centro Tecnológico.

1. Sistemas de energia elétrica - Controle. 2. Modulação de duração do pulso (PWM). 3. Arranjos de lógica programável em campo (FPGAS). 4. Hardware. 5. Capacitores elétricos. 6. Conversores multiníveis. 7. Controle de tensão. I. Encarnação, Lucas Frizera. II. Vieira, José Luiz de Freitas. III. Universidade Federal do Espírito Santo. Centro Tecnológico. IV. Título.

CDU: 621.3

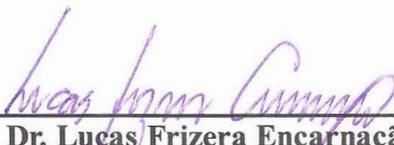
WEDER TÓTOLA NUNES

**DESENVOLVIMENTO DE ESTRATÉGIA EM HARDWARE PARA O
CONTROLE DO NÍVEL DE TENSÃO NOS CAPACITORES DO
CONVERSOR MULTINÍVEL MODULAR**

Tese submetida ao programa de Pós-Graduação em Engenharia Elétrica do Centro Tecnológico da Universidade Federal do Espírito Santo, como requisito parcial para a obtenção do Grau de Doutor em Engenharia Elétrica.

Aprovada em 27 de março de 2018.

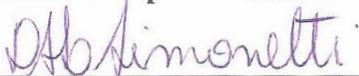
COMISSÃO EXAMINADORA



Prof. Dr. Lucas Frizera Encarnação, Orientador
Universidade Federal do Espírito Santo



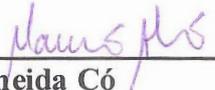
Prof. Dr. José Luiz de Freitas Vieira, Co-orientador
Universidade Federal do Espírito Santo



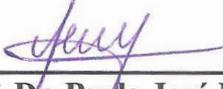
Prof. Dr. Domingos Sávio Lyrio Simonetti
Universidade Federal do Espírito Santo



Prof. Dr. Marcelo Cabral Cavalcanti
Universidade Federal de Pernambuco



Prof. Dr. Márcio Almeida Có
Instituto Federal de Ciência e Tecnologia do Espírito Santo



Prof. Dr. Paulo José Melo Menegaz
Universidade Federal do Espírito Santo

Os atos revelam a pessoa.

“Não existe árvore boa que dê frutos ruins, nem árvore ruim que dê frutos bons;
porque toda árvore é conhecida pelos seus frutos.
Não se colhe figos de espinheiros, nem se apanham uvas de plantas espinhosas.
O homem bom tira coisas boas do bom tesouro do seu coração,
mas o homem mau tira do seu mal coisas más,
porque a boca fala daquilo de que o coração está cheio”

Lucas 6:43-45

Aos meus pais.

À minha esposa Sandra e ao meu filho Pedro Henrique.

Agradecimentos

Ao Senhor Deus, acima de tudo, que permitiu que tudo acontecesse.

À minha esposa Sandra, pelo apoio à minha dedicação.

Aos professores Lucas Frizera Encarnação e José Luiz de Freitas Vieira pelas orientações à realização deste trabalho.

À Comissão Examinadora, pelas contribuições para este trabalho.

Aos colegas do Laboratório de Eletrônica de Potência e Acionamento Elétrico (LEPAC).

Ao IFES, pelo apoio e concessão do afastamento para realização desta tese.

Resumo

Esta tese propõe um controle do nível de tensão nos capacitores que compõe o conversor multinível modular, independentemente de sua aplicação. Para comprovação da estratégia desenvolvida de controle da tensão nos capacitores será utilizado o conversor multinível modular como *Static Synchronous Compensator (STATCOM)*. Nesse caso, são apresentadas duas estratégias de controle para o conversor. A primeira estratégia, voltada para o controle do nível de tensão no ponto de conexão comum, caso típico de um *STATCOM*, utiliza a transformação de coordenadas, transformada de Clarke, e a teoria de potência instantânea para o controle geral de potência ativa e reativa do conversor. A segunda estratégia, para o controle do nível de tensão nos capacitores que compõem o conversor multinível modular, utiliza como base a modulação *Phase Shifted Pulse Width Modulation (PS-PWM)*, as tensões dos capacitores e as correntes de fase do conversor. A principal contribuição desta tese é a segunda estratégia de controle, estratégia desenvolvida para o controle do nível de tensão nos capacitores dos módulos do conversor multinível e que aciona as chaves semicondutoras de forma a selecionar o capacitor mais adequado para entrar ou sair de operação. Vários são os cenários analisados que consideram cargas equilibradas e desequilibradas, variações das tensões de referência do ponto de conexão e dos capacitores além da simulação de modelo de baixa tensão. De forma a validar experimentalmente a estratégia desenvolvida de controle do nível de tensão dos capacitores, são apresentados os resultados laboratoriais do conversor multinível para um modelo em escala reduzida, em baixa tensão, funcionando como um inversor para acionamento de uma carga elétrica.

Abstract

This thesis proposes a control of the voltage level in the capacitors that make up the modular multilevel converter, regardless of its application. To prove the developed voltage control strategy in the capacitors will be used the modular multilevel converter as Static Synchronous Compensator (STATCOM). In this case, two control strategies are presented for the converter. The first strategy, focused on the voltage level control at the common connection point, typical of a STATCOM, uses the coordinate transformation, Clarke's transform, and the instantaneous power theory for the general control of active and reactive power of the converter. The second strategy for controlling the voltage level in the capacitors that make up the modular multilevel converter uses the Phase Shifted Pulse Width Modulation (PS-PWM) modulation, the capacitor voltages and the converter phase currents. The main contribution of this thesis is the second control strategy, a strategy developed to control the voltage level in the capacitors of the multilevel converter modules and that activates the semiconductor switches in order to select the most suitable capacitor to enter or leave operation. Several scenarios are analyzed that consider balanced and unbalanced loads, reference voltage variations of the connection point and capacitors, besides a low voltage model simulation. In order to experimentally validate the developed strategy for controlling the capacitors voltage level, are presented the laboratory results of the multilevel converter for a small scale, low voltage model, acting as an inverter to drive an electric load.

LISTA DE FIGURAS

Figura 1 – Conversor de dois níveis e sua forma de onda da tensão de saída.....	40
Figura 2 – Conversores multiníveis: (a) conversor de três níveis; (b) conversor de n níveis ..	40
Figura 3 – Conversor <i>NPC</i> : (a) <i>NPC</i> de três níveis; (b) Forma de onda da fase a	42
Figura 4 – Conversores de cinco níveis: (a) Conversor <i>NPC</i> ; (b) Conversor <i>FC</i>	43
Figura 5 – Conversores multiníveis: (a) conversor em cascata simétrico de cinco níveis; (b) conversor em cascata assimétrico de sete níveis	45
Figura 6 – Conversor em cascata simétrico trifásico de cinco níveis por fase.....	46
Figura 7 – Conversor <i>MMC</i> trifásico: (a) Circuito de potência. (b) Célula de potência: <i>Chopper (DSCC)</i> ; (c) Célula de potência: <i>CHB (DSBC)</i>	47
Figura 8 – Conversor <i>MMC</i> trifásico: (a) Topologia <i>SSBC</i> ; (b) Topologia <i>SDBC</i>	47
Figura 9 – <i>MMC</i> híbrido: (a) Topologia; (b) Célula <i>Chopper</i> ; (c) Célula <i>CHB</i>	48
Figura 10 – Topologias avançadas de <i>MMC</i> : (a) <i>MMC</i> de meia célula; (b) <i>MMC</i> de braço alternado; (c) <i>MMC</i> híbrido; (d) <i>MMC</i> hexagonal; (e) <i>MMC</i> Matricial.....	49
Figura 11 – Topologias das células de potência: (a) Ponte completa; (b) Meia ponte; (c) Célula unidirecional; (d) Célula <i>NPC</i> multinível; (e) Célula <i>FC</i> multinível; (f) Célula com inversor ressonante para transferência de potência indutiva; (g) Célula fonte de corrente	50
Figura 12 – Métodos de Modulação para Conversores Multiníveis.....	51
Figura 13 – Conversor multinível modular	53
Figura 14 – Conversor <i>MMC-DSCC</i> : (a) Circuito de potência; (b) Célula <i>Chopper PWM</i> bidirecional com capacitor flutuante	56
Figura 15 – Circuito básico: rede elétrica, carga, <i>MMC</i> e sistema de controle.....	58
Figura 16 – Sistema de controle do conversor <i>MMC</i>	64
Figura 17 – <i>PLL</i> com base na Teoria de Potência Instantânea	65
Figura 18 – Detector de amplitude de sequência positiva.....	66
Figura 19 – Controle de potência reativa.....	67
Figura 20 – Controle de potência ativa.....	67
Figura 21 – Obtenção das correntes de referência nas coordenadas $\alpha\beta$	68
Figura 22 – Malha de corrente.....	68
Figura 23 – Modelo para o projeto dos controladores.....	69
Figura 24 – Diagrama da lógica de comando dos dispositivos semicondutores	72

Figura 25 – Exemplo de ação da lógica de comando para os módulos superiores.....	76
Figura 26 – Circuito de potência da bancada.	124
Figura 27 – Circuito de comando da bancada.	125
Figura 28 – Sistema de instrumentação e controle.	131
Figura 29 – Lógica combinatória para o módulo 1 (1ª parte).....	164
Figura 30 – Lógica combinatória para o módulo 1 (2ª parte).....	165

LISTA DE FOTOGRAFIAS

Fotografia 1 – Painel de Comando.	125
Fotografia 2 – Bancada.....	126
Fotografia 3 – Módulo inversor B6U+1/2 B2CI 400/150-15F da SEMIKRON.....	127
Fotografia 4 – Kit de desenvolvimento TMDSDOCK28379D da Texas.....	129
Fotografia 5 – <i>FPGA</i> Nexys4-DDR (XC7A100T-1CSG324C), XILINX.....	130

LISTA DE GRÁFICOS

Gráfico 1 – Valores nominais de tensão e corrente de alguns dispositivos disponíveis comercialmente em 2006.....	35
Gráfico 2 – Valores nominais de tensão e corrente de alguns dispositivos disponíveis comercialmente em 2016.....	36
Gráfico 3 – Forma de onda de uma fase de um conversor de cinco níveis	44
Gráfico 4 – Forma de onda de uma fase de um conversor assimétrico de sete níveis	46
Gráfico 5 – Técnica de modulação <i>LS-PWM</i> : (a) <i>PD-PWM</i> ; (b) <i>POD-PWM</i> ; (c) <i>APOD-PWM</i>	52
Gráfico 6 – Técnica de modulação <i>PS-PWM</i>	53
Gráfico 7 – Valor coletivo da tensão do PCC – carga pesada	80
Gráfico 8 – Tensão no PCC – carga pesada.....	81
Gráfico 9 – Tensão nos capacitores da fase a – carga pesada.....	81
Gráfico 10 – Tensão nos capacitores da fase b – carga pesada	81
Gráfico 11 – Tensão nos capacitores da fase c – carga pesada.....	81
Gráfico 12 – Tensão e corrente na carga – carga pesada	82
Gráfico 13 – Tensão e corrente no conversor <i>MMC</i> – carga pesada	82
Gráfico 14– Correntes do conversor <i>MMC</i> – carga pesada.....	83
Gráfico 15 – Correntes dos braços do conversor <i>MMC</i> – carga pesada.....	83
Gráfico 16 – Potências da fonte, carga e conversor <i>MMC</i> – carga pesada.....	84
Gráfico 17 – Potência ativa do conversor <i>MMC</i> – carga pesada.....	85
Gráfico 18 – Valor coletivo da tensão do PCC – carga desequilibrada	86
Gráfico 19 – Tensão no PCC – carga desequilibrada	86
Gráfico 20 – Tensão nos capacitores da fase a – carga desequilibrada	86
Gráfico 21 – Tensão nos capacitores da fase b – carga desequilibrada.....	86
Gráfico 22 – Tensão nos capacitores da fase c – carga desequilibrada	87
Gráfico 23 – Correntes da carga – carga desequilibrada	87
Gráfico 24 – Correntes do conversor <i>MMC</i> – carga desequilibrada	87
Gráfico 25 – Correntes nos braços da fase a do conversor <i>MMC</i> – carga desequilibrada	88
Gráfico 26 – Correntes nos braços da fase b do conversor <i>MMC</i> – carga desequilibrada	88
Gráfico 27 – Correntes nos braços da fase c do conversor <i>MMC</i> – carga desequilibrada	88

Gráfico 28 – Potências da fonte, carga e conversor <i>MMC</i> – carga desequilibrada	89
Gráfico 29 – Valor coletivo da tensão do PCC – carga leve.....	90
Gráfico 30 – Tensão no PCC – carga leve	90
Gráfico 31 – Tensão nos capacitores da fase a – carga leve.....	91
Gráfico 32 – Tensão nos capacitores da fase b – carga leve.....	91
Gráfico 33 – Tensão nos capacitores da fase c – carga leve	92
Gráfico 34 – Corrente na carga – carga leve	92
Gráfico 35 – Correntes do conversor <i>MMC</i> – carga leve	92
Gráfico 36 – Correntes nos braços da fase a do conversor <i>MMC</i> – carga leve.....	93
Gráfico 37 – Potências da fonte, carga e conversor <i>MMC</i> – carga leve.....	93
Gráfico 38 – Valor coletivo da tensão do PCC – carga pesada capacitiva	94
Gráfico 39 – Tensão no PCC – carga pesada capacitiva	95
Gráfico 40 – Tensão nos capacitores da fase a – carga pesada capacitiva	95
Gráfico 41 – Tensão nos capacitores da fase b – carga pesada capacitiva	96
Gráfico 42 – Tensão nos capacitores da fase c – carga pesada capacitiva.....	96
Gráfico 43 – Tensão e corrente na carga – carga pesada capacitiva.....	97
Gráfico 44 – Tensão e corrente no conversor <i>MMC</i> – carga pesada capacitiva	97
Gráfico 45 – Correntes do conversor <i>MMC</i> – carga pesada capacitiva.....	97
Gráfico 46 – Correntes dos braços da fase a do conversor <i>MMC</i> – carga pesada capacitiva ..	98
Gráfico 47 – Potências da fonte, carga e conversor <i>MMC</i> – carga pesada capacitiva	98
Gráfico 48 – Valor coletivo da tensão do PCC – carga capacitiva e $v_s = 1,05$ pu	99
Gráfico 49 – Tensão no PCC – carga capacitiva e $v_s = 1,05$ pu.....	100
Gráfico 50 – Tensão nos capacitores da fase a – carga capacitiva e $v_s = 1,05$ pu	100
Gráfico 51 – Tensão nos capacitores da fase b – carga capacitiva e $v_s = 1,05$ pu	101
Gráfico 52 – Tensão nos capacitores da fase c – carga capacitiva e $v_s = 1,05$ pu.....	101
Gráfico 53 – Tensão e corrente na carga – carga capacitiva e $v_s = 1,05$ pu.....	102
Gráfico 54 – Tensão e corrente no conversor <i>MMC</i> – carga capacitiva e $v_s = 1,05$ pu	102
Gráfico 55 – Correntes do conversor <i>MMC</i> – carga capacitiva e $v_s = 1,05$ pu.....	102
Gráfico 56 – Correntes dos braços do conversor <i>MMC</i> – carga capacitiva e $v_s = 1,05$ pu.....	102
Gráfico 57 – Potências da fonte, carga e conversor <i>MMC</i> – carga capacitiva e $v_s = 1,05$ pu .	103
Gráfico 58 – Valor coletivo da tensão do PCC – variação de v_{pcc}^*	104
Gráfico 59 – Tensão no PCC – variação de v_{pcc}^*	104
Gráfico 60 – Tensão nos capacitores da fase a – variação de v_{pcc}^*	105
Gráfico 61 – Tensão nos capacitores da fase b – variação de v_{pcc}^*	105

Gráfico 62 – Tensão nos capacitores da fase c – variação de v_{pcc}^*	106
Gráfico 63 – Tensão e corrente no conversor <i>MMC</i> – variação de v_{pcc}^*	106
Gráfico 64 – Correntes do conversor <i>MMC</i> – variação de v_{pcc}^*	107
Gráfico 65 – Correntes dos braços do conversor <i>MMC</i> – variação de v_{pcc}^*	107
Gráfico 66 – Potências da fonte, carga e conversor <i>MMC</i> – variação de v_{pcc}^*	108
Gráfico 67 – Valor coletivo da tensão do PCC – variação de v_{cc}^*	109
Gráfico 68 – Tensão no PCC – variação de v_{cc}^*	109
Gráfico 69 – Tensão nos capacitores da fase a – variação de v_{cc}^*	110
Gráfico 70 – Tensão nos capacitores da fase b – variação de v_{cc}^*	110
Gráfico 71 – Tensão nos capacitores da fase c – variação de v_{cc}^*	111
Gráfico 72 – Tensão e corrente no conversor <i>MMC</i> – variação de v_{cc}^*	111
Gráfico 73 – Correntes do conversor <i>MMC</i> – variação de v_{cc}^*	112
Gráfico 74 – Correntes dos braços do conversor <i>MMC</i> – variação de v_{cc}^*	112
Gráfico 75 – Potências da fonte, carga e conversor <i>MMC</i> – variação de v_{cc}^*	113
Gráfico 76 – Tensão nos capacitores da fase a – teste de longa duração	114
Gráfico 77 – Tensão nos capacitores da fase b – teste de longa duração	114
Gráfico 78 – Tensão nos capacitores da fase c – teste de longa duração.....	115
Gráfico 79 – Valor coletivo da tensão do PCC – teste desliga/liga lógica de comando	116
Gráfico 80 – Tensão no PCC – teste desliga/liga lógica de comando	116
Gráfico 81 – Tensão nos capacitores da fase a – teste desliga/liga lógica de comando	116
Gráfico 82 – Tensão nos capacitores da fase b – teste desliga/liga lógica de comando.....	117
Gráfico 83 – Tensão nos capacitores da fase c – teste desliga/liga lógica de comando	117
Gráfico 84 – Tensão e corrente no conversor – teste desliga/liga lógica de comando	118
Gráfico 85 – Correntes do conversor <i>MMC</i> – teste desliga/liga lógica de comando	118
Gráfico 86 – Correntes dos braços do conversor – teste desliga/liga lógica de comando.....	118
Gráfico 87 – Potências da fonte, carga e conversor <i>MMC</i> – teste desliga/liga lógica de comando	119
Gráfico 88 – Potência ativa do conversor – teste desliga/liga lógica de comando.....	119
Gráfico 89 – Valor coletivo da tensão do PCC – modelo de baixa tensão	120
Gráfico 90 – Tensão no PCC – modelo de baixa tensão.....	121
Gráfico 91 – Tensão nos capacitores da fase a – modelo de baixa tensão	121
Gráfico 92 – Tensão nos capacitores da fase b – modelo de baixa tensão	121
Gráfico 93 – Tensão nos capacitores da fase c – modelo de baixa tensão.....	121
Gráfico 94 – Tensão e corrente na carga – modelo de baixa tensão	122

Gráfico 95 – Tensão e corrente no conversor <i>MMC</i> – modelo de baixa tensão	122
Gráfico 96 – Correntes do conversor <i>MMC</i> – modelo de baixa tensão.....	122
Gráfico 97 – Correntes dos braços do conversor <i>MMC</i> – modelo de baixa tensão.....	123
Gráfico 98 – Potências da fonte, carga e conversor <i>MMC</i> – modelo de baixa tensão	123
Gráfico 99 – Tensão nos capacitores da fase a – teste liga/desliga lógica de comando: (a) Lógica de comando habilitada; (b) Lógica de comando desabilitada.....	134
Gráfico 100 – Tensão da fase a do <i>MMC</i> – teste liga/desliga lógica de comando: (a) Lógica de comando desabilitada; (b) Lógica de comando habilitada	134
Gráfico 101 – Tensões de linha no <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	135
Gráfico 102 – Correntes de fase no <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	135
Gráfico 103 – Tensão nos capacitores da fase a do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	136
Gráfico 104 – Tensão nos capacitores da fase b do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$)	136
Gráfico 105 – Tensão nos capacitores da fase c do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	136
Gráfico 106 – Correntes nos braços da fase a do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	137
Gráfico 107 – Correntes nos braços da fase b do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	137
Gráfico 108 – Correntes nos braços da fase c do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	138
Gráfico 109 – Tensões de linha do <i>MMC</i> ($S300Desv_{cc}85f_c1200$)	138
Gráfico 110 – Correntes de fase no <i>MMC</i> ($S300Desv_{cc}85f_c1200$)	139
Gráfico 111 – Tensão nos capacitores da fase a do <i>MMC</i> ($S300Desv_{cc}85f_c1200$)	139
Gráfico 112 – Tensão nos capacitores da fase b do <i>MMC</i> ($S300Desv_{cc}85f_c1200$).....	140
Gráfico 113 – Tensão nos capacitores da fase c do <i>MMC</i> ($S300Desv_{cc}85f_c1200$)	140
Gráfico 114 – Correntes nos braços da fase a do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	141
Gráfico 115 – Correntes nos braços da fase b do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	141
Gráfico 116 – Correntes nos braços da fase c do <i>MMC</i> ($S300Eqv_{cc}85f_c1200$).....	142
Gráfico 117 – Tensões de linha do <i>MMC</i> ($S775Eqv_{cc}150f_c9000$)	142
Gráfico 118 – Tensão nos capacitores da fase a do <i>MMC</i> ($S775Eqv_{cc}150f_c9000$).....	143
Gráfico 119 – Tensão nos capacitores do módulo 1 das fases ($S775Eqv_{cc}150f_c9000$).....	143
Gráfico 120 – Correntes nos braços da fase a do <i>MMC</i> ($S775Eqv_{cc}150f_c9000$).....	144
Gráfico 121 – Tensões de linha do <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$).....	144
Gráfico 122 – Correntes de fase no <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$)	145
Gráfico 123 – Correntes nos braços da fase a do <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$)	145
Gráfico 124 – Correntes nos braços da fase b do <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$)	146
Gráfico 125 – Correntes nos braços da fase c do <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$).....	146
Gráfico 126 – Tensão nos capacitores da fase a do <i>MMC</i> ($S1250Faltav_{cc}170f_c9000$)	147

Gráfico 127 – Tensão nos capacitores da fase c do <i>MMC</i> ($S1250Faltav_{cc}170fc9000$)	147
Gráfico 128 – Tensão nos capacitores do módulo 1 das fases ($S1250Faltav_{cc}170fc9000$)	148

LISTA DE QUADROS

Quadro 1 – Parâmetros do sistema elétrico simulado.....	59
Quadro 2 – Parâmetros dos controladores PI simulados	70
Quadro 3 – Parâmetros do conversor e da rede de média tensão	78
Quadro 4 – Cenários para testes do conversor <i>MMC</i>	79
Quadro 5 – Parâmetros do conversor e da rede de baixa tensão	120
Quadro 6 – Parâmetros do Conversor <i>MMC</i> implementado	127
Quadro 7 – Principais características do kit de desenvolvimento TMDSDOCK28379D	129
Quadro 8 – Parâmetros do circuito	130
Quadro 9 – Sistema de instrumentação e controle – faixas de operação.....	132
Quadro 10 – Cenários experimentados para o Conversor <i>MMC</i>	133
Quadro 11 – Sequência de acionamento dos módulos do conversor em função da comparação das tensões dos capacitores.....	161
Quadro 12 – Mapa de Karnaugh para a lógica de controle	162
Quadro 13 – Transcrição do Mapa de Karnaugh para a lógica de controle.....	163

LISTA DE SIGLAS

<i>APOD-PWM</i>	⇒	<i>Alternate Phase Opposition disposition Pulse Width Modulation</i>
<i>BPT</i>	⇒	<i>Bipolar Power Transistor</i>
<i>CA</i>	⇒	Corrente alternada
<i>CA-CA</i>	⇒	Corrente alternada para corrente alternada
<i>CA-CC</i>	⇒	Corrente alternada para corrente contínua
<i>CC</i>	⇒	Corrente continua
<i>CC-CA</i>	⇒	Corrente contínua para corrente alternada
<i>CC-CC</i>	⇒	Corrente contínua para corrente contínua
<i>CHB</i>	⇒	<i>Cascade H Bridge</i>
$\text{Cos } \phi$	⇒	Fator de potência
<i>DC</i>	⇒	<i>Direct Current</i>
<i>DSBC</i>	⇒	<i>Double-star bridge-cells</i>
<i>DSCC</i>	⇒	<i>Double-star Chopper-cells</i>
<i>DSP</i>	⇒	<i>Digital Signal Processing</i>
<i>ETO</i>	⇒	<i>Emitter Turn-Off Thyristor</i>
<i>FACTS</i>	⇒	<i>Flexible AC transmission Systems</i>
<i>FC</i>	⇒	<i>Flying Capacitor</i>
<i>FPGA</i>	⇒	<i>Field Programmable Gate Array</i>
<i>GCT</i>	⇒	<i>Gate-Commutated Thyristor</i>
<i>GTO</i>	⇒	<i>Gate Turn-off Thyristor</i>
<i>HVDC</i>	⇒	<i>High-Voltage Direct Current</i>
<i>IEGT</i>	⇒	<i>Injection-Enhanced Gate Transistor</i>
<i>IGBT</i>	⇒	<i>Insulated Gate Bipolar Transistor</i>
<i>IGCT</i>	⇒	<i>Integrated Gate-Commutated Thyristor</i>
<i>LS-PWM</i>	⇒	<i>Level Shifted Pulse Width Modulation</i>
<i>MCM</i>	⇒	<i>Mil Circular Mil. Unidade de medida da seção de um condutor elétrico</i>
<i>MCT</i>	⇒	<i>MOS Controlled Thyristor</i>
<i>MMC</i>	⇒	<i>Modular multilevel converter</i>
<i>MMCC</i>	⇒	<i>Modular multilevel cascaded converter</i>
<i>MOSFET</i>	⇒	<i>MOS Field Effect Transistor</i>

<i>NPC</i>	⇒	<i>Neutral Point Clamped</i>
<i>PCC</i>	⇒	<i>Ponto de conexão comum</i>
<i>PD-PWM</i>	⇒	<i>Phase Disposition Pulse Width Modulation</i>
<i>PI</i>	⇒	<i>Proporcional-Integral</i>
<i>PLL</i>	⇒	<i>Phase Locked Loop</i>
<i>POD-PWM</i>	⇒	<i>Phase Opposition Disposition Pulse Width Modulation</i>
<i>PS-PWM</i>	⇒	<i>Phase Shifted Pulse Width Modulation</i>
<i>PWM</i>	⇒	<i>Pulse Width Modulation</i>
<i>RMS</i>	⇒	<i>Root Mean Square</i>
<i>SCR</i>	⇒	<i>Silicon Controlled Rectifier</i>
<i>SDBC</i>	⇒	<i>Single-delta bridge-cells</i>
<i>SIT</i>	⇒	<i>Static Induction Thyristor</i>
<i>SSBC</i>	⇒	<i>Single-star bridge-cells</i>
<i>SSSC</i>	⇒	<i>Static Synchronous Series Compensator</i>
<i>STATCOM</i>	⇒	<i>Static Synchronous Compensator</i>
<i>UPFC</i>	⇒	<i>Unified Power Flow Controller</i>

LISTA DE SÍMBOLOS

a	⇒ Fase a de um sistema elétrico
A1	⇒ Módulo de potência da fase a na posição 1 de um conversor
A2	⇒ Módulo de potência da fase a na posição 2 de um conversor
A3	⇒ Módulo de potência da fase a na posição 3 de um conversor
A4	⇒ Módulo de potência da fase a na posição 4 de um conversor
A5	⇒ Módulo de potência da fase a na posição 5 de um conversor
A8	⇒ Módulo de potência da fase a na posição 8 de um conversor
Am	⇒ Módulo de potência da fase a na posição m de um conversor
b	⇒ Fase b de um sistema elétrico
B1	⇒ Módulo de potência da fase b na posição 1 de um conversor
B2	⇒ Módulo de potência da fase b na posição 2 de um conversor
B3	⇒ Módulo de potência da fase b na posição 3 de um conversor
B4	⇒ Módulo de potência da fase b na posição 4 de um conversor
B5	⇒ Módulo de potência da fase b na posição 5 de um conversor
B8	⇒ Módulo de potência da fase b na posição 8 de um conversor
Bm	⇒ Módulo de potência da fase b na posição m de um conversor
c	⇒ Fase c de um sistema elétrico
C	⇒ Capacitor genérico
C ₁	⇒ Capacitor na posição 1 de uma célula de potência
C1	⇒ Módulo de potência da fase c na posição 1 de um conversor
C ₂	⇒ Capacitor na posição 2 de uma célula de potência
C2	⇒ Módulo de potência da fase c na posição 2 de um conversor
C3	⇒ Módulo de potência da fase c na posição 3 de um conversor
C4	⇒ Módulo de potência da fase c na posição 4 de um conversor
C5	⇒ Módulo de potência da fase c na posição 5 de um conversor
C8	⇒ Módulo de potência da fase c na posição 8 de um conversor
C _f	⇒ Capacitor em uma célula com inversor ressonante
Cm	⇒ Módulo de potência da fase c na posição m de um conversor
E	⇒ Tensão contínua do elo de corrente contínua
E _a	⇒ Soma das tensões dos módulos inferiores do conversor <i>MMC</i>

E_{a+}	⇒ Soma das tensões dos módulos superiores do conversor <i>MMC</i>
E_+	⇒ Tensão contínua do conversor superior do <i>MMC</i>
E_-	⇒ Tensão contínua do conversor inferior do <i>MMC</i>
f_c	⇒ Frequência de chaveamento para o <i>PWM</i>
GG_{xm}	⇒ Sinal de <i>gate</i> para o módulo <i>m</i> da fase <i>x</i> fornecido pelo <i>PS-PWM</i>
G_{xm}	⇒ Sinal de <i>gate</i> para o módulo <i>m</i> da fase <i>x</i> fornecido pela Lógica de Chaveamento
H	⇒ Constante da unidade de capacitância
i	⇒ Corrente elétrica
i_a	⇒ Corrente da fase a do conversor <i>MMC</i>
i_b	⇒ Corrente da fase b do conversor <i>MMC</i>
i_c	⇒ Corrente da fase c do conversor <i>MMC</i>
i_L	⇒ Corrente na carga ou no indutor <i>L</i>
i_{mmc}	⇒ Vetor das Correntes de fase do conversor <i>MMC</i>
i_{mmca}	⇒ Corrente da fase a do conversor <i>MMC</i>
i_{mmcb}	⇒ Corrente da fase b do conversor <i>MMC</i>
i_{mmcc}	⇒ Corrente da fase c do conversor <i>MMC</i>
i_{mmca}	⇒ Corrente do <i>MMC</i> no eixo α do referencial $\alpha\beta 0$
$i_{mmc\beta}$	⇒ Corrente do <i>MMC</i> no eixo β do referencial $\alpha\beta 0$
i_{na}	⇒ Corrente do braço negativo da fase a do conversor <i>MMC</i>
i_{nb}	⇒ Corrente do braço negativo da fase b do conversor <i>MMC</i>
i_{nc}	⇒ Corrente do braço negativo da fase c do conversor <i>MMC</i>
i_{pa}	⇒ Corrente do braço positivo da fase a do conversor <i>MMC</i>
i_{pb}	⇒ Corrente do braço positivo da fase b do conversor <i>MMC</i>
i_{pc}	⇒ Corrente do braço positivo da fase c do conversor <i>MMC</i>
i_{za}	⇒ Corrente circulante da fase a do conversor <i>MMC</i>
i_α	⇒ Corrente no eixo α do referencial $\alpha\beta 0$
i_α'	⇒ Corrente fictícia no eixo α do referencial $\alpha\beta 0$ do <i>PLL</i>
i_α^*	⇒ Corrente de referência no eixo α do referencial $\alpha\beta 0$
i_β	⇒ Corrente no eixo β do referencial $\alpha\beta 0$
i_β'	⇒ Corrente fictícia no eixo β do referencial $\alpha\beta 0$ do <i>PLL</i>
i_β^*	⇒ Corrente de referência no eixo β do referencial $\alpha\beta 0$
k_{i1}	⇒ Ganho integral do controlador da malha de corrente
k_{i2}	⇒ Ganho integral do controlador de potência reativa
k_{i3}	⇒ Ganho integral do controlador de potência ativa

k_{p1}	⇒ Ganho proporcional do controlador da malha de corrente
k_{p2}	⇒ Ganho proporcional do controlador de potência reativa
k_{p3}	⇒ Ganho proporcional do controlador de potência ativa
l	⇒ Indutor de acoplamento e amortecimento do conversor <i>MMC</i>
L	⇒ Indutor
L_f	⇒ Indutor em uma célula com inversor ressonante
LL	⇒ Indutor da carga
LR, L_R	⇒ Indutor da rede de média tensão
m	⇒ Número de módulos por fase do conversor <i>MMC</i>
m_a	⇒ Índice de modulação de amplitude
m_f	⇒ Índice de modulação de frequência
M_1	⇒ Módulo de potência na posição 1 de qualquer fase do conversor <i>MMC</i>
M_2	⇒ Módulo de potência na posição 2 de qualquer fase do conversor <i>MMC</i>
M_3	⇒ Módulo de potência na posição 3 de qualquer fase do conversor <i>MMC</i>
M_4	⇒ Módulo de potência na posição 4 de qualquer fase do conversor <i>MMC</i>
M_5	⇒ Módulo de potência na posição 5 de qualquer fase do conversor <i>MMC</i>
M_6	⇒ Módulo de potência na posição 6 de qualquer fase do conversor <i>MMC</i>
M_7	⇒ Módulo de potência na posição 7 de qualquer fase do conversor <i>MMC</i>
M_8	⇒ Módulo de potência na posição 8 de qualquer fase do conversor <i>MMC</i>
n	⇒ Número de níveis por fase de um conversor multinível
N	⇒ Ponto neutro de um sistema elétrico
p	⇒ Potência ativa instantânea
p_{comp}	⇒ Potência ativa de compensação de referência para o conversor <i>MMC</i>
P	⇒ Potência ativa fictícia do detector de sequência positiva
P_C	⇒ Potência ativa filtrada fictícia do detector de sequência positiva
PL	⇒ Potência ativa da carga
P_{mmc}	⇒ Potência ativa do <i>MMC</i>
P_s	⇒ Potência ativa da fonte
q	⇒ Potência reativa instantânea
q_{comp}	⇒ Potência reativa de compensação de referência para o conversor <i>MMC</i>
Q	⇒ Potência reativa fictícia do detector de sequência positiva
Q_C	⇒ Potência reativa filtrada fictícia do detector de sequência positiva
QL	⇒ Potência reativa da carga
Q_{mmc}	⇒ Potência reativa do conversor <i>MMC</i>

Q_s	\Rightarrow	Potência reativa da fonte
Q_{3F}	\Rightarrow	Potência reativa trifásica
RL	\Rightarrow	Resistência da carga
RR, R_R	\Rightarrow	Resistência da rede de média tensão
S	\Rightarrow	Potência aparente nominal do conversor <i>MMC</i>
S_i	\Rightarrow	Sinal de gate de uma chave semicondutora de um módulo de potência
\bar{S}_i	\Rightarrow	Sinal de gate invertido de uma chave semicondutora de um módulo de potência
S_{i1}	\Rightarrow	Chave semicondutora do módulo <i>i</i> da posição 1 de um conversor
S_{i2}	\Rightarrow	Chave semicondutora do módulo <i>i</i> da posição 2 de um conversor
S_{i3}	\Rightarrow	Chave semicondutora do módulo <i>i</i> da posição 3 de um conversor
S_{i4}	\Rightarrow	Chave semicondutora do módulo <i>i</i> da posição 4 de um conversor
S_1	\Rightarrow	Chave (switch) semicondutora em um conversor
S_2	\Rightarrow	Chave (switch) semicondutora em um conversor
S_3	\Rightarrow	Chave (switch) semicondutora em um conversor
S_4	\Rightarrow	Chave (switch) semicondutora em um conversor
S_5	\Rightarrow	Chave (switch) semicondutora em um conversor
S_6	\Rightarrow	Chave (switch) semicondutora em um conversor
S_7	\Rightarrow	Chave (switch) semicondutora em um conversor
S_8	\Rightarrow	Chave (switch) semicondutora em um conversor
S_{1a}	\Rightarrow	Chave semicondutora do módulo 1 da fase a de um conversor
S_{2a}	\Rightarrow	Chave semicondutora do módulo 2 da fase a de um conversor
S_{3a}	\Rightarrow	Chave semicondutora do módulo 3 da fase a de um conversor
S_{4a}	\Rightarrow	Chave semicondutora do módulo 4 da fase a de um conversor
S_{5a}	\Rightarrow	Chave semicondutora do módulo 5 da fase a de um conversor
S_{6a}	\Rightarrow	Chave semicondutora do módulo 6 da fase a de um conversor
S_{7a}	\Rightarrow	Chave semicondutora do módulo 7 da fase a de um conversor
S_{8a}	\Rightarrow	Chave semicondutora do módulo 8 da fase a de um conversor
S_{1b}	\Rightarrow	Chave semicondutora do módulo 1 da fase b de um conversor
S_{2b}	\Rightarrow	Chave semicondutora do módulo 2 da fase b de um conversor
S_{3b}	\Rightarrow	Chave semicondutora do módulo 3 da fase b de um conversor
S_{4b}	\Rightarrow	Chave semicondutora do módulo 4 da fase b de um conversor
S_{5b}	\Rightarrow	Chave semicondutora do módulo 5 da fase b de um conversor
S_{6b}	\Rightarrow	Chave semicondutora do módulo 6 da fase b de um conversor
S_{7b}	\Rightarrow	Chave semicondutora do módulo 7 da fase b de um conversor

S_{8b}	⇒ Chave semicondutora do módulo 8 da fase b de um conversor
S_{1c}	⇒ Chave semicondutora do módulo 1 da fase c de um conversor
S_{2c}	⇒ Chave semicondutora do módulo 2 da fase c de um conversor
S_{3c}	⇒ Chave semicondutora do módulo 3 da fase c de um conversor
S_{4c}	⇒ Chave semicondutora do módulo 4 da fase c de um conversor
S_{5c}	⇒ Chave semicondutora do módulo 5 da fase c de um conversor
S_{6c}	⇒ Chave semicondutora do módulo 6 da fase c de um conversor
S_{7c}	⇒ Chave semicondutora do módulo 7 da fase c de um conversor
S_{8c}	⇒ Chave semicondutora do módulo 8 da fase c de um conversor
U_{dc}	⇒ Tensão nos terminais de um capacitor
U_0	⇒ Tensão nos terminais de uma célula <i>Chopper</i>
v_a	⇒ Tensão da fase a
v_{aN}	⇒ Tensão entre fase a e neutro
v_a^*	⇒ Tensão de referência para a fase a do conversor <i>MMC</i>
v_{a0}	⇒ Tensão entre fase a e o ponto 0
v_{a1}	⇒ Tensão de saída do módulo 1 da fase a de um conversor multinível
v_{a2}	⇒ Tensão de saída do módulo 2 da fase a de um conversor multinível
v_{ab}	⇒ Tensão entre a fase a e a fase b
v_b	⇒ Tensão da fase b
v_{bc}	⇒ Tensão entre a fase b e a fase c
v_b^*	⇒ Tensão de referência para a fase b do conversor <i>MMC</i>
v_{b1}	⇒ Tensão de saída do módulo 1 da fase b de um conversor multinível
v_{b2}	⇒ Tensão de saída do módulo 2 da fase b de um conversor multinível
v_{bus}	⇒ Tensão do barramento de carga
V_{bus}	⇒ Valor de pico da Tensão do barramento de carga
v_c	⇒ Tensão da fase c
V_c	⇒ Tensão nos terminais de um capacitor
v_{cc}	⇒ Tensão do capacitor do módulo do conversor <i>MMC</i>
V_{CC}	⇒ Tensão no barramento CC do conversor
v_c^*	⇒ Tensão de referência para a fase c do conversor <i>MMC</i>
v_{cc}^*	⇒ Tensão de referência do capacitor dos módulos
v_{col}	⇒ Valor coletivo da tensão do PCC
v_{cxm}	⇒ Tensão no capacitor do módulo m da fase x de um conversor <i>MMC</i>
v_{c1}	⇒ Tensão de saída do módulo 1 da fase c de um conversor multinível

v_{c2}	⇒ Tensão de saída do módulo 2 da fase c de um conversor multinível
v_{c12}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 1 e 2
v_{c23}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 2 e 3
v_{c34}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 3 e 4
v_{c41}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 4 e 1
v_{c56}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 5 e 6
v_{c67}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 6 e 7
v_{c78}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 7 e 8
v_{c85}	⇒ Variável binária que compara a tensão dos capacitores dos módulos 8 e 5
v_i	⇒ Tensão da fonte da rede de distribuição
V_L, v_L	⇒ Tensão na carga
v_L	⇒ Tensão na carga
V_{La}	⇒ Tensão da fase a da carga
v_m	⇒ Tensão média de todos os capacitores do conversor <i>MMC</i>
v_{mmc}	⇒ Tensão de linha eficaz do <i>MMC</i>
v_{mmca}	⇒ Tensão de saída da fase a do inversor
v_{pcc}^*	⇒ Tensão de referência para o ponto de conexão com a rede elétrica
v_s	⇒ Tensão nominal de linha (<i>RMS</i>)
V_{tri1}	⇒ Tensão da onda portadora triangular 1 em um sistema de modulação
V_{tri2}	⇒ Tensão da onda portadora triangular 2 em um sistema de modulação
V_{tri3}	⇒ Tensão da onda portadora triangular 3 em um sistema de modulação
V_{tri4}	⇒ Tensão da onda portadora triangular 4 em um sistema de modulação
v_{xm}	⇒ Tensão nos terminais do módulo <i>m</i> da fase <i>x</i> de um conversor <i>MMC</i>
V_x	⇒ Tensão nos terminais da célula de potência <i>x</i> de um conversor
v_0	⇒ Tensão de sequência zero do referencial $\alpha\beta 0$
v_α	⇒ Tensão no eixo α do referencial $\alpha\beta 0$
$v_{\alpha 1}$	⇒ Tensão no eixo α do referencial $\alpha\beta 0$ do detector de sequência positiva
v_α^*	⇒ Tensão de referência no eixo α do referencial $\alpha\beta 0$
v_β	⇒ Tensão no eixo β do referencial $\alpha\beta 0$
$v_{\beta 1}$	⇒ Tensão no eixo β do referencial $\alpha\beta 0$ do detector de sequência positiva
v_β^*	⇒ Tensão de referência no eixo β do referencial $\alpha\beta 0$
ω	⇒ Frequência angular
ωt	⇒ Posição angular
Z	⇒ Impedância da rede de média tensão

- Z_b ⇒ Impedância base do conversor
- α ⇒ Componente do método de transformação de coordenadas $\alpha\beta 0$
- β ⇒ Componente do método de transformação de coordenadas $\alpha\beta 0$
- ϕ ⇒ Ângulo de deslocamento entre tensão e corrente

LISTA DE TABELAS

Tabela 1 – Tabela verdade parcial dos módulos superiores do conversor	74
Tabela 2 – Tabela verdade parcial dos módulos inferiores do conversor	75
Tabela 3 – Potências da fonte, carga e conversor <i>MMC</i> – carga pesada	84
Tabela 4 – Potências da fonte, carga e conversor <i>MMC</i> – carga desequilibrada.....	89
Tabela 5 – Potências da fonte, carga e conversor <i>MMC</i> – carga leve	93
Tabela 6 – Potências da fonte, carga e conversor <i>MMC</i> – carga pesada capacitiva	98
Tabela 7 – Potências da fonte, carga e conversor <i>MMC</i> – carga capacitiva e $v_s = 1,05$ pu	103
Tabela 8 – Potências da fonte, carga e conversor <i>MMC</i> – variação de v_{pcc}^*	108

SUMÁRIO

1	INTRODUÇÃO.....	31
1.1	Identificação do Problema	33
2	CONVERSORES MULTINÍVEIS.....	39
2.1	Topologias Multiníveis	42
2.2	Técnicas de Chaveamento	50
3	CONVERSOR <i>MMC</i> (<i>DSCC</i>).....	55
3.1	Modelagem Matemática do Conversor <i>MMC</i>	55
3.2	Projeto do Conversor <i>MMC-DSCC</i>	58
3.2.1	Especificação do Elo de Corrente Contínua	59
3.2.2	Especificação do Indutor de Acoplamento e Amortecimento	61
3.2.3	Especificação da Frequência de Chaveamento.....	61
4	CONTROLADORES DO CONVERSOR <i>MMC</i>	63
4.1	Controle Geral de Potência	64
4.1.1	Modelo para o projeto dos controladores	69
4.2	Controle das Tensões dos Capacitores	70
4.3	Avaliação do Algoritmo de Controle da Tensão dos Capacitores	76
5	RESULTADOS DAS SIMULAÇÕES	78
5.1	Carga Pesada.....	80
5.2	Carga Desequilibrada.....	85
5.3	Carga Leve	89
5.4	Carga Pesada Capacitiva.....	94
5.5	Carga Pesada Capacitiva com Tensão da Linha Superior à Nominal	99
5.6	Variação da Tensão de Referência do PCC	103
5.7	Variação da Tensão de Referência dos Capacitores	108

5.8	Testes de Consistência	113
5.8.1	Teste de Longa Duração	113
5.8.2	Teste de Desligar e Ligar a Lógica de Comando	115
5.9	Modelo de Baixa Tensão	119
6	IMPLEMENTAÇÃO DA BANCADA DE TESTES	124
6.1	Circuito de Potência do Conversor <i>MMC</i>	126
6.2	Instrumentação e Controle	128
6.3	Resultados Experimentais	132
6.3.1	Validação da Lógica de Comando	133
6.3.2	Carga Equilibrada, $S = 300 \text{ VA}$, $v_{cc} = 85 \text{ V}$ e $f_c = 1200 \text{ Hz}$	134
6.3.3	Carga Desequilibrada, $S = 300 \text{ VA}$, $v_{cc} = 85 \text{ V}$ e $f_c = 1200 \text{ Hz}$	138
6.3.4	Carga Equilibrada, $S = 775 \text{ VA}$, $v_{cc} = 150 \text{ V}$ e $f_c = 9000 \text{ Hz}$	142
6.3.5	Falta de fase, $S = 1250 \text{ VA}$, $v_{cc} = 170 \text{ V}$ e $f_c = 9000 \text{ Hz}$	144
7	CONCLUSÕES	149
7.1	Trabalhos Futuros	153
	REFERÊNCIAS	154
	APÊNDICE A – LÓGICA DE CONTROLE PARA O MÓDULO 1	161
	APÊNDICE B – PRODUÇÃO CIENTÍFICA	166

1 INTRODUÇÃO

A todo momento registram-se novos avanços tecnológicos em todas as áreas do conhecimento. Muitos avanços em pesquisa resultam em novos produtos capazes de oferecer recursos de acessibilidade, operacionalidade, proteção, controle, entre outros. Mas, associado a várias dessas soluções tecnológicas, que nos permitem ações que por muitos sequer são imaginadas, apresentam-se problemas pontualmente desprezíveis, quando comparado ao avanço proporcionado pela nova tecnologia, mas que, em escalas maiores, são capazes de criar perturbações aos sistemas elétricos de potência existentes.

Como exemplo pode-se citar ganhos com o advento dos dispositivos semicondutores (diodos, transistores, tiristores). Com as chaves semicondutoras como o *Silicon Controlled Rectifier (SCR)*, o *Gate Turn-off Thyristor (GTO)*, o *MCT – MOS Controlled Thyristor*, o *Bipolar Power Transistor (BPT)*, o *Insulated Gate Bipolar Transistor (IGBT)*, o *MOS Field Effect Transistor (MOSFET)* e o *Integrated Gate-Commutated Thyristor (IGCT)*, vários conversores puderam ser implementados, de acordo com a necessidade da solução técnica. Como solução técnica entende-se: maiores potências, maiores tensões reversas, maior condução de corrente elétrica, chaveamento em maiores frequências. Esses dispositivos ganharam mercado rapidamente e permitiram grandes avanços topológicos e operacionais aos conversores estáticos de potência.

Esses conversores revolucionaram o processamento da energia elétrica, quando comparados ao conversor rotativo, ao possibilitar redução de peso, volume e custos da fabricação, redução de perdas elétricas, aumento da densidade de potência, aumento da frequência de chaveamento e aumento do rendimento. As principais aplicações dos conversores de potência são: retificador (CA-CC), inversor (CC-CA), conversor direto de frequência (CA-CA) e *Chopper* (CC-CC).

É sabido que o uso dos dispositivos semicondutores de potência permitiu romper várias barreiras tecnológicas, ganhando grande aplicação no mercado de eletrodomésticos, em baixa tensão, na área industrial, em média tensão, e no sistema elétrico de potência, em alta tensão. À medida que as pesquisas avançaram e, gradativamente, aumentaram a capacidade dos dispositivos semicondutores de suportar maiores tensões reversas e de permitir maior circulação

de corrente elétrica através de seus terminais, novas possibilidades de aplicações surgiram.

Em função da limitação física do Silício, novas linhas de pesquisa surgiram para o estudo de um novo grupo promissor de elementos e compostos chamados semicondutores de banda larga. Entre os mais conhecidos estão o Carbeto de Silício (SiC) e o Nitreto de Gálio (GaN). Esse novo grupo apresenta características de desempenho melhores que as do Silício. Entre elas pode-se citar: menor resistência de condução, maior frequência com maior velocidade de chaveamento, menor resistência térmica, menor tamanho e baixo custo de produção.

Contudo, o uso dessas chaves estáticas provoca o aparecimento de componentes harmônicos na tensão e corrente do sistema elétrico de potência, provocando um aumento das perdas por condução, uma vez que esses componentes harmônicos não colaboram para a geração de potência ativa. Como característica própria das chaves semicondutoras, há o aparecimento das perdas por chaveamento que é diretamente proporcional à frequência de chaveamento dos dispositivos. Assim, todos os equipamentos, sejam residenciais, industriais ou pertencentes aos sistemas de alta tensão, trazem consigo os benefícios e malefícios da tecnologia empregada.

Dessa forma, pode-se dividir a pesquisa global em, no mínimo, dois grupos de trabalho: aquele em busca de um novo dispositivo ou equipamento capaz de substituir soluções técnicas limitadas e aquele em busca de amenizar os problemas ou aprimorar as soluções existentes. Este traz ao cenário tecnológico, ganhos de tempo e consequente postergação de investimentos com a ampliação de capacidade dos sistemas elétricos existentes ao proporcionar menores perdas elétricas, menores distorções harmônicas, redução de interrupções de longa duração e redução de sobretensões.

Ao utilizar um conversor multinível modular (*Modular Multilevel Converter – MMC*) para o controle de tensão em redes elétricas, mesmo que para validar uma nova estratégia de controle de tensão em seus capacitores, essa tese de doutorado se enquadra no segundo grupo de pesquisa. Isto porque utiliza as chaves semicondutoras, causadoras de perturbação no sistema elétrico, como ferramenta básica na composição do conversor *MMC*. E o conversor multinível modular é capaz de recompor parcialmente as condições desejadas para o sistema elétrico de potência, quando assume a função de um *Static Synchronous Compensator (STATCOM)*.

1.1 Identificação do Problema

O desenvolvimento e a produção em escala dos dispositivos semicondutores permitiram seu uso em diversas aplicações residenciais e industriais. Em aplicações residenciais, os semicondutores compõem cargas como computadores, aparelhos de ar condicionado, lâmpadas fluorescentes, entre outras, atuando como retificadores e fontes chaveadas. Essas cargas, denominadas não-lineares, são cargas cujas correntes elétricas apresentam descontinuidades em função de apresentarem em sua composição dispositivos semicondutores.

Na indústria, de forma análoga, os dispositivos semicondutores são utilizados em *drives* para acionamento de motores, retificadores, inversores, gerando igualmente componentes harmônicos e, conseqüentemente, deformando as formas de onda da tensão e correntes do sistema elétrico. Entre os grandes geradores de harmônicos estão os retificadores com filtro capacitivo, conversores de potência, reatores controlados a tiristores, fornos a arco, lâmpadas fluorescentes, etc.

A presença de componentes harmônicos deforma as ondas que seriam idealmente senoidais e causam danos a equipamentos em função de maior aquecimento nos enrolamentos amortecedores em máquinas síncronas e torques pulsantes em máquinas assíncronas, por exemplo. Ainda causam aumento das perdas no ferro em transformadores causados pelos harmônicos presentes na tensão, aumento das perdas no cobre em transformadores causadas pelos harmônicos de corrente e risco de saturação de transformadores na presença de harmônicos pares. São também conseqüências da presença de harmônicos, maiores perdas ôhmicas em cabos, perda de vida útil em capacitores em função do aquecimento provocado pelas correntes de alta frequência, entre outros (SANKARAN, 2002).

Em regime permanente, os problemas mais comuns são desequilíbrio de tensão, em função de cargas monofásicas em circuitos trifásicos, *offset* CC, em função de assimetrias em conversores eletrônicos de potência, harmônicos, cujas causas já foram relatadas. Também são problemas comuns os inter harmônicos, causados principalmente por conversores estáticos de frequência, ciclo conversores, e *notching* (micro cortes na tensão), um distúrbio de tensão periódico causado pela operação normal de equipamentos eletrônicos de potência quando a corrente elétrica é comutada de uma fase para outra. Adicionalmente, ruídos de alta frequência,

noise, que é um sinal elétrico indesejado sobreposto às tensões e correntes nos condutores fase do sistema elétrico, são causados por dispositivos eletrônicos de potência, circuitos de controle, cargas com retificadores de estado sólido e fontes de tensão chaveadas.

Com exceção do desequilíbrio de tensão, os demais problemas acima citados deformam as ondas de tensão e corrente elétricas, idealmente senoidais. Idealmente pois, na prática, as tensões geradas no próprio ponto de geração ou nas origens do sistema elétrico de potência já apresentam pequena distorção harmônica em função de falta de uniformidade na excitação do campo magnético e da distribuição espacial discreta das bobinas ao redor do estator do gerador. De qualquer forma, todos esses problemas colaboram para a redução da qualidade da energia elétrica presente no sistema elétrico de potência.

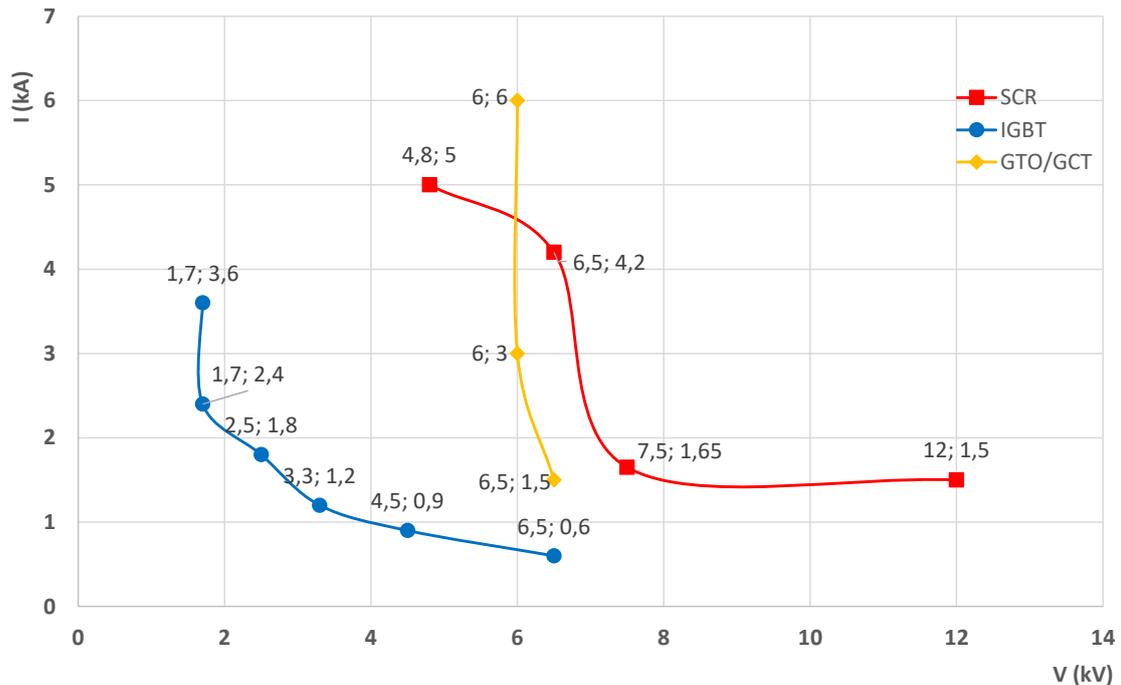
O desenvolvimento tecnológico e o crescimento natural das cargas elétricas, residenciais e industriais, tem percorrido caminhos concorrentes, uma vez que a demanda por maiores potências cresce exponencialmente enquanto que o desenvolvimento e aprimoramento das tecnologias existentes caminham a passos mais curtos ou bem mais lentamente. Com o aumento crescente da demanda é natural que se faça opção por sistemas elétricos com maiores níveis de tensão de operação, buscando melhor custo benefício, ou seja, menores perdas elétricas e menores custos de investimentos na transmissão e distribuição da energia elétrica. Problema semelhante ocorre nas indústrias quando se precisa aumentar a escala de produção e, conseqüentemente, aumentar a demanda pontual de equipamentos elétricos como motores, por exemplo, optando-se novamente pela elevação dos níveis de tensão operacionais. Antes de se chegar a este cenário, os conversores de potência tradicionais utilizados como retificadores ou inversores para o acionamento de motores, por exemplo, desempenharam sua função com sucesso.

Como já comentado, o desenvolvimento tecnológico ocorre numa velocidade menor e o crescimento em potência dos conversores elétricos esbarrou nas limitações físicas, capacidades de tensão reversa e condução de corrente elétrica, dos dispositivos semicondutores de potência tais como os *GTO's*, *IGBT's*, etc. Atualmente, os dispositivos semicondutores de banda larga são uma promessa em termos de tensões e correntes elevadas.

O Gráfico 1 apresenta os valores nominais de tensão e corrente para alguns dispositivos disponíveis comercialmente para aplicações de alta potência dos fabricantes ABB, Eupec, Fuji,

Mitsubishi, Toshiba e Westcode, considerando dados do ano de 2006 (WU, 2006). Para os *SCR*'s os valores nominais atingem 12 kV/1,5 kA ou 4,8 kV/5 kA, para os *IGBT*'s 6,5 kV/0,6 kA ou 1,7 kV/3,6 kA. Os *GTO/GCT*'s estão disponíveis para 6,5 kV/1,5 kA ou 6kV/6kA.

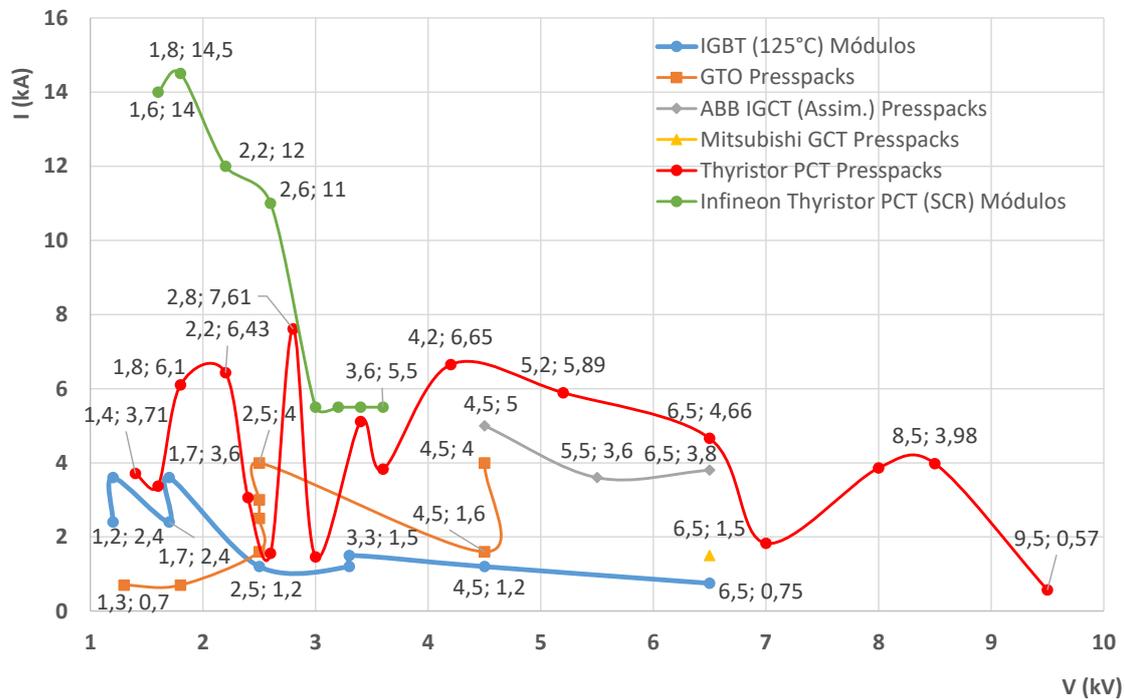
Gráfico 1 – Valores nominais de tensão e corrente de alguns dispositivos disponíveis comercialmente em 2006



Fonte: WU (2006) – Dados adaptados pelo autor.

O Gráfico 2 apresenta curvas com os dispositivos semicondutores disponíveis em função da tensão e corrente nominal dos fabricantes ABB, Dynex, Fuji, Infineon, Ixys UK Westcode e Mitsubishi, considerando o ano de 2016. Foram selecionados fabricantes que disponibilizam ao mercado dispositivos de alta potência. As curvas apresentam os dispositivos com maior valor nominal de corrente para cada valor nominal de tensão disponível pelos fabricantes selecionados para a pesquisa.

Gráfico 2 – Valores nominais de tensão e corrente de alguns dispositivos disponíveis comercialmente em 2016



Fonte: ABB (2015), Dynex Semiconductors (2016a, b, c), Fuji Electric (2016), Infineon (2015), Ixys UK Westcode (2015), Mitsubishi Electric (2016).

Os Gráficos 1 e 2 permitem acompanhar de forma aproximada a evolução dos dispositivos semicondutores de potência nos últimos dez anos. Pode-se perceber que o avanço foi mínimo ou não ocorreu. Os *IGBT*'s, por exemplo, não apresentaram nenhum avanço, pois a corrente e tensão máximas continuam as mesmas, ou seja, 3600 A e 6500 V. O *SCR* teve aumento na capacidade de corrente elétrica, de 5 kA para 14,5 kA, mas teve sua tensão máxima reduzida de 12 kV para 9,5 kV. O *GTO*, *GCT* e *IGCT* não apresentaram avanços. Observou-se ainda que o *GTO* da Mitsubishi, com valores nominais de 6 kV/6 kA, teve sua produção interrompida e, portanto, não apresentado no Gráfico 2.

Em função dos avanços discretos na capacidade de potência dos dispositivos semicondutores nos últimos 10 anos, conclui-se que, além da dificuldade natural do desenvolvimento das tecnologias citadas devido às limitações físicas no uso do Silício, pode ter ocorrido uma acomodação na pesquisa por novas soluções. Acomodação essa em função de uma demanda não tão acentuada pelos referidos dispositivos assim como pelo fato do surgimento a partir do ano 2002 dos conversores multiníveis. Nessa mesma época os dispositivos semicondutores de banda larga começaram a ser comercializados.

Contudo, a necessidade por novas soluções fez pesquisadores criarem novas topologias de conversores capazes de operar em níveis maiores de tensão elétrica, utilizando os mesmos dispositivos semicondutores disponíveis, dando origem aos chamados conversores multiníveis.

A velocidade do desenvolvimento dos conversores multiníveis de potência pode ser acompanhada pela cronologia dos fatos, considerando os conversores mais conhecidos e difundidos: 1975, Baker e Bannister (apud ENCARNAÇÃO, 2009) registram a patente do primeiro conversor, de fato, multinível; 1981, Nabae, Takahashi e Akagi (1981) propõem a terminologia multinível e o conversor grampeado a diodo de três níveis, o conversor *Neutral Point Clamped - NPC*; 1992, Meynard e Foch (1992a,b) propõem o conversor grampeado a capacitor, *Flying Capacitor - FC*, cuja modelagem é proposta posteriormente (MEYNARD; FADEL; AOUDA, 1997); 1995, Peng et al. (1995, 1996) apresentam o conversor em cascata nas configurações estrela (*Single-Star Bridge-Cell - SSBC*) e delta (*Single-Delta Bridge-Cell - SDBC*) utilizando ponte H; 2002, Marquardt (apud GAO et al., 2011) registra a patente do conversor *MMC*. Desde então, o conversor *MMC* tem sido objeto de estudo pela comunidade científica.

À medida que as topologias de conversores foram surgindo, novos estudos e novas contribuições foram publicadas. Especificamente sobre as topologias da família *Modular Multilevel Cascaded Converter - MMCC*, as contribuições ocorrem em áreas relevantes como a modelagem matemática dos conversores (LUNA; JACOBINA; OLIVEIRA, 2013; WANG; BURGOS; BOROVEVICH, 2013; PEREZ et al., 2015), a avaliação e análise de sua aplicação exercendo diferentes funções no sistema elétrico de potência (HAGIWARA; MAEDA, AKAGI, 2010, HAGIWARA; NISHIMURA; AKAGI, 2010; PEREZ; LIZANA; RODRIGUEZ, 2012; SHE; HUANG, 2012; DU; LIU, 2013), a análise de técnicas de modulação existentes (LI et al., 2015; OTA et al., 2015) e apresentação de novas técnicas de modulação para o conversor (ILVES et al., 2011; TU; XU, Z.; XU, L., 2011; FAN et al., 2015).

Outras contribuições, tão importantes quanto às já citadas, são a apresentação de novas técnicas para controle de tensão nos capacitores (AKAGI; INOUE; YOSHII, 2007; HAGIWARA; AKAGI, 2008; HAGIWARA; MAEDA; AKAGI, 2010a., 2011a; LIZANA; PEREZ; RODRIGUEZ, 2012; LIZANA et al., 2012; DU; LIU, 2013; LUNA; JACOBINA; OLIVEIRA, 2013; DENG; CHEN, 2014, 2015a; DU; LIU, J.; LIU, T., 2015; FAN et al., 2015; FUJITA; HAGIWARA; AKAGI, 2015), a análise e controle da corrente circulante do conversor

[TU; XU, Z.; XU, L., 2011; YANG et al., 2011; ILVES et al., 2012; SHE et al., 2012; SHE; HUANG, 2012; LI; WANG, 2013) e até a criação ou derivação de novas topologias a partir das existentes: Midle-Cell *MMC* (WANG et al., 2013), Extended *MMC* (MOHAMMADI; BINA, 2011), Hexagonal *MMC* (BARUSCHKA; MERTENS, 2011), Modified *FC MMC* (DARGAHI et al., 2015) e *3LFC-MMC* (DEKKA et al., 2016).

O próximo capítulo apresenta algumas topologias de conversores multiníveis assim como técnicas de modulação usualmente utilizadas.

2 CONVERSORES MULTINÍVEIS

Os conversores de energia são sistemas compostos por chaves semicondutoras como *MOSFET*, *GTO Thyristor*, *IGBT*, *IGCT* e componentes passivos. Os conversores são empregados em vários setores tais como o industrial, o de transportes, de produção de energia, no sistema elétrico de potência e também no setor residencial. Como exemplo, pode-se citar sua aplicação em bombas d'água, ventiladores, correias transportadoras, retificadores, veículos elétricos, veículos híbridos, trens, embarcações, aeronaves, em sistemas de produção de energia eólica e fotovoltaica, em filtros ativos, em sistemas armazenadores de energia, em *STATCOM*, aparelhos de ar condicionado e utensílios domésticos. Eles também são empregados na indústria e no sistema elétrico de potência com o propósito de melhorar a qualidade da energia, conceito *Custom Power* (HINGORANI, 1995), e a estabilidade do sistema elétrico ou como *drives* no acionamento de motores de grande potência.

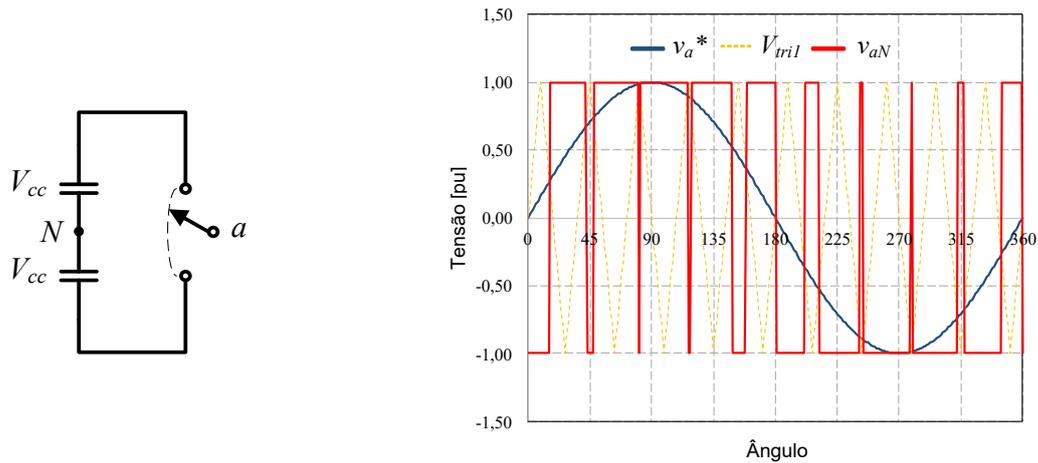
Na condição de um filtro ativo, por exemplo, o conversor tem a função de sintetizar e absorver ou injetar componentes específicas de tensão ou corrente no barramento de controle. Exercendo a função de um compensador estático, seja numa linha de transmissão ou distribuição, sua função é aumentar a capacidade de transferência de energia ou potência da linha, melhorar a tensão e o ângulo de estabilidade, melhorando assim a qualidade da energia. Como exemplo de compensadores que se enquadram ao conceito *Flexible AC transmission Systems (FACTS)* (HINGORANI, 1988) temos o *STATCOM*, o *Static Synchronous Series Compensator (SSSC)* e o *Unified Power Flow Controller (UPFC)*.

Os conversores, quando utilizados como condicionadores de energia, habilitam a troca de energia entre dois sistemas elétricos ou eletromecânicos de forma controlada, atendendo às condições de frequência, magnitude de tensão, fator de potência e velocidade de rotação das máquinas dos subsistemas integrados. Os sistemas *back-to-back High-Voltage Direct Current (HVDC)* acoplando dois sistemas CA que podem ser síncronos ou assíncronos e o sistema retificador/inversor *HVDC* ao transferir energia elétrica através de um laço CC entre dois subsistemas eletricamente remotos, são dois exemplos de condicionadores de energia.

A Figura 1 apresenta o diagrama básico de um conversor elétrico de potência tradicional, ou seja, de dois níveis, acionado com modulação *PWM* senoidal. Esse tipo de conversor,

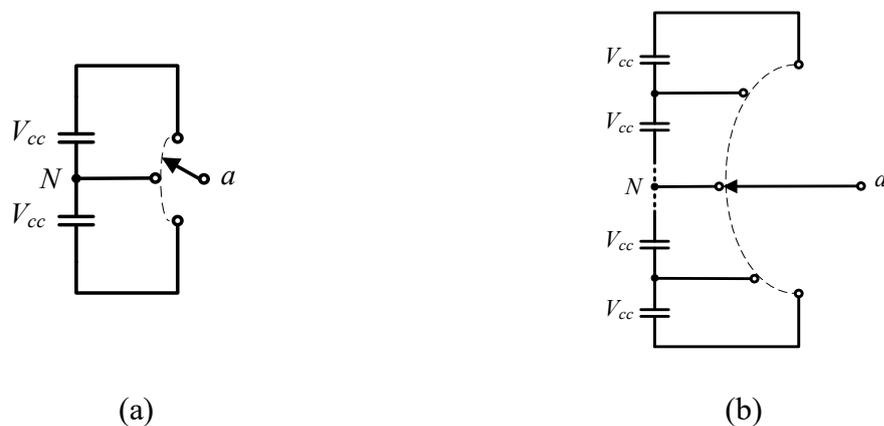
amplamente utilizado no mercado, possui como vantagem sua simplicidade de montagem, controle e operação. Como desvantagem, possui a limitação de sua aplicação em sistemas de pequena e média potência, além do fato de apresentar a saída do conversor com elevado índice de distorção harmônica.

Figura 1 – Conversor de dois níveis e sua forma de onda da tensão de saída



Para ser considerado um conversor multinível cada fase do conversor deve gerar pelo menos três diferentes níveis de tensão. A Figura 2 apresenta um conversor de três níveis e de n níveis. Rodriguez e outros (2009) definem um conversor multinível como um sistema de conversão de energia composto por um vetor de semicondutores de potência e fontes de tensão capacitivas que, quando conectada e controlada de forma apropriada, pode gerar formas de onda de tensão de múltiplos degraus com frequência, fase e amplitude controlável.

Figura 2 – Conversores multiníveis: (a) conversor de três níveis; (b) conversor de n níveis



Com o advento dos conversores multiníveis entre 1975 (BAKER; BANNISTER, apud ENCARNAÇÃO, 2009) e 1981 (NABAE; TAKAHASHI; AKAGI, 1981), a melhoria da qualidade da energia se tornou crescente, à medida que conversores com maiores quantidades de níveis da tensão de saída foram desenvolvidos. Mas, para sua aplicação em níveis de potência mais elevados é necessário também o desenvolvimento dos dispositivos semicondutores.

O início do desenvolvimento dos conversores de alta potência e dos *drives* de média tensão ocorreu após a disponibilização para comercialização do *GTO* de 4,5 kV em 1988 (BERNET, 2000). O *GTO* foi padronizado para o uso em *drives* de média tensão até o surgimento dos *IGBTs* e *GCTs* no final de 1990 (STEIMER, 1997, 1999). O uso destes dispositivos em áreas de eletrônica de potência tem crescido devido as suas características de chaveamento superiores, perdas de potência reduzidas, simplicidade no controle de *gate* e operações isentas de circuitos snubber (WU, 2006).

Na prática, o desenvolvimento dos dispositivos semicondutores para chaveamento é, na verdade, a busca por características de desempenho que os assemelham a uma chave ideal, ou seja, uma chave capaz de operar em frequências de chaveamento elevadas, que apresente perdas por condução nulas e, além disso, exija circuitos de acionamento de *gate* convencionais.

Dessa forma, a evolução dos dispositivos de chaveamento determina o ritmo de desenvolvimento dos conversores de potência ao mesmo tempo que a ampla utilização dos conversores serve para impulsionar o desenvolvimento dos dispositivos semicondutores em aplicações de alta potência. Há dois grupos de dispositivos de alta potência utilizados em conversores: o primeiro formado por tiristores e o segundo formado por dispositivos à base de transistores. No primeiro grupo estão incluídos o *SCR*, o *GTO* e o *GCT*, e no segundo grupo o *IGBT* e *IEGT*. Outros como o *MOSFET*, *emitter turn-off thyristor (ETO)*, *MCT* e *static induction thyristor (SIT)*, não progrediram.

Assim, os conversores multiníveis são considerados atualmente uma das soluções industriais para aplicações que demandam alto desempenho dinâmico e qualidade de energia na faixa de 1 a 30 MW. Eles se destacam tanto pela característica de sua topologia quanto pelo avanço dos dispositivos semicondutores. Topologicamente porque permite sintetizar níveis de tensão de saída maiores utilizando dispositivos de menor potência. Tecnicamente ao permitir a operação com tensões maiores, menores tensões de modo comum, reduzidas taxas

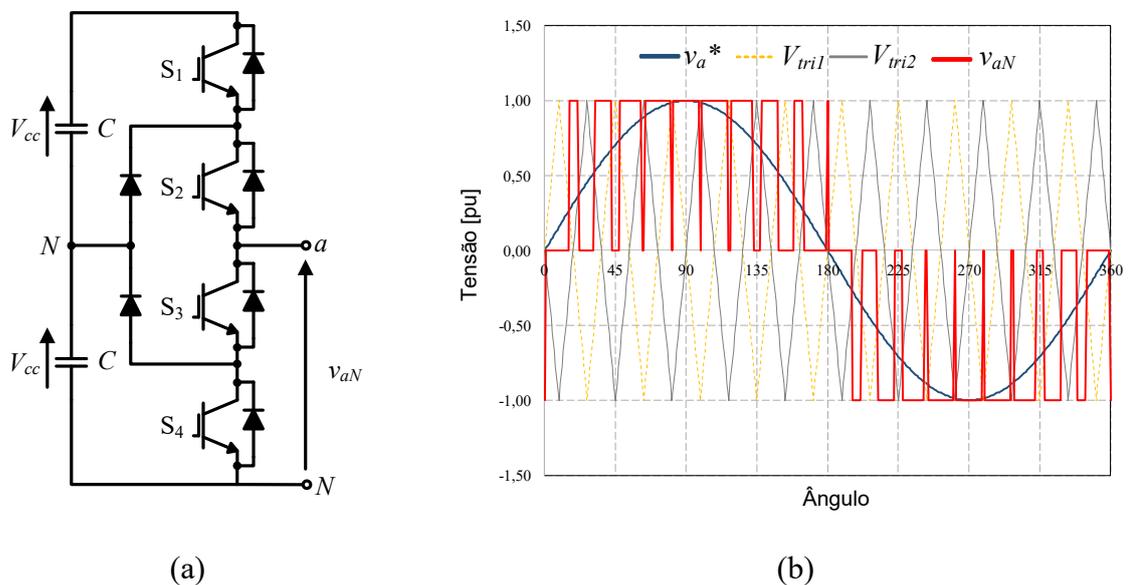
de variação da tensão (dv/dt), tensões com reduzidos componentes harmônicos, menores filtros de entrada e saída, correntes próximas da senoidal e aumento da eficiência.

Neste capítulo são apresentadas as topologias de conversores multiníveis mais difundidas e algumas técnicas de modulação.

2.1 Topologias Multiníveis

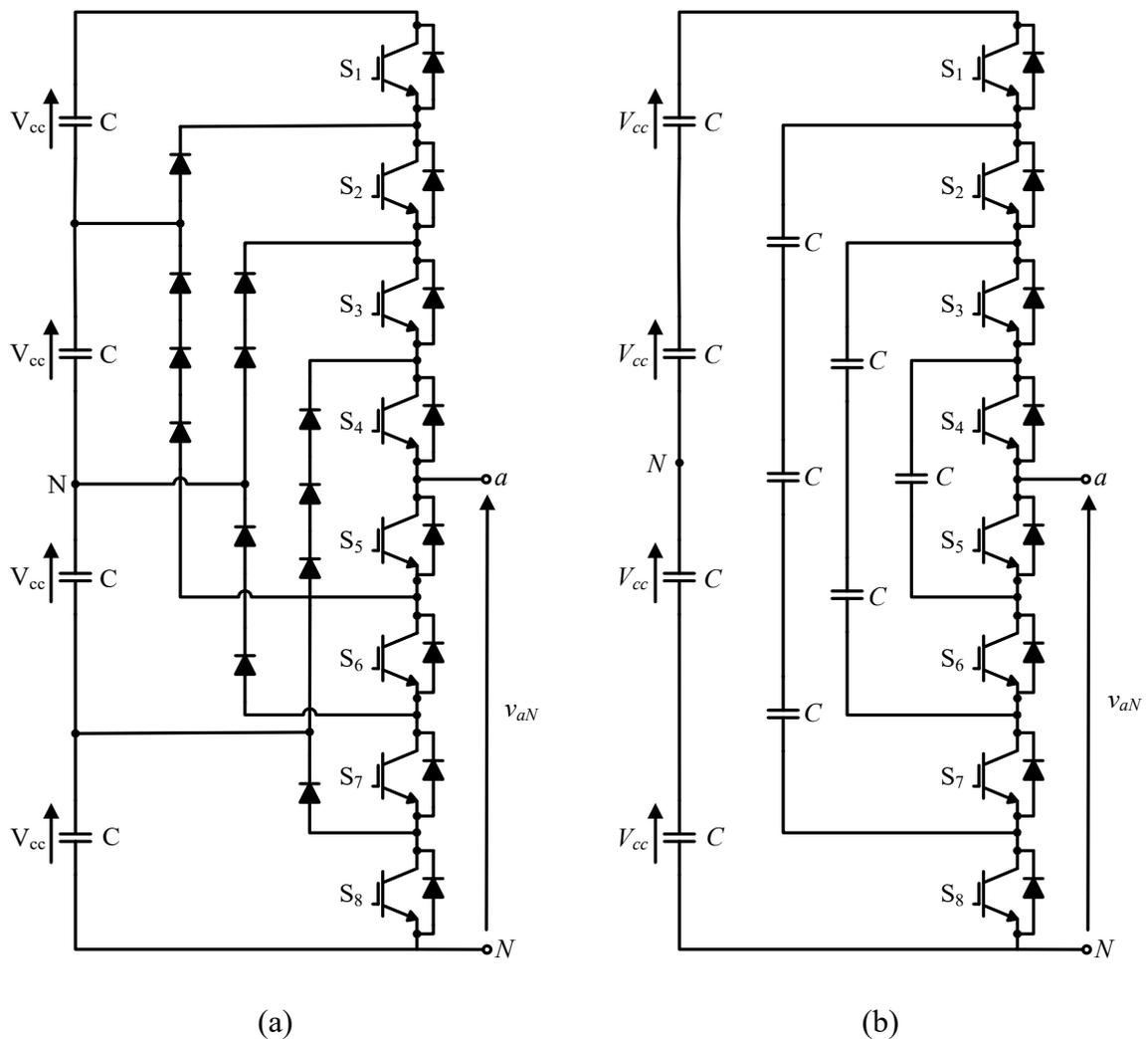
Com o crescente interesse no conversor multinível pela comunidade científica e as pesquisas realizadas ao longo do tempo, vários avanços foram apresentados, seja no circuito de controle ou no circuito de potência do conversor, dando origem a topologias diferentes que tiveram maior ou menor aceitação. Entre as topologias de conversor multinível com maior aceitação pode-se apresentar: ponto neutro grampeado, *NPC*, (NABAE; TAKAHASHI; AKAGI, 1981; OGUCHI; MAKI; SUNAGA, 1994; LIN; WEI, 2004; FILSECKER; ALVAREZ; BERNET, 2014), capacitor flutuante, *FC*, (KANG; LEE; HYUN, 2004; SHUKLA; GHOSH; JOSHI, 2008; GHIAS et al., 2012), conversor em cascata simétrico ou ponte H em cascata, *Cascade H Bridge (CHB)*, (CORTES et al., 2010; ALEENEJAD; IMAN-EINI; FARHANGI, 2013; XIAO et al., 2015) com fontes CC separadas e o conversor multinível modular, *MMC*, (AKAGI, 2011; ILVES et al., 2015; PEREZ et al., 2015). A Figura 3 apresenta o conversor *NPC* de três níveis e sua forma de onda de saída.

Figura 3 – Conversor *NPC*: (a) *NPC* de três níveis; (b) Forma de onda da fase a



A Figura 4 (a) apresenta o conversor *NPC* de cinco níveis. Nas Figuras 3 (a) e 4 (a) é possível verificar a complexidade do referido conversor à medida que se aumenta o número de níveis na saída do mesmo. Percebe-se claramente a grande quantidade de diodos necessária para efetuar o grampeamento da tensão sobre as chaves semicondutoras com o intuito de protegê-las de excessivas tensões reversas. As vantagens desse conversor estão relacionadas ao fato de ser um conversor multinível, ou seja, apresentar baixo conteúdo harmônico quanto maior for o número de níveis na saída do mesmo e permitir uma redução da frequência de chaveamento dos dispositivos semicondutores. Na prática, o conversor *NPC* com mais de três níveis distintos de tensão por fase não se mostrou técnica e economicamente viável.

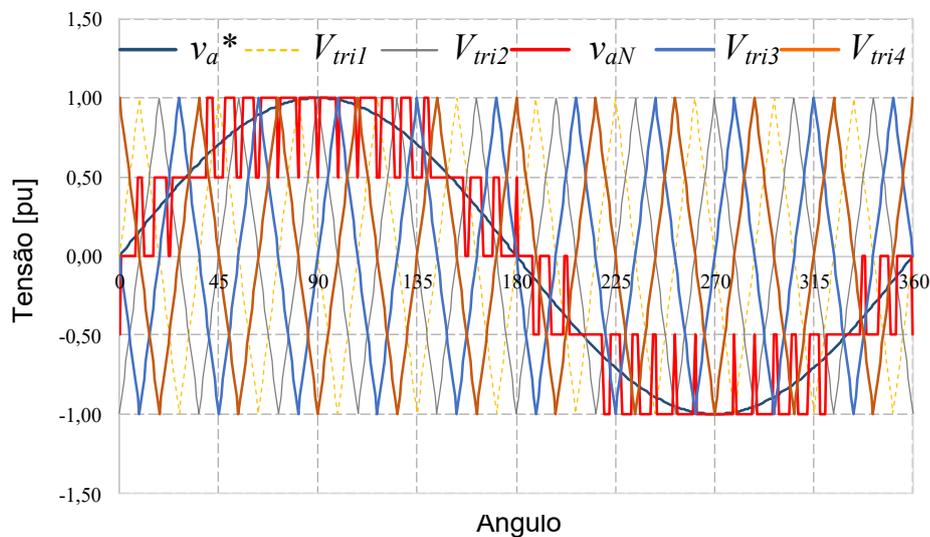
Figura 4 – Conversores de cinco níveis: (a) Conversor *NPC*; (b) Conversor *FC*



A Figura 4 (b) apresenta o conversor *FC* de cinco níveis e o Gráfico 3 a forma de onda de saída de um conversor de cinco níveis. Nesse conversor, os capacitores são submetidos a

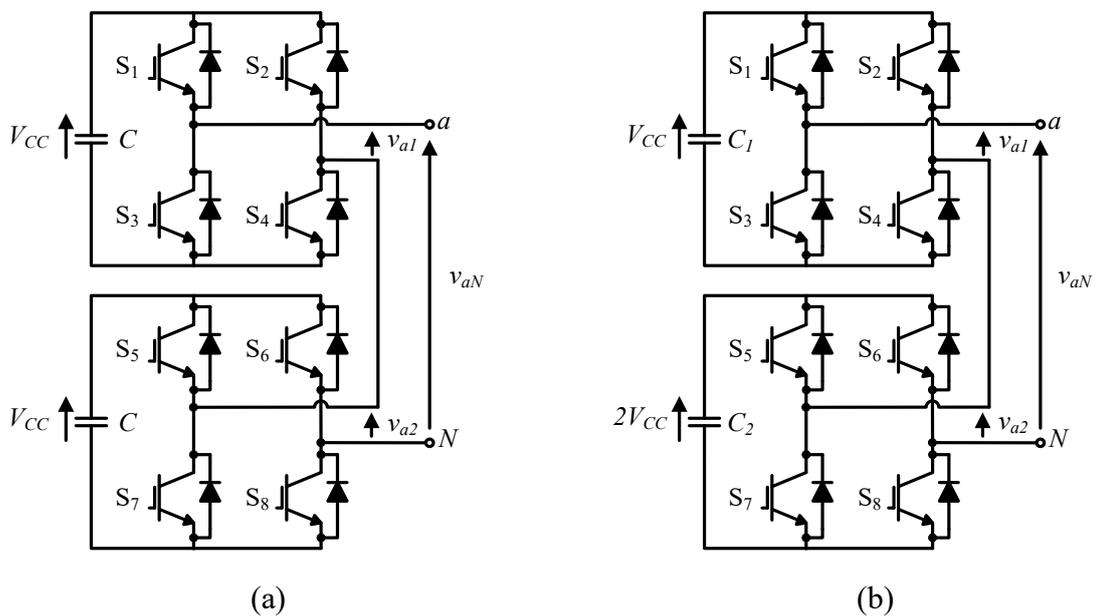
diferentes valores de tensão, tornando-se necessário a utilização de várias unidades em série para que seja possível suportar os altos níveis de tensão, quando o mesmo é aplicado a sistemas de alta potência. Esse detalhe construtivo aliado à dificuldade de se controlar o nível de tensão em um maior número de capacitores para um conversor *FC* com elevado número de níveis na saída, pode tornar impraticável sua implementação para um número muito elevado de níveis em sua tensão de saída.

Gráfico 3 – Forma de onda de uma fase de um conversor de cinco níveis



Apresentando-se um conversor mais promissor, o conversor multinível em cascata simétrico é mostrado na Figura 5 (a). Sua forma de onda na saída é a mesma mostrada pelo Gráfico 3. Também conhecido por conversor ponte H, devido à estrutura de sua célula de potência, o conversor simétrico em cascata é constituído pela conexão em série de conversores monofásicos em ponte completa (ponte H), com capacitores isolados e de mesma tensão V_{CC} , podendo apresentar três níveis diferentes de tensão ($-V_{CC}$, 0 , $+V_{CC}$) na saída de cada célula de potência. A tensão de saída de cada fase do conversor é obtida somando-se as tensões de saída de cada célula. Por apresentar essas características que representam modularidade, esse conversor tem potencialidade para aplicação em médias e altas tensões. Além da modularidade, o conversor simétrico, como todo conversor multinível, favorece a redução dos índices de distorção harmônica bem como da frequência de chaveamento dos dispositivos semicondutores, o que representa melhor qualidade de energia com menores perdas por chaveamento.

Figura 5 – Conversores multiníveis: (a) conversor em cascata simétrico de cinco níveis; (b) conversor em cascata assimétrico de sete níveis



A Figura 5 (b) apresenta o conversor em cascata assimétrico que difere do conversor em cascata simétrico por possuir chaves semicondutoras de maiores potências e diferentes valores de tensão para os capacitores das células de potência, permitindo alcançar maior número de níveis de tensão na saída para uma menor quantidade de células de potência. Uma desvantagem do conversor assimétrico é a perda de modularidade ao possuir capacitores e chaves semicondutoras diferentes nos módulos. Os benefícios citados para o conversor em cascata simétrico também se aplicam ao conversor em cascata assimétrico. Como exemplo, a Figura 2.6 apresenta dois conversores com mesmo número de células de potência, porém com diferentes números de níveis de tensão em seus terminais de saída.

A forma de onda do conversor assimétrico de sete níveis é apresentada no Gráfico 4 e na Figura 6 é apresentado o circuito de potência de um conversor em cascata simétrico trifásico.

Gráfico 4 – Forma de onda de uma fase de um conversor assimétrico de sete níveis

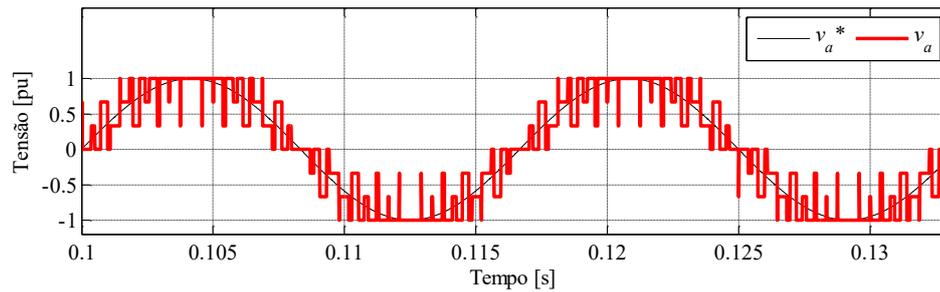
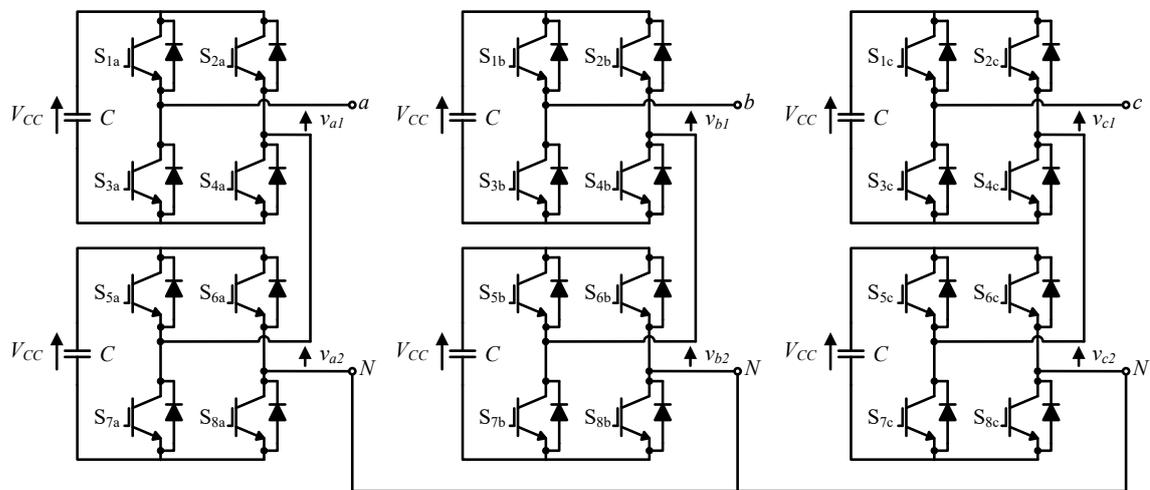


Figura 6 – Conversor em cascata simétrico trifásico de cinco níveis por fase



Outra topologia de conversor bastante estudada e que apresenta grandes perspectivas é a dos conversores modulares multiníveis, *MMC*, que foi apresentado primeiramente por Leniscar e Marquardt (2003). O conversor *MMC* é um novo tipo de conversor multinível composto por várias células *Chopper* em cascata cujas fontes *CC* são independentes umas das outras. A tensão de saída é gerada pelo controle dos estados das chaves em cada célula *Chopper*, regulando-se o nível da tensão de saída. Posteriormente, novos conversores surgiram com o rótulo *MMC*, porém com diferentes configurações dos circuitos de potência.

Em função da característica de modularidade se aplicar a várias topologias de conversores, e não apenas ao *MMC* proposto por Leniscar e Marquardt (2003), Akagi (2011) sugeriu a criação da família *Modular Multilevel Cascaded Converter - MMCC*, obtida da combinação de dois termos muito utilizados entre os pesquisadores, *Cascaded Multilevel Converter* e *Modular Multilevel Converter*, que, de forma isolada, não representam claramente a topologia empregada no conversor. Então, renomeou quatro topologias de conversores com

base na configuração de seus circuitos de potência, dando origem aos conversores *Single-Star Bridge-Cells (SSBC)*, *Single-Delta Bridge-Cells (SDBC)*, *Double-Star Chopper-Cells (DSCC)* e *Double-Star Bridge-Cells (DSBC)*, apresentados nas Figuras 7 e 8.

Figura 7 – Conversor *MMC* trifásico: (a) Circuito de potência. (b) Célula de potência: *Chopper (DSCC)*; (c) Célula de potência: *CHB (DSBC)*

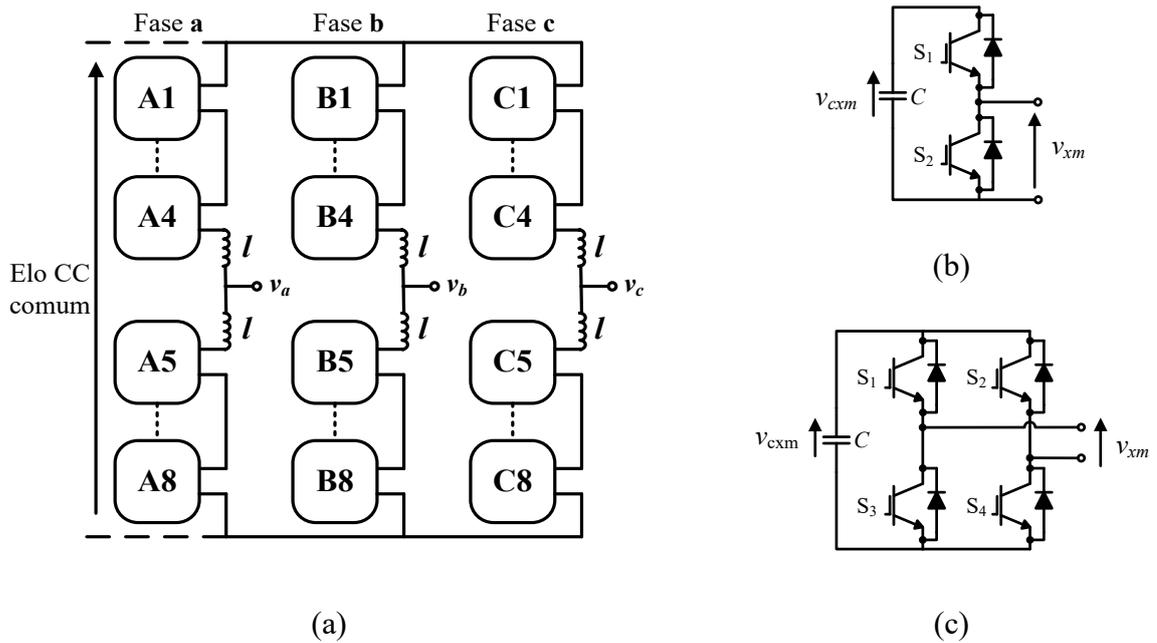
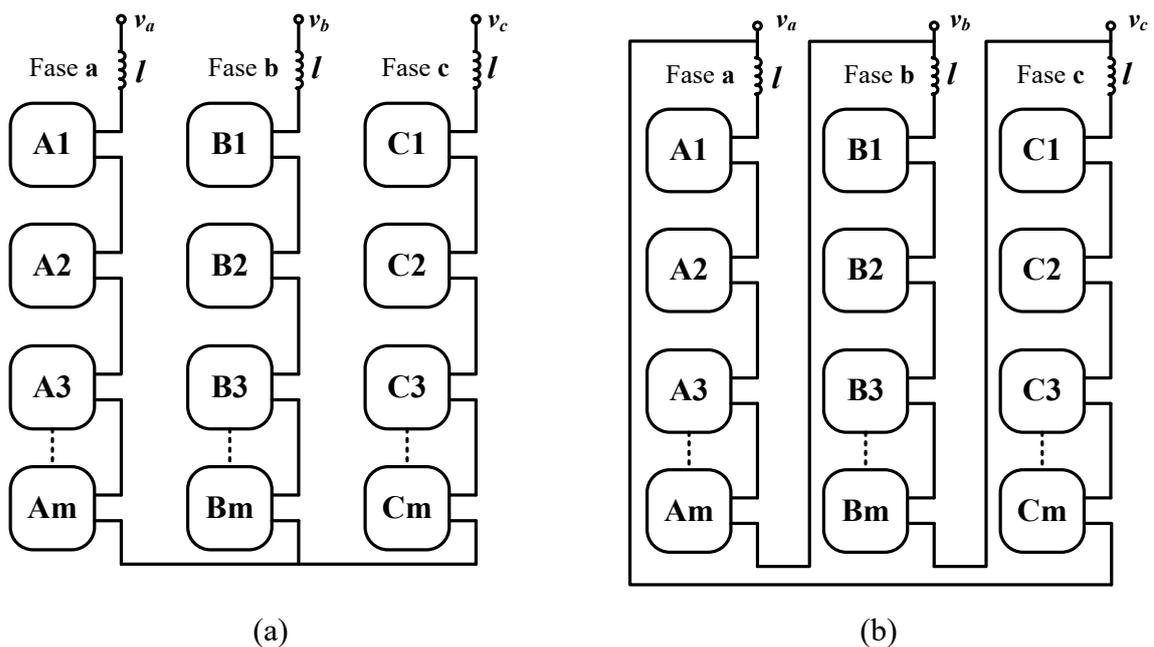
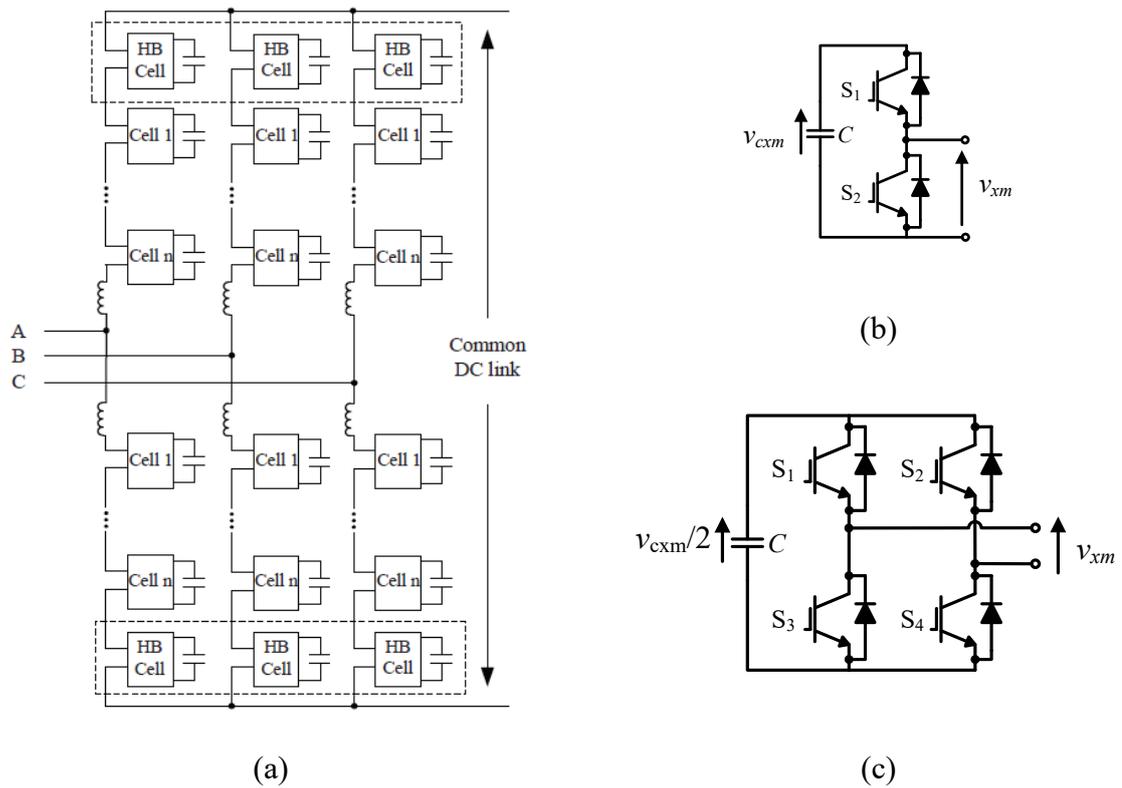


Figura 8 – Conversor *MMC* trifásico: (a) Topologia *SSBC*; (b) Topologia *SDBC*



Percebeu-se então que novos conversores poderiam ser implementados na configuração modular utilizando-se células de potência existentes. A Figura 9 apresenta um conversor híbrido, utilizando células *CHB* e células *Chopper*, como exemplo.

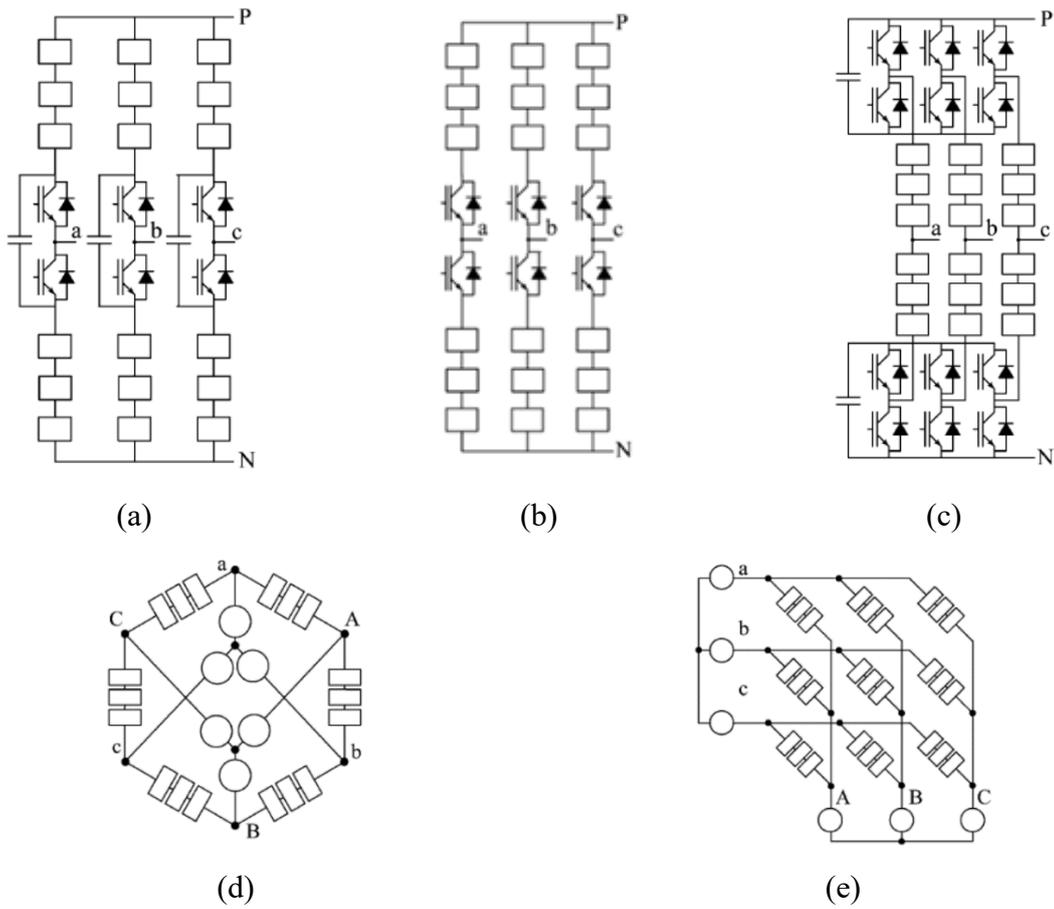
Figura 9 – *MMC* híbrido: (a) Topologia; (b) Célula *Chopper*; (c) Célula *CHB*



Fonte: (GAO et al., 2011).

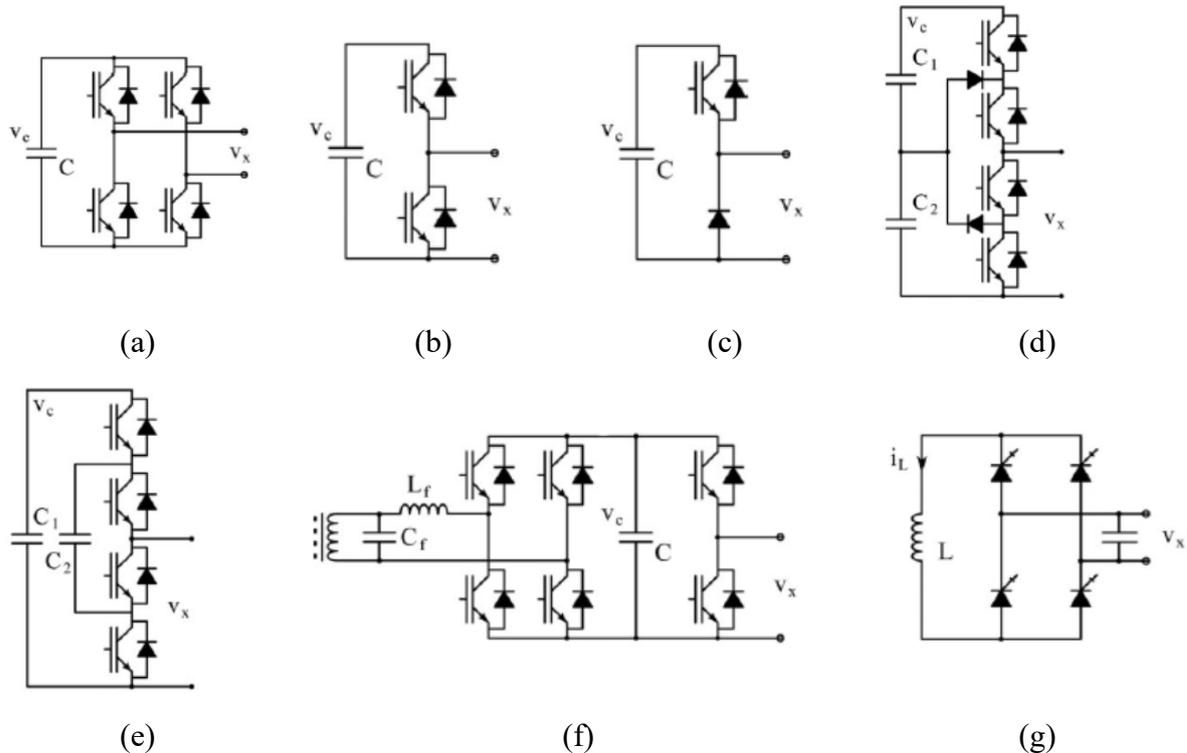
A Figura 10 apresenta mais algumas topologias de conversor *MMC*. Nos módulos dessas topologias, pode-se utilizar qualquer um dos sete tipos de células de potência apresentados na Figura 11.

Figura 10 – Topologias avançadas de MMC: (a) MMC de meia célula; (b) MMC de braço alternado; (c) MMC híbrido; (d) MMC hexagonal; (e) MMC Matricial



Fonte: (PEREZ et al., 2015)

Figura 11 – Topologias das células de potência: (a) Ponte completa; (b) Meia ponte; (c) Célula unidirecional; (d) Célula *NPC* multinível; (e) Célula *FC* multinível; (f) Célula com inversor ressonante para transferência de potência indutiva; (g) Célula fonte de corrente



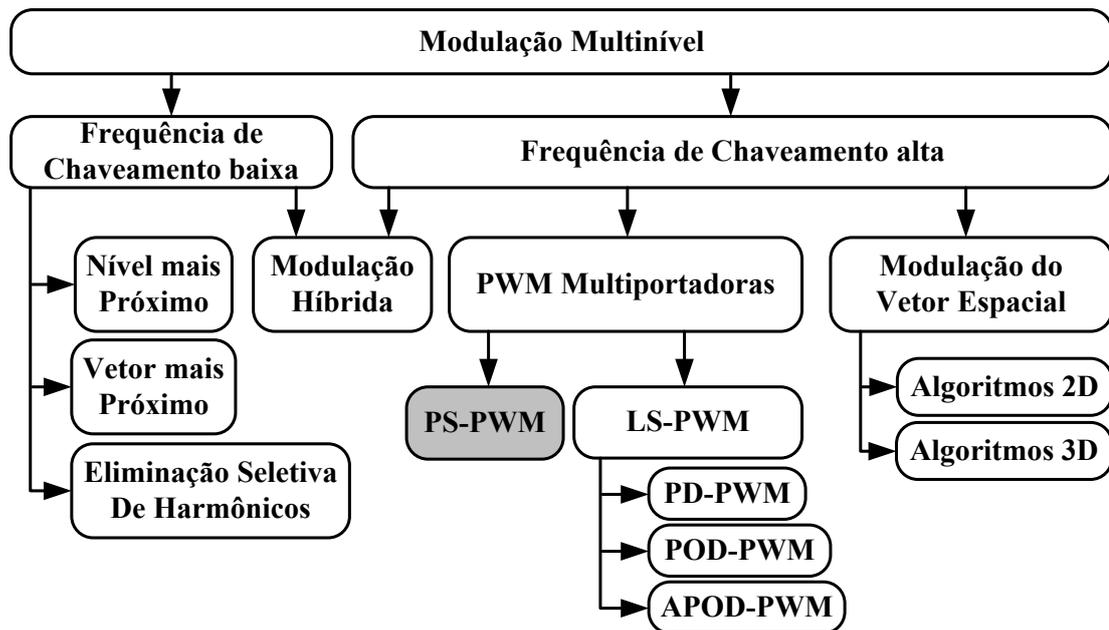
Fonte: (PEREZ et al., 2015)

2.2 Técnicas de Chaveamento

Os conversores podem ser caracterizados pela topologia e pela forma de acionamento ou chaveamento dos dispositivos semicondutores. Várias são as técnicas utilizadas para o comando dos dispositivos semicondutores e muitas dessas técnicas de chaveamento estão associadas a uma topologia específica de conversor, outras, porém, podem ser utilizadas em mais de uma topologia.

De acordo com a frequência na qual operam os algoritmos, eles podem ser classificados em algoritmos de modulação em baixa ou alta frequência (a partir de 1 kHz). A Figura 12 apresenta os tipos de modulação aplicadas em conversores multiníveis descritos atualmente na literatura. No caso dos conversores *MMC*, as técnicas *PWM* combinadas com o uso de múltiplas portadoras são usualmente as mais empregadas.

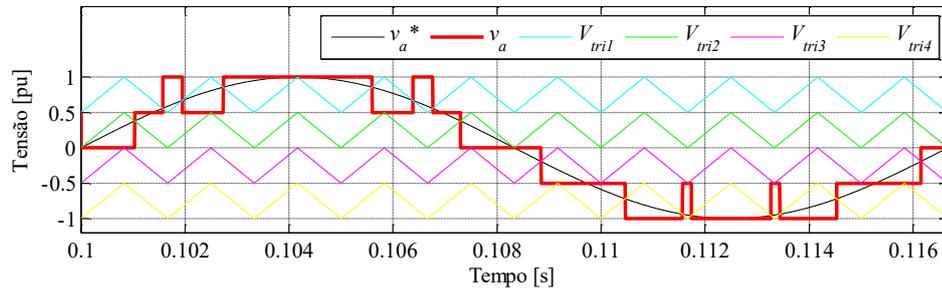
Figura 12 – Métodos de Modulação para Conversores Multiníveis



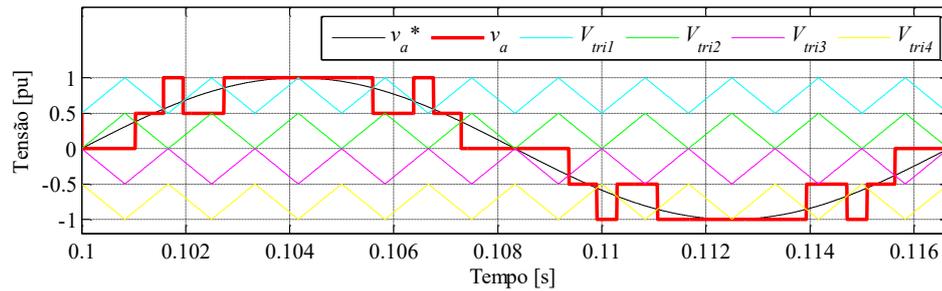
Fonte: - (RODRIGUEZ, 2009, tradução nossa).

Entre as técnicas comumente utilizadas em conversores modulares multiníveis para aplicações de alta potência destacam-se as técnicas de multiportadoras de fase deslocada, *Phase Shifted Pulse Width Modulation (PS-PWM)*, e as de nível deslocado, *Level Shifted Pulse Width Modulation (LS-PWM)*.

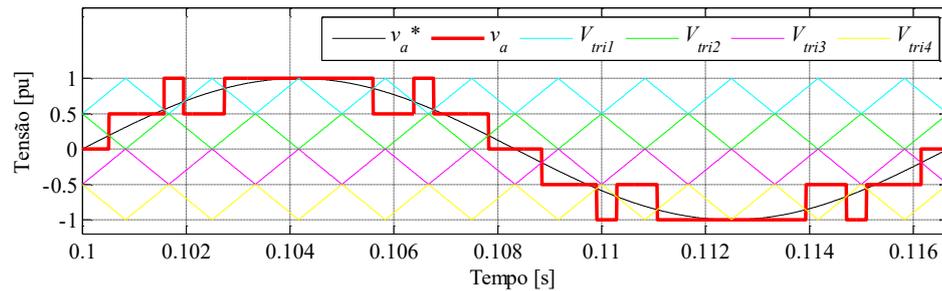
A modulação de nível deslocado *LS-PWM* é representada por três variações da técnica, onde se varia o defasamento entre as portadoras entre os diferentes níveis das mesmas. Portanto, a modulação *LS-PWM* se divide em *Phase Disposition (PD-PWM)*, *Phase Opposition Disposition (POD-PWM)* e *Alternate Phase Opposition Disposition (APOD-PWM)*. Semelhante à modulação *PS-PWM*, a modulação de nível deslocado compara um único sinal de referência com as portadoras triangulares de cada nível gerando na saída de cada módulo um sinal bipolar de valores zero ou um, em pu. O Gráfico 5 apresenta as técnicas de nível deslocado.

Gráfico 5 – Técnica de modulação *LS-PWM*: (a) *PD-PWM*; (b) *POD-PWM*; (c) *APOD-PWM*

(a)



(b)



(c)

A técnica *PS-PWM*, por exemplo, é derivada da tradicional técnica *Pulse Width Modulation (PWM)* e especialmente concebida para as topologias de conversores *FC* e *CHB*. Cada célula do conversor pode ser modulada de forma independente, usando o mesmo sinal de referência, devido à modularidade destas topologias. Uma vez que todas as células são controladas com mesma referência e mesma frequência de modulação, a potência média atribuída a cada célula é igualmente distribuída.

O Gráfico 6 apresenta a técnica de modulação *PS-PWM* que foi utilizada para o chaveamento do conversor *MMC* estudado, apresentado na Figura 13. Neste exemplo, utilizou-se um conversor com quatro módulos por fase, portanto cinco níveis de saída composto pela comparação do sinal de referência com quatro portadoras triangulares defasadas entre si por

90°. A frequência de chaveamento utilizada foi de apenas 600 Hz com o objetivo de deixar o gráfico visualmente mais compreensível.

Gráfico 6 – Técnica de modulação *PS-PWM*

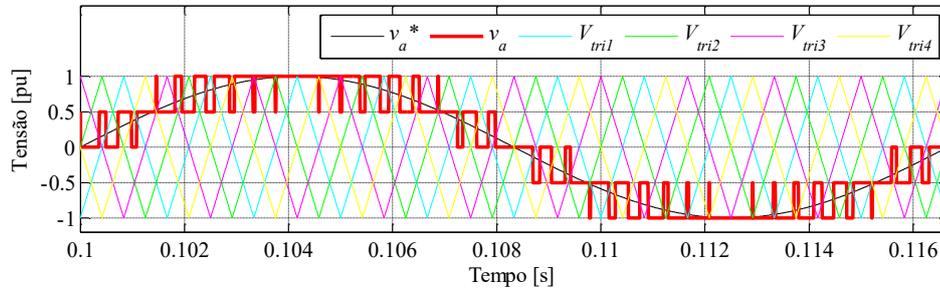
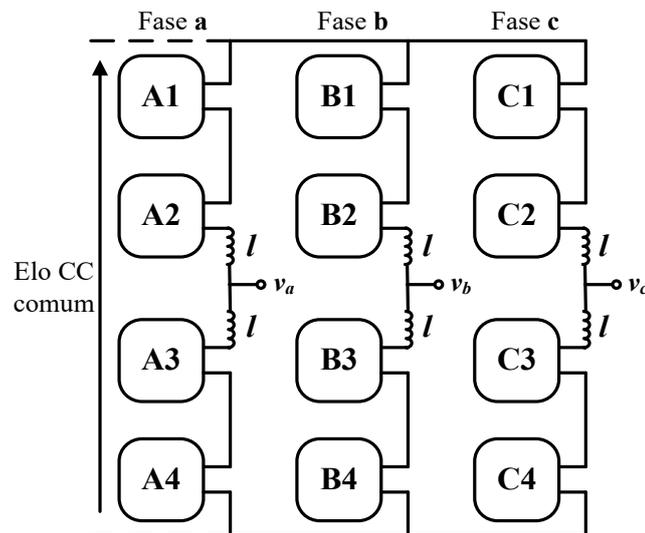


Figura 13 – Conversor multinível modular



Para o caso do conversor *MMC* projetado, determinou-se a existência de oito módulos por fase e a técnica base de modulação *PS-PWM*. Dessa forma, a frequência final de chaveamento é de oito vezes a frequência base da portadora triangular. Esse método de modulação permite se obter sinais de saída com maiores frequências de chaveamento, o que representa menor distorção harmônica com o benefício de menores perdas por chaveamento quando comparado à modulação *LS-PWM*. Essa modulação, para apresentar o mesmo resultado que a *PS-PWM*, em termos de distorção harmônica, deve ter uma frequência de chaveamento oito vezes maior.

Segundo Rodríguez (2009), junto com o desenvolvimento de novas topologias de

conversores multiníveis surge o desafio para desenvolver técnicas de chaveamento aplicadas a estas novas estruturas. Sabe-se que cada topologia multinível apresenta uma estratégia de chaveamento adequada de funcionamento.

Após a introdução das principais topologias de conversores e estratégias de modulação estudadas pela comunidade científica, seleciona-se a família *MMCC*, composta por quatro conversores: conversores nas conexões estrela e delta com células tipo *CHB*, conversores *SSBC* e *SDBC*, respectivamente, e os conversores na conexão dupla estrela com células *Chopper* e *CHB*, conversores *DSCC* e *DSBC*, respectivamente.

O *SSBC* tem capacidade de controlar potência reativa de sequência positiva, mas não tem capacidade de absorver ou gerar potência reativa de sequência negativa porque nenhuma corrente circulante flui internamente em sua estrutura, restringindo seu uso como *STATCOM*. Por outro lado, os conversores *SDBC*, *DSCC* e *DSBC* permitem a circulação de corrente em suas estruturas internas e essas correntes circulantes permitem a troca de potência ativa entre as fases do conversor. O *SDBC* controla potência reativa de sequência negativa, mas a potência controlável se restringe à metade da potência do conversor (HAGIWARA; MAEDA; AKAGI, 2010b).

Entre as estruturas *DSBC* e *DSCC*, verificou-se que elas são equivalentes. A *DSBC* possui tolerância a uma ampla gama de variações no elo CC por ter funções *buck* e *boost* adicionais da tensão do elo CC para retificação e inversão, sendo seu uso indicado para sistemas condicionadores de energia para fontes de energias renováveis eólica e solar, para as quais a variação da tensão CC de entrada varia de acordo com as condições do vento e clima (AKAGI, 2011). Por outro lado, a topologia *DSCC*, quando utilizada como *STATCOM*, controla a potência reativa de sequência negativa com uma pequena quantidade de corrente circulante (HAGIWARA; MAEDA; AKAGI, 2010b) sendo indicada para a atuação como *STATCOM* de alta tensão, sistemas *back-to-back* e acionamento de motores de média tensão (HAGIWARA; MAEDA; AKAGI, 2011a), (DU e LIU, 2013). Assim, a topologia *DSCC* foi considerada a mais adequada para a validação da estratégia de controle dos níveis de tensão dos capacitores por poder desempenhar muito bem tanto a função de um *STATCOM*, para o controle de tensão em redes de média tensão, como a de um inversor, para o acionamento de cargas elétricas.

3 CONVERSOR *MMC* (*DSCC*)

O conversor *DSCC*, um conversor multinível modular na configuração dupla estrela, é um tipo de conversor multinível composto por várias células *Chopper* em cascata cujas fontes CC são independentes umas das outras. Além disso, a tensão de saída é gerada pelo controle dos estados das chaves em cada célula *Chopper* combinando-as de tal forma que se possa retirar ou adicionar tensão à medida que se retira ou adiciona tensões dos capacitores dos módulos que estão em série em uma mesma fase do conversor, sintetizando, então, o nível da tensão de saída.

O *MMC* é adequado para conversores de potência de alta ou média tensão devido à facilidade de montagem e flexibilidade no projeto do conversor, mas necessita de um controle de tensão eficaz dos capacitores flutuantes de cada célula *Chopper* (HAGIWARA; NISHIMURA, 2010). Ao contrário das configurações de *MMC* estrela e delta (*SSBC* e *SDBC*), a topologia *MMC* dupla-estrela (*DSBC* e *DSCC*), por possibilitar a utilização de um link CC comum, é capaz de converter energia tanto de corrente contínua para corrente alternada (CC-CA) quanto de corrente alternada para corrente contínua (CA-CC) operando como inversor ou retificador (HAGIWARA; AKAGI, 2009). Na topologia do conversor dupla-estrela a célula *Chopper* pode ser substituída pela célula monofásica em ponte completa, *CHB*, e o elo CC, representado pela fonte *E*, pode ser substituída por uma fonte de tensão CA monofásica (GLINKA, 2004).

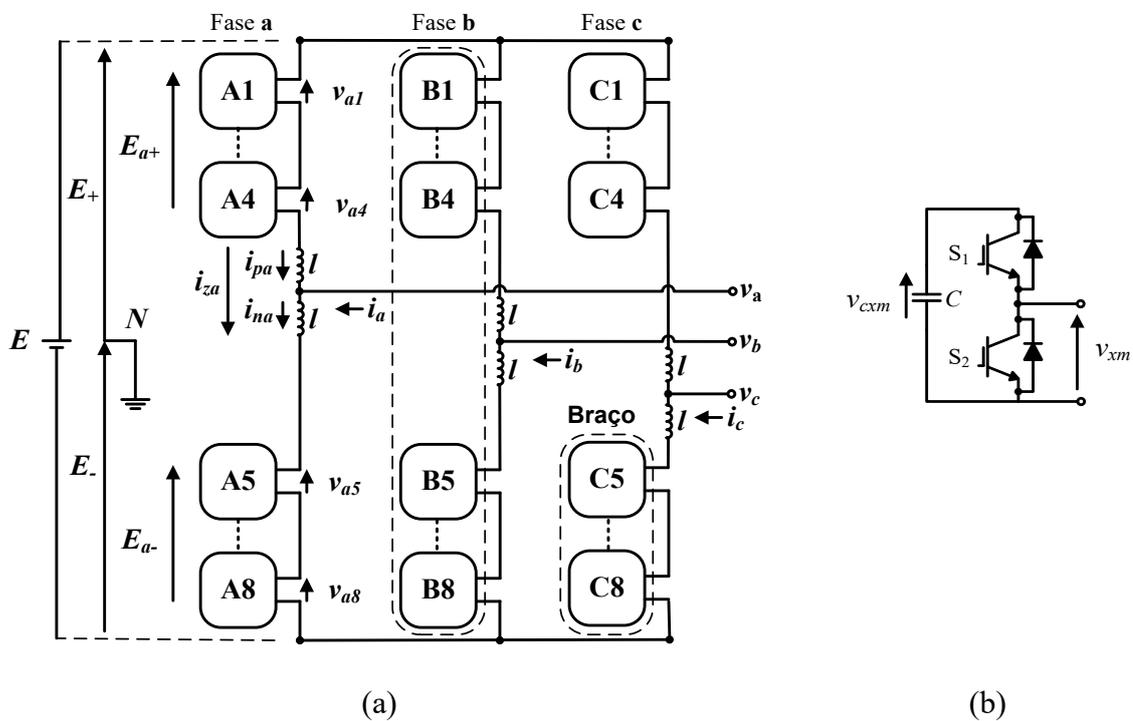
Pelo motivo oposto, as topologias de *MMC* estrela e delta (*SSBC* e *SDBC*) não podem operar como inversores e retificadores, mas podem controlar a potência ativa, absorvendo ou fornecendo, entre seus terminais CA trifásicos e ainda controlar a tensão CC dos capacitores das células *Chopper*. Isso significa que as configurações estrela simples e delta para o *MMC* não são aplicáveis para o acionamento de motores industriais, mas são adequadas para o uso em *STATCOM* e Sistemas de Armazenamento de Energia (HAGIWARA; AKAGI, 2009).

3.1 Modelagem Matemática do Conversor *MMC*

A Figura 14 apresenta um inversor trifásico *DSCC* baseado na tecnologia *MMC* para aplicações em redes de serviço público. O lado CA do conversor é conectado à rede elétrica do

sistema de distribuição via indutor l enquanto o lado CC é conectado a uma fonte E , quando disponível (HAGIWARA; MAEDA; AKAGI, 2010b). Observe que para essa aplicação em sistemas elétricos de potência, o conversor age como retificador quando a potência ativa é positiva e como inversor quando a potência ativa é negativa. De forma similar, o conversor age como indutor quando a potência reativa é positiva e como capacitor quando a potência reativa é negativa.

Figura 14 – Conversor *MMC-DSCC*: (a) Circuito de potência; (b) Célula *Chopper PWM* bidirecional com capacitor flutuante



Cada fase do circuito consiste de um conjunto de 8 células *Chopper* bidirecional e dois indutores de amortecimento l . Cada célula consiste de um capacitor CC e duas chaves semicondutoras que formam um *Chopper* bidirecional. Em seguida são apresentadas as equações do conversor para a fase **a**, podendo-se replicar o raciocínio utilizado para obtenção das grandezas elétricas relacionadas às fases **b** e **c**.

Pela Lei de Kirchoff para tensão, pode-se apresentar a seguinte equação (HAGIWARA e AKAGI, 2008):

$$E = \sum_{j=1}^8 v_{aj} + l \frac{d}{dt} (i_{pa} + i_{na}), \quad (01)$$

onde E é uma fonte de tensão CC fictícia, v_{aj} é a tensão de saída de cada célula *Chopper*, l é o indutor de amortecimento e i_{pa} e i_{na} são as correntes dos braços positivo e negativo do conversor, respectivamente.

Considerando que o fluxo magnético produzido pelas componentes fundamentais de i_{pa} e i_{na} nos indutores de amortecimento l se cancelam, as seguintes equações são válidas:

$$E = E_+ + E_- , \quad (02)$$

$$E_+ = E_{a+} + v_a , \quad (03)$$

$$E_- = E_{a-} - v_a , \quad (04)$$

$$v_a = \frac{E_+ - E_-}{2} + \frac{E_{a-} - E_{a+}}{2} . \quad (05)$$

Como $E_+ = E_- = \frac{E}{2}$, então

$$v_a = \frac{E_{a-} - E_{a+}}{2} . \quad (06)$$

Ainda analisando a Figura 3.1, pode-se obter as Equações 07 e 08 envolvendo as correntes do inversor i_a , a corrente circulante i_{za} , e as correntes dos braços positivo e negativo, i_{pa} e i_{na} , respectivamente, conforme já descrito em (HAGIWARA; MAEDA; AKAGI, 2010b):

$$i_{za} = i_{pa} + \frac{i_a}{2} = i_{na} - \frac{i_a}{2}, \quad (07)$$

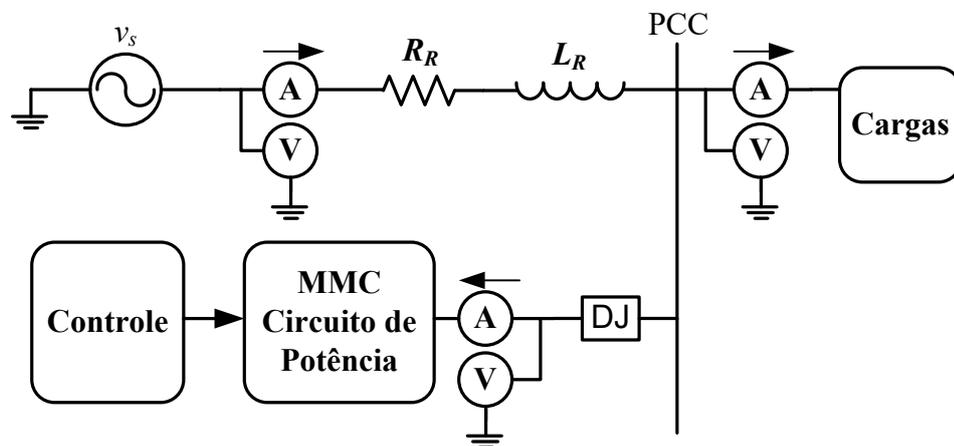
$$i_{za} = \frac{i_{pa} + i_{na}}{2} . \quad (08)$$

3.2 Projeto do Conversor *MMC-DSCC*

Aproveitando-se dos benefícios da topologia *MMC* que permite, a partir de uma estrutura modular, o desenvolvimento de conversores de maiores potências e em níveis de média e alta tensão, projetou-se um conversor *MMC-DSCC* de média tensão para funcionar como um *STATCOM*, controlando o nível de tensão no barramento de conexão, para validação da estratégia de controle da tensão nos capacitores do *MMC*.

Foi proposto um cenário inicial de uma rede de distribuição de média tensão trifásica constituída por cabos 336 *MCM* (*mil circular mil*), unidade de área, localizada a 10 km da subestação e para a qual foi instalada uma carga indutiva de 5 MVA - 13,8 kV - $\cos\phi = 0,866$. Uma linha com essas características possui capacidade de carga máxima de 10 MVA. Como o propósito inicial foi manter a tensão do barramento de conexão em 1,0 pu, o que exige do conversor mais potência, projetou-se, então, um conversor trifásico *MMC-DSCC* de 5 MVA - 13,8 kV, com oito módulos por fase. A Figura 15 apresenta o circuito básico.

Figura 15 – Circuito básico: rede elétrica, carga, *MMC* e sistema de controle



Com o objetivo de simular vários cenários de carga trifásica com e sem desequilíbrio, a carga de 5 MVA foi dividida em quatro cargas: três com 1,33 MVA e uma com 1 MVA.

Em seguida, é apresentada o Quadro 1, no qual é possível identificar os parâmetros de cada componente do sistema elétrico estudado.

Quadro 1 – Parâmetros do sistema elétrico simulado

Parâmetro	Símbolo	Especificação
Tensão nominal de linha (<i>RMS</i>)	v_s	13,8 kV
Parâmetros da rede de média tensão (10 km)	$Z(R_R/L_R)$	1,624 Ω / 7,85 mH
Potência nominal do conversor <i>MMC</i>	S	5 MVA
Indutor de acoplamento	l	5,10 mH (5%)
Tensão de referência do capacitor dos módulos	v_{cc}^*	6 kV
Capacitância do capacitor dos módulos	C	3,9 mF
Constante de unidade de capacitância	H	115 ms
Frequência de chaveamento para o <i>PWM</i>	f_c	1020 Hz
Valores base trifásico: 5 MVA - 13,8 kV – 60 Hz		

3.2.1 Especificação do Elo de Corrente Contínua

A tensão do elo de corrente contínua do conversor é calculada a partir da tensão de linha eficaz desejada para o sistema elétrico de potência, nesse caso, 13,8 kV. O cálculo deve considerar também o índice de modulação de amplitude. Pelo fato de se tratar de um conversor multinível, deve-se especificar o índice de modulação de amplitude de forma a garantir que este não seja muito baixo ao ponto de se perder níveis na tensão de saída do conversor. Igualmente importante é garantir que o índice de modulação não seja maior que a unidade, eliminando-se assim a sobre modulação e conseqüente aumento do índice de distorção harmônica total.

O uso da Equação 09 promove a obtenção da tensão E do elo de corrente contínua do conversor. Considerando $m_a = 1$ e tensão de linha de 13,8 kV, obtém-se o valor mínimo para E de 22,5 kV. Aplicando-se um fator de flexibilidade de 5%, obtém-se o valor de 23,6 kV que foi aproximado para $E = 24$ kV. É importante ressaltar que essa tensão E obtida não é aplicada fisicamente ao conversor, uma vez que o mesmo drena toda a energia ativa necessária para carregamento dos capacitores dos módulos do conversor *MMC* diretamente da fonte de corrente alternada, ou seja, do ponto de conexão comum (PCC).

$$E = \frac{2 * \sqrt{2} v_{mmc}}{\sqrt{3} * m_a}, \quad (09)$$

onde:

$\frac{\sqrt{2}}{\sqrt{3}} v_{mmc}$ = tensão de pico da fase do *MMC*;

m_a = índice de modulação de amplitude.

Com a tensão E calculada, pode-se calcular a tensão v_c dos capacitores dos módulos, através da Equação 10.

$$v_c = \frac{2 * E}{m}, \quad (10)$$

onde:

m = número de módulos por fase do conversor.

Definida a tensão nominal dos capacitores dos módulos do conversor *MMC*, é possível calcular sua capacitância através da Equação 11, obtendo-se uma capacitância de 3,9 mF.

$$C = \frac{2 * S * H}{m * v_c^2}, \quad (11)$$

onde:

C = capacitância do capacitor do módulo do conversor *MMC*;

S = potência aparente trifásica do conversor *MMC*;

H = constante de capacitância unitária definida como 115 ms (FUJITA; TOMINAGA; AKAGI, 1996) associada à constante de inércia de uma máquina rotativa síncrona. É também definida como a razão entre toda energia eletromagnética armazenada nos capacitores em relação à potência do conversor;

m = número de módulos por fase do conversor *MMC*;

v_c = tensão nominal do capacitor do módulo do conversor *MMC*.

A especificação do elo de corrente contínua determinou para os capacitores dos módulos de potência uma tensão de referência de 6 kV e uma capacitância de 3,9 mF.

3.2.2 Especificação do Indutor de Acoplamento e Amortecimento

Para realizar a conexão de duas fontes de tensão foi utilizado um indutor de acoplamento que também promove o amortecimento do chaveamento oriundo do conversor, permitindo a visualização de formas de onda mais próximas de uma senóide. Além de suportar as diferenças de tensão entre todas as células de cada fase do conversor esses indutores amortecedores podem também controlar e limitar a corrente circulante em cada fase (AKAGI, 2011). O indutor de acoplamento e amortecimento do conversor *MMC* é calculado considerando que o valor de sua impedância será de 5% da impedância base do conversor, conforme observações e testes realizados em simulações. A seleção adequada do indutor de acoplamento colabora para o estabelecimento de um limite das correntes circulantes i_p e i_n nos braços do conversor *MMC*. Assim, para o conversor *MMC* projetado, utilizou-se um indutor l de 5,10 mH, calculado pela Equação 12.

$$l = \frac{0,05 * Z_b}{2 * \pi * 60}, \quad (12)$$

onde:

Z_b = impedância base do conversor para tensão de 13,8 kV e potência de 5 MVA.

3.2.3 Especificação da Frequência de Chaveamento

A frequência final de chaveamento de um conversor *MMC* é função de sua topologia e da técnica de modulação escolhida. Para o caso do conversor *MMC* projetado, determinou-se a existência de oito módulos por fase e a técnica base de modulação *PS-PWM*. Dessa forma, a frequência final de chaveamento é de oito vezes a frequência base da portadora triangular. Esse método de modulação permite obter sinais de saída com maiores frequências de chaveamento, o que representa menor distorção harmônica com o benefício de menores perdas por chaveamento quando comparado à modulação *LS-PWM*. Esta modulação, para apresentar o mesmo resultado que a *PS-PWM*, em termos de distorção harmônica, deve ter uma frequência de chaveamento oito vezes maior.

Algumas técnicas são utilizadas para proporcionar à tensão de saída de um conversor

tradicional um maior nível de qualidade no formato da onda. Essas técnicas de escolha da frequência de chaveamento também foram consideradas para o conversor *MMC*. Para eliminação de harmônicos pares, por exemplo, o índice de modulação de frequência - m_f do conversor *MMC* deve ser ímpar. Com um índice m_f de valor inteiro, evita-se o aparecimento de inter harmônicos. Pelo fato de o conversor *MMC* apresentar sempre um número par de módulos, não é possível trabalhar com índice de modulação de frequência ímpar sem evitar uma frequência fracionada para as portadoras triangulares. Assim, a frequência de 1020 Hz foi definida para as portadoras triangulares, que equivale a uma frequência final de 8160 Hz e índice de modulação de frequência de 136, para um conversor *MMC* com oito módulos por fase.

4 CONTROLADORES DO CONVERSOR *MMC*

O conversor *MMC* tem papel relevante nas aplicações de média e alta tensão e seu estudo tem crescido, aumentando o número de soluções com a implementação de novas técnicas para o controle das tensões dos capacitores dos módulos de potência, que é uma variável relevante do sistema.

Várias são as soluções apresentadas como resultado dessas pesquisas. Algumas com foco no controle da corrente circulante i_z , como apresentado em (ILVES et al., 2012; SHE; HUANG, 2012; SHE et al., 2012; MOON et al., 2015), outras com o objetivo de controlar as tensões dos capacitores através de um conjunto de controles simultâneos: controle individual e pela média das tensões dos capacitores e controle do equilíbrio de tensão entre os braços positivo e negativo do conversor, conforme apresentado em (AKAGI; INOUE; YOSHII, 2007; HAGIWARA; AKAGI, 2008, 2009; HAGIWARA; MAEDA; AKAGI, 2010a, b, 2011a; LIZANA; PEREZ; RODRIGUEZ, 2012; FAN et al., 2015). Outras técnicas combinaram o controle da corrente circulante com o controle de equilíbrio das tensões (HAGIWARA; MAEDA; AKAGI, 2011b, 2012; LIZANA et al., 2012; LUNA; JACOBINA; OLIVEIRA, 2013). Entre essas técnicas, quase a sua totalidade necessita da medição das correntes i_p e i_n dos braços do conversor para a implementação de seus controles.

Há ainda outras técnicas que utilizam para o controle da tensão dos capacitores soluções baseadas em algoritmo preditivo (PEREZ et al., 2012), estimação de energia armazenada nos braços do conversor (ANGQUIST et al., 2011), controle pela análise do fluxo de potência (DU; LIU, 2013; FUJITA; HAGIWARA; AKAGI, 2015), entre outras técnicas (DU; LIU, J.; LIU, T., 2015).

Representando um grupo diferente, onde o objetivo de controle das tensões dos capacitores passa, de forma direta ou indireta, pela alteração das técnicas de modulação, estão trabalhos como (KAMMERER; KOLB; BRAUN, 2011; CARVALHO, 2014; DENG; CHEN, 2014, 2015a, b; DEKKA; WU; ZARGARI, 2016; DEKKA et al., 2016). É nesse grupo que esta tese de doutorado se enquadra.

O conversor *MMC*, quando operando como *STATCOM*, possui duas etapas de

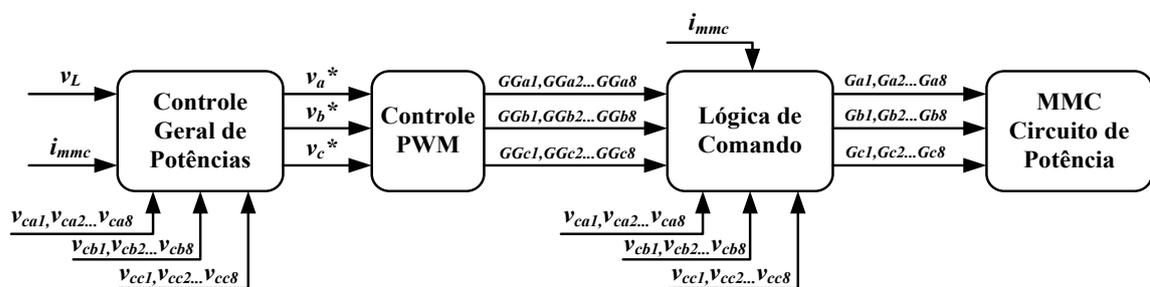
controladores: uma para controlar o nível de tensão do PCC (CAMPINHOS, 2009) e outra para controlar o nível de tensão dos capacitores dos módulos do conversor.

A primeira etapa de controle é responsável pelo controle geral de potência do conversor, determinando a quantidade de potência reativa a ser fornecida ou absorvida para o controle do nível de tensão no PCC e a quantidade de potência ativa a ser drenada da rede de média tensão para o efetivo controle da tensão dos capacitores dos módulos do conversor.

A segunda etapa de controle é constituída de uma lógica que determina quais módulos do conversor serão selecionados para entrar ou sair de operação em função de seus níveis instantâneos de tensão, alterando o padrão *PS-PWM* de comutação mas não a forma de onda final do conversor.

Na Figura 16 é possível observar o sistema de controle completo do conversor *MMC*. As variáveis presentes nessa figura serão claramente definidas nas próximas seções.

Figura 16 – Sistema de controle do conversor *MMC*



4.1 Controle Geral de Potência

Conforme comentado, o controle geral de potência é dividido também em duas partes, uma para cálculo da potência reativa e outra para o cálculo da potência ativa. Inicialmente todos os sinais medidos são colocados na base de sistema, 5 MVA - 13,8 kV - 209 A, sendo representados em pu. Os sinais de corrente do conversor e de tensão medidos no PCC passam por uma transformação do referencial **abc** para o referencial **$\alpha\beta$** , através da transformada de Clarke simplificada para sistemas trifásicos a três fios, conforme apresentado pelas Equações 13 e 14, respectivamente. Todas as tensões e correntes do referencial **abc** deverão estar em pu

com amplitude unitária para que no referencial $\alpha\beta$ tenham também amplitude unitária.

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{2\sqrt{3}}{3} \begin{bmatrix} 1 & \frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} \quad (13)$$

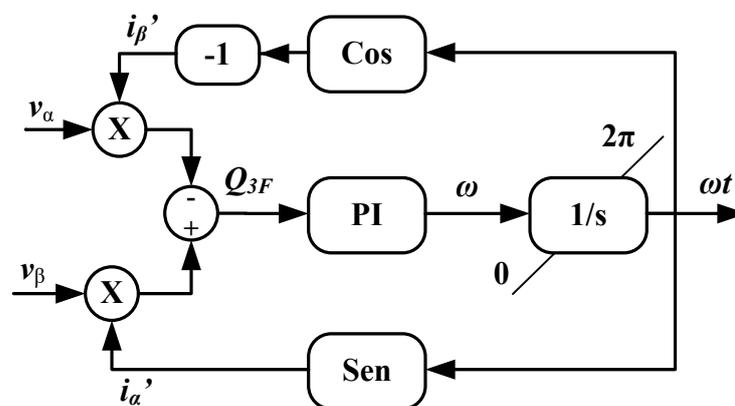
$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \frac{2\sqrt{3}}{3} \begin{bmatrix} \frac{\sqrt{3}}{2} & 0 \\ -\frac{1}{2} & -1 \end{bmatrix} \cdot \begin{bmatrix} i_a \\ i_c \end{bmatrix} \quad (14)$$

A Equação 15 é utilizada para a transformação inversa e também fornece valores unitários de pico, em pu. As mesmas equações são válidas para as correntes elétricas, bastando apenas substituir as tensões pelas correntes.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (15)$$

Em seguida, os sinais de tensão passam por um *Phase Locked Loop (PLL)* para a detecção da fase e frequência de sequência positiva da tensão de entrada. A Figura 17 apresenta este *PLL*.

Figura 17 – *PLL* com base na Teoria de Potência Instantânea

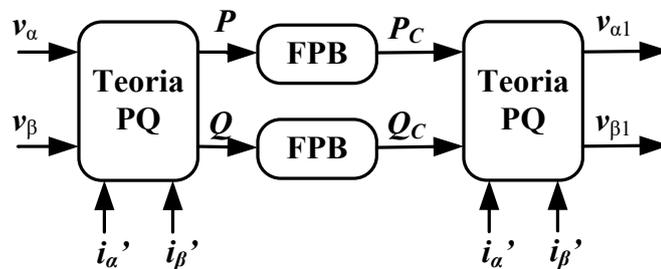


Os sinais i_{β}' e i_{α}' , sinais fictícios do *PLL*, são utilizados pela próxima etapa de tratamento do sinal de tensão, que é o detector de amplitude.

O detector de sequência positiva, composto pelo *PLL* e pelo detector de amplitude, é utilizado com o objetivo de se extrair a componente fundamental de sequência positiva do sinal trifásico de entrada que é a tensão medida no PCC. Assim, como o *PLL* detecta apenas a componente fundamental de sequência positiva, frequência e fase do sinal trifásico de entrada, cabe ao detector de amplitude complementar com a informação necessária para obtenção do sinal perfeitamente senoidal que será enviado ao sistema de controle.

A Figura 18 apresenta o detector de amplitude de sequência positiva. Nela pode-se observar o cálculo das potências fictícias P_C e Q_C , utilizadas apenas para auxiliar na obtenção dos sinais de sequência positiva $v_{\alpha 1}$ e $v_{\beta 1}$ que representam o objetivo final desta etapa. Essas potências foram obtidas excluindo-se as parcelas oscilantes de P e Q , que representam os componentes de sequência negativa e harmônicos.

Figura 18 – Detector de amplitude de sequência positiva



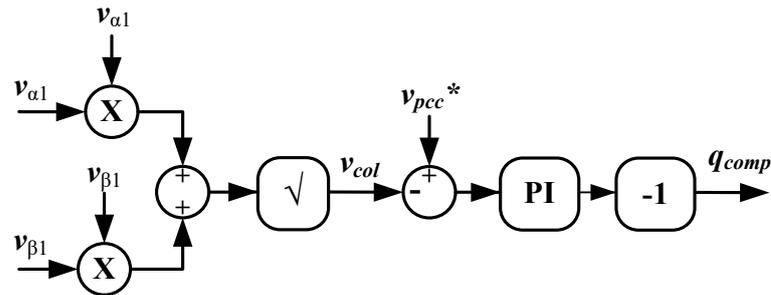
O detector de sequência positiva está baseado na teoria de potência instantânea e utiliza as Equações 16 e 17, para um sistema a três fios, para o cálculo das potências P e Q e das tensões de sequência positiva $v_{\alpha 1}$ e $v_{\beta 1}$.

$$\begin{bmatrix} P \\ Q \end{bmatrix} = \begin{bmatrix} v_{\alpha} & v_{\beta} \\ v_{\beta} & -v_{\alpha} \end{bmatrix} \cdot \begin{bmatrix} i_{\alpha}' \\ i_{\beta}' \end{bmatrix} \quad (16)$$

$$\begin{bmatrix} v_{\alpha 1} \\ v_{\beta 1} \end{bmatrix} = \frac{1}{i_{\alpha}^2 + i_{\beta}^2} \cdot \begin{bmatrix} i_{\alpha}' & -i_{\beta}' \\ i_{\beta}' & i_{\alpha}' \end{bmatrix} \cdot \begin{bmatrix} P_C \\ Q_C \end{bmatrix} \quad (17)$$

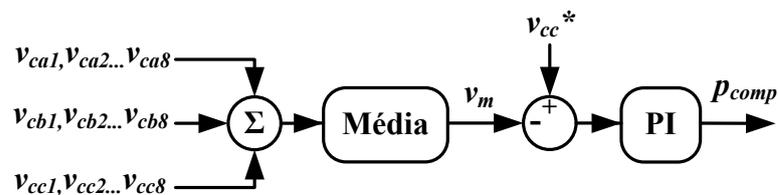
Então, após a obtenção das tensões de sequência positiva do ponto de conexão, calcula-se a potência reativa trifásica q_{comp} a partir do valor coletivo de tensão v_{col} para que o *STATCOM* mantenha a tensão do PCC em sua tensão de referência v_{pcc}^* , no caso 1,0 pu. A Figura 19 apresenta o diagrama de controle para a potência reativa.

Figura 19 – Controle de potência reativa



O cálculo da potência ativa p_{comp} necessária para manter os capacitores dos módulos de potência com seu valor de referência v_{cc}^* é realizado considerando o valor médio da tensão de todos os capacitores do conversor *MMC*, v_m . A Figura 20 apresenta o controle trifásico da potência ativa.

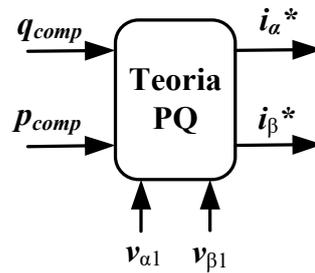
Figura 20 – Controle de potência ativa



A partir do cálculo das potências ativa e reativa de compensação, p_{Comp} e q_{Comp} , respectivamente, e das tensões obtidas pelo detector de sequência positiva, faz-se uso novamente da teoria de potência instantânea para o cálculo das correntes de referência i_α^* e i_β^* para o conversor *MMC*, através da Equação 18. A Figura 21 apresenta esta etapa.

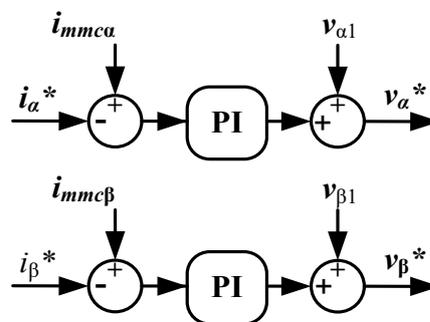
$$\begin{bmatrix} i_\alpha^* \\ i_\beta^* \end{bmatrix} = \frac{1}{v_{\alpha 1}^2 + v_{\beta 1}^2} \cdot \begin{bmatrix} v_{\alpha 1} & v_{\beta 1} \\ v_{\beta 1} & -v_{\alpha 1} \end{bmatrix} \cdot \begin{bmatrix} p_{comp} \\ q_{comp} \end{bmatrix} \quad (18)$$

Figura 21 – Obtenção das correntes de referência nas coordenadas $\alpha\beta$



Calculadas as correntes de referência i_{α}^* e i_{β}^* para o conversor *MMC*, compara-se estas com as correntes reais do conversor $i_{mmc\alpha}$ e $i_{mmc\beta}$, e o erro é então passado por um controlador PI para geração das tensões de referência v_{α}^* e v_{β}^* . Estas tensões são enviadas à etapa de modulação *PWM* para obtenção dos pulsos para as chaves semicondutoras. A Figura 22 apresenta a malha de corrente utilizada para geração das tensões finais de referência que são transformadas novamente para o referencial **abc**, através da Equação 15, antes de serem enviadas à etapa de modulação.

Figura 22 – Malha de corrente



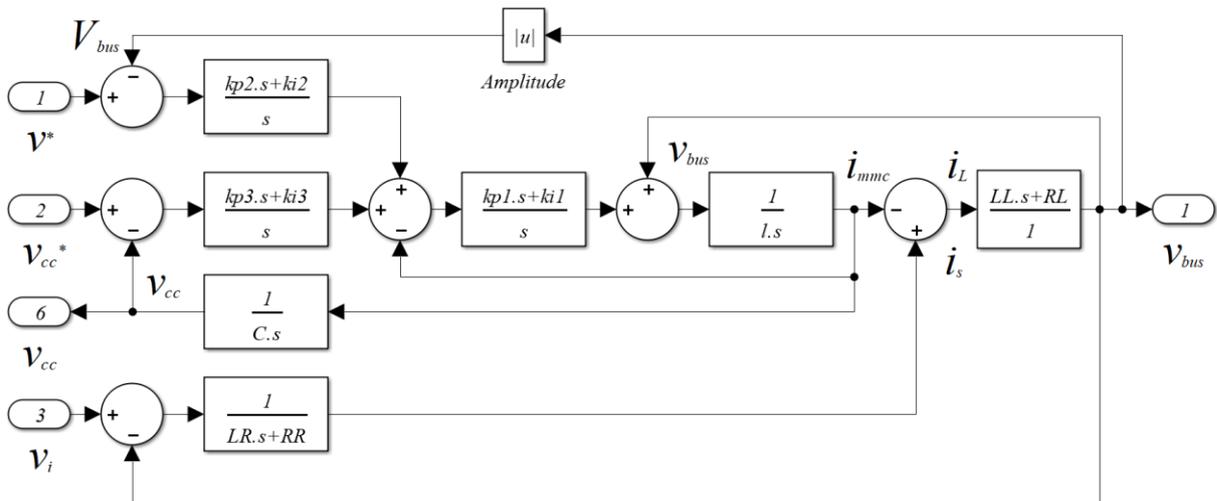
Os sinais de referência, já nas coordenadas **abc**, são enviados para o bloco de controle da modulação. A técnica de modulação empregada é a modulação *PS-PWM*. Como o conversor *MMC* possui oito módulos por fase, são geradas oito portadoras triangulares defasadas de 45° , que corresponde a 360° divididos pelos oito módulos. Essas portadoras triangulares são comparadas com o sinal de tensão de referência senoidal, gerando o sinal de *gate* para os dispositivos semicondutores do conversor. Na implementação da técnica de controle proposta nesta tese esses sinais de saída do bloco *PWM* não serão direcionados para os dispositivos semicondutores. Esses sinais irão compor um vetor de entrada com a informação da quantidade de módulos que devem entrar em operação, seja para serem carregados ou descarregados

eletricamente. A técnica desenvolvida para controle das tensões dos capacitores é apresentada na próxima seção.

4.1.1 Modelo para o projeto dos controladores

O modelo do sistema para o projeto dos controladores é apresentado na Figura 23. O modelo é constituído pelo conversor MMC, rede de distribuição e controladores. O sistema possui como entradas de controle a referência de tensão para o barramento de carga v^* e a referência de tensão para os capacitores v_c^* , ambas as referências valores do tipo contínuo. Como saídas temos a tensão terminal v_{bus} ou tensão do barramento de carga e a tensão nos capacitores v_c . A tensão V_{bus} corresponde ao valor de pico da tensão do barramento, v_{bus} . RR e LR representam os parâmetros da rede de distribuição e RL e LL os parâmetros da carga.

Figura 23 – Modelo para o projeto dos controladores



O projeto dos controladores, que corresponde à obtenção dos ganhos proporcional e integral, pode ser efetuado utilizando a técnica do lugar das raízes (DORF; BISHOP, 2009; OGATA, 2006; NUNES, 2011).

Os ganhos dos controladores PI utilizados são apresentados no Quadro 2.

Quadro 2 – Parâmetros dos controladores PI simulados

Subsistema	Ganho proporcional		Ganho integral	
	Malha de corrente	k_{p1}	1	k_{i1}
Controle de potência reativa	k_{p2}	0,5	k_{i2}	0,001
Controle de potência ativa	k_{p3}	100	k_{i3}	0,01
Tempo de integração (time step) = 5 μ s				

4.2 Controle das Tensões dos Capacitores

Observa-se nos trabalhos estudados que as técnicas de controle são implementadas preferencialmente em *software*, em detrimento do uso de *hardware* para o controle da tensão nos capacitores dos módulos de um conversor MMC. O usual é efetuar o controle em um processador digital de sinais, *Digital Signal Processing (DSP)*, e o acionamento através de um *drive* de potência.

A técnica desenvolvida nesta tese de doutorado permite que parte ou todo o controle de chaveamento do conversor seja implementado diretamente em um *Field Programmable Gate Array (FPGA)*, o que representa ganhos como velocidade de processamento pelo fato da implementação ser em *hardware* e redução de esforço computacional. O esforço computacional está associado à potência do conversor e ao seu nível de tensão de saída, pois quanto maior o número de módulos, maior será a quantidade de variáveis medidas e analisadas pelo microcontrolador, principalmente se a solução empregada para controle da tensão dos capacitores envolver controladores PI.

Para se realizar o controle efetivo do conversor MMC são necessárias, além de uma estratégia de modulação, medições de tensão e corrente do sistema formado pelo ponto de conexão e o próprio conversor. Como regra geral são medidas as tensões e correntes do ponto de conexão do conversor à rede elétrica, todas as tensões dos capacitores nas três fases do conversor bem como todas as correntes dos braços positivo e negativo do conversor.

Assim, grande parte dos trabalhos estudados utiliza seis medições de corrente internas ao conversor (i_{pa} , i_{na} , i_{pb} , i_{nb} , i_{pc} e i_{nc}), ou seja, mede-se as correntes dos braços positivos e

negativos de cada fase do conversor *MMC* que possui a configuração dupla estrela, *DSCC*. Esta tese propõe um controle que necessita apenas das correntes das fases do conversor (i_{mmca} , i_{mmcb} e i_{mmcc}), dispensando as outras seis correntes medidas nos braços positivo e negativo do mesmo.

Como já citado, vários trabalhos fazem o controle do equilíbrio das tensões dos capacitores controlando a corrente circulante do conversor que é calculada como uma função das correntes dos braços. Sabe-se que as correntes circulantes não são exatamente simétricas entre si e são compostas por harmônicos sendo o segundo harmônico o predominante (ROHNER; WEBER; BERNET, 2011). A componente de alta frequência da corrente circulante está relacionada à frequência de chaveamento e ao número de módulos em cascata, podendo ser filtrada aumentando-se o valor dos indutores dos braços do conversor. A corrente circulante típica do conversor *MMC*, que está diretamente relacionada à conversão de potência ativa e seu nível de tensão do barramento CC, distorce as correntes dos braços e aumenta a corrente nominal dos dispositivos de potência (YANG et al., 2011). É importante observar que a corrente circulante é gerada mesmo quando se substitui os capacitores por fontes de tensão CC, pois ela é tão dependente da estratégia de controle e modulação quanto do ponto de operação do conversor, não dependendo das tensões dos capacitores (ROHNER et al., 2010).

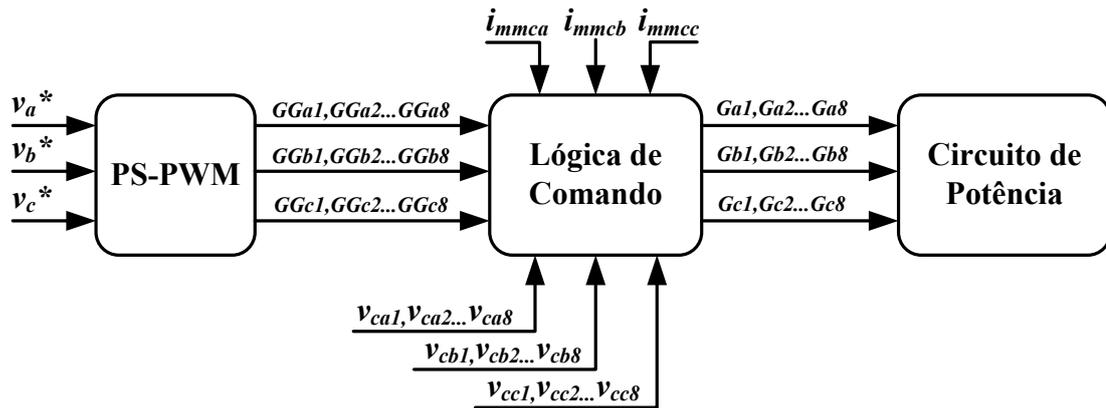
Outros resultados também apontam que o equilíbrio da tensão dos módulos do conversor *MMC* não se garante apenas com a modulação *PWM*, sendo necessário alterar o padrão de chaveamento baseado no nível de tensão, na tensão dos capacitores e na corrente do braço do conversor (DEKKA et al., 2016).

O resultado final de equilíbrio da tensão dos capacitores dos módulos do conversor *MMC* não se resume a apenas uma ação, mas a um projeto. A técnica desenvolvida utiliza o padrão de modulação *PS-PWM* para gerar um vetor de variáveis de entrada cujo tamanho dependerá da quantidade de módulos do conversor. Adicionalmente, constituem variáveis de entrada para o conversor *MMC* as tensões de fase do PCC e as correntes de fase do próprio conversor.

A topologia *DSCC*, uma topologia multinível dupla estrela, é composta em si por dois conversores, um representado pelos módulos superiores ou positivos e outro pelos módulos inferiores ou negativos. Assim, de forma a deixar o controle mais simples, esses conversores são controlados de forma independente, ou seja, o acionamento dos módulos superiores, por

exemplo, depende apenas das tensões dos próprios módulos, da corrente do conversor *MMC* e do vetor de saída gerado pela modulação *PWM*. Essas são as informações utilizadas para definir qual ou quais módulos de potência são acionados. A Figura 24 apresenta o diagrama da lógica utilizada para manutenção das tensões dos capacitores dos módulos do conversor *MMC*.

Figura 24 – Diagrama da lógica de comando dos dispositivos semicondutores



As tensões de referência v_a^* , v_b^* e v_c^* , são obtidas do controle geral de potências. Os sinais de saída do módulo *PS-PWM* (GG_{am} , GG_{bm} e GG_{cm}) servem apenas para indicar a quantidade de módulos necessários para que o conversor *MMC* atenda aos requisitos de tensão do PCC e dos capacitores dos próprios módulos. As correntes do conversor i_{mmca} , $i_{mmc b}$ e $i_{mmc c}$ são utilizadas para indicar à lógica de comando o sentido da corrente elétrica, e as tensões medidas dos capacitores (v_{cax} , v_{cbx} e v_{ccx}) são utilizadas para se identificar os capacitores com maiores e menores tensões a fim de determinar quais entrarão em operação.

A lógica de comando desenvolvida utiliza a álgebra booleana. Sendo assim, a definição do sentido da corrente do conversor *MMC*, a identificação dos capacitores com maiores ou menores tensões bem como a quantidade de módulos que devem entrar ou sair de operação são definidos instantaneamente pela lógica. Esta definição é feita, no mínimo, na velocidade da portadora triangular e são representados por zeros e uns. Analisando em detalhe, dependendo da velocidade de carregamento ou descarregamento do capacitor de determinado módulo, pode-se perceber que a mudança, entrada ou saída, entre os módulos acionados pode mudar na velocidade limite de amostragem do sistema.

As correntes do conversor, por exemplo, são comparadas com zero. Quando a corrente

for maior do que zero, é gerado um sinal binário de valor igual a 1 para a variável i , caso contrário o sinal gerado é igual a zero.

Os sinais de *gate* enviados pelo bloco *PWM* são da mesma forma representados. Se o módulo 1 é acionado pelo bloco *PWM*, significa que o sinal de *gate* GGx_1 é igual ao sinal binário de valor 1.

As tensões dos capacitores são tratadas um pouco diferente, pois são comparadas parcialmente entre si. O *bit* de v_{c12} , por exemplo, é igual a 1 quando a tensão do capacitor do módulo 1 for maior do que a tensão do módulo 2. O mesmo raciocínio deve ser utilizado para os *bits* v_{c23} , v_{c34} e v_{c41} . Dessa forma, se estabelece instantaneamente as tensões maiores e menores dos capacitores (v_{c1} , v_{c2} , v_{c3} e v_{c4}) dos módulos superiores, assim como quais módulos (M_1 , M_2 , M_3 ou M_4) de potência devem ser acionados.

A Tabela 1 apresenta uma parte da tabela verdade para os módulos superiores do conversor *MMC*.

Tabela 1 – Tabela verdade parcial dos módulos superiores do conversor

i_{mmc}	GG_1	GG_2	GG_3	GG_4	v_{c41}	v_{c34}	v_{c23}	v_{c12}	M_1	M_2	M_3	M_4
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	0	0	1	0	1	0	1		1		
1	0	0	0	1	0	1	1	0			1	
1	0	0	0	1	0	1	1	1				1
1	0	0	0	1	1	0	0	0	1			
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	0	1	1	0	1	0	1	1		1	
1	0	0	1	1	0	1	1	0	1			1
1	0	0	1	1	0	1	1	1	1	1		
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	1	1	1	0	0	0	1	1	1	1	
:	:	:	:	:	:	:	:	:	:	:	:	:
1	1	0	1	0	0	1	0	0		1	1	
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	0	1	0	1	0	1			1	
0	0	0	0	1	0	1	1	0	1			
0	0	0	0	1	0	1	1	1	1			
0	0	0	0	1	1	0	0	0				1
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	1	1	1	0	0	0	1	1		
0	0	0	1	1	1	0	0	1	1			1
0	0	0	1	1	1	0	1	0	1		1	
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	1	1	1	0	1	0	1	1	1		1
0	0	1	1	1	0	1	1	0		1	1	1
0	0	1	1	1	0	1	1	1		1	1	1
:	:	:	:	:	:	:	:	:	:	:	:	:

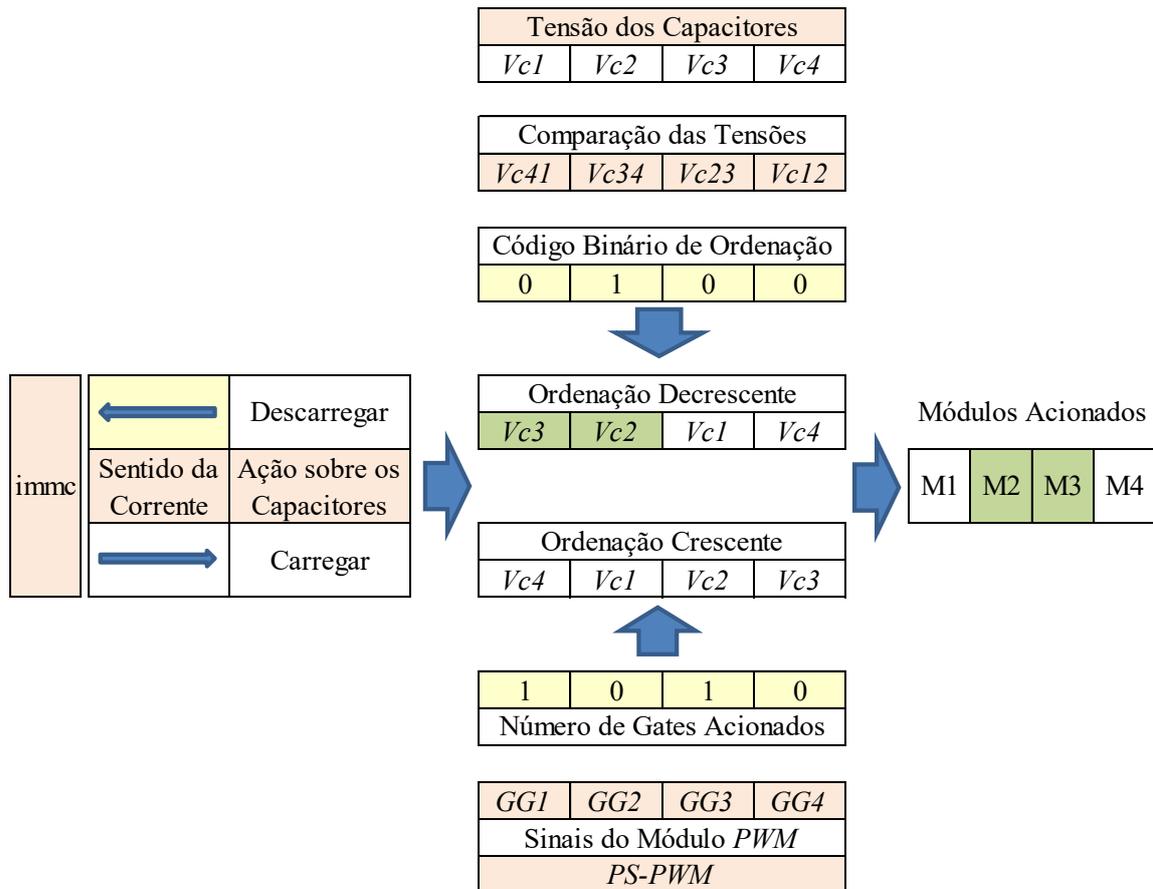
De forma semelhante, o conversor formado pelos módulos inferiores é controlado. A Tabela 2 apresenta uma parte da tabela verdade para os módulos inferiores do conversor *MMC*. Os sinais de saída do bloco *PWM* ($GG_5 \dots GG_8$), os sinais de comparação das tensões dos capacitores (v_{c56} , v_{c67} , v_{c78} e v_{c85}), as tensões dos capacitores (v_{c5} , v_{c6} , v_{c7} e v_{c8}) e as correntes do conversor i determinarão quais módulos de potência do conversor inferior (M_5 , M_6 , M_7 ou M_8), da configuração dupla estrela, serão acionados.

Tabela 2 – Tabela verdade parcial dos módulos inferiores do conversor

i_{mmc}	GG_5	GG_6	GG_7	GG_8	v_{c85}	v_{c78}	v_{c67}	v_{c56}	M_5	M_6	M_7	M_8
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	0	0	1	0	1	1	0	1			
1	0	0	0	1	0	1	1	1	1			
1	0	0	0	1	1	0	0	0				1
1	0	0	0	1	1	0	0	1			1	
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	0	1	1	0	0	0	0	1	1		
1	0	0	1	1	0	0	0	1		1	1	
1	0	0	1	1	0	0	1	0	1	1		
:	:	:	:	:	:	:	:	:	:	:	:	:
1	0	1	1	1	1	1	0	0	1		1	1
1	0	1	1	1	1	1	0	1	1		1	1
1	0	1	1	1	1	1	1	0	1	1		1
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	0	1	0	1	0	1		1		
0	0	0	0	1	0	1	1	0			1	
0	0	0	0	1	0	1	1	1				1
0	0	0	0	1	1	0	0	0	1			
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	0	1	1	1	0	1	0	1		1	
0	0	0	1	1	1	0	1	1	1			1
0	0	0	1	1	1	1	0	0	1	1		
:	:	:	:	:	:	:	:	:	:	:	:	:
0	0	1	1	1	0	0	0	0		1	1	1
0	0	1	1	1	0	0	0	1	1	1		1
0	0	1	1	1	0	0	1	0	1		1	1
:	:	:	:	:	:	:	:	:	:	:	:	:

A Figura 25 apresenta um exemplo de aplicação da lógica de comando para uma linha da Tabela 1, destacada em negrito. Supondo que a comparação entre as tensões dos capacitores gere o código binário de ordenação 0100. Este código indica a ordem de acionamento dos módulos para os dois tipos de ações possíveis, carga (ordenação crescente) e descarga (ordenação decrescente) dos capacitores. O sentido da corrente é que determinará qual das duas ordenações será utilizada, no caso o sentido decrescente, pois a corrente do *MMC* igual a 1 significa descarregar os capacitores dos módulos superiores. O módulo *PWM* indica quantos módulos devem entrar em operação para que a tensão de referência seja empregada nos terminais do *MMC*, indicando que os módulos 1 e 3 deveriam ser acionados. Então, a lógica de comando, em função dos parâmetros analisados, decide que os módulos 2 e 3 serão acionados, garantindo que as tensões nos capacitores permaneçam equilibradas.

Figura 25 – Exemplo de ação da lógica de comando para os módulos superiores



O desenvolvimento da lógica de controle para o módulo 1 é apresentado em detalhes no APÊNDICE A, que inclui dados para o desenvolvimento da lógica para os demais módulos de potência do conversor *MMC*.

Os resultados das simulações estão apresentados no Capítulo 5.

4.3 Avaliação do Algoritmo de Controle da Tensão dos Capacitores

O algoritmo de controle do chaveamento possui a vantagem de poder ser integralmente implementado em *hardware* utilizando-se um arranjo de portas lógicas programáveis, *FPGA*. Isso demonstra a simplicidade e rapidez com que os dados são tratados para que se escolha os módulos de potência que serão ligados ou desligados.

A técnica dispensa as medições de corrente dos braços do conversor, utilizando-se

somente das correntes de fase, o que representa redução de custo e menores esforços computacionais, uma vez que se reduz três parâmetros para medir e tratar.

O controle geral de potência gera apenas um sinal de referência de tensão por fase para todos os módulos do conversor *MMC*. Esse sinal de referência de tensão é aplicado igualmente a todos os módulos comparadores do bloco *PS-PWM*, o que é uma vantagem comparado a outras técnicas que utilizam um sinal de referência distinto para cada módulo de potência. Assim, o uso da lógica de chaveamento proposta colabora para reduzir o uso de controladores PI a apenas aqueles necessários ao controle geral de potência, diminuindo substancialmente o esforço computacional, além de simplificar o controle das chaves semicondutoras.

O processo de definição dos capacitores com maiores ou menores tensões ocorre no próprio *FPGA* de forma instantânea e simplificada, utilizando a menor quantidade possível de avaliações entre as tensões. Para se definir com alta precisão os capacitores com maiores tensões, entre quatro capacitores, por exemplo, seriam necessárias seis comparações entre eles, enquanto que a técnica apresentada trabalha com quatro comparações, com o objetivo claro de reduzir o número de variáveis ou *bits* da tabela verdade.

A técnica proposta para o controle da tensão nos capacitores também não se preocupa em controlar a corrente circulante do conversor *MMC*, ficando a limitação desta a cargo do projeto global do conversor.

Com a independência entre o controle geral de potência e o controle da tensão dos capacitores através da lógica de chaveamento, pode-se multiplicar o projeto do conversor *MMC* para diferentes números de módulos e níveis de tensão, mantendo-se as regras de cálculo e dimensionamento dos indutores e capacitores do conversor.

Os resultados das simulações de vários cenários são apresentados no próximo capítulo.

5 RESULTADOS DAS SIMULAÇÕES

O projeto do conversor *MMC* deve atender a duas especificações iniciais: controlar o nível de tensão no barramento de conexão ou carga, atuando como um *STATCOM*, e controlar o nível de tensão dos capacitores de cada módulo de potência, validando a estratégia de controle proposta nesta tese. Como já visto no capítulo 3, o conversor *MMC* é trifásico a três fios e a energia necessária para manutenção das tensões dos capacitores é obtida da rede elétrica de distribuição, através do ponto de conexão.

O conversor *MMC*, conforme projetado, tem as seguintes especificações: Conversor trifásico na configuração dupla estrela, com 8 módulos por fase, na configuração *Chopper*, capacidade nominal de 5 MVA - 13,8 kV - 60 Hz. A tensão nominal para os capacitores dos módulos de potência é de 6 kV.

A rede de distribuição, como já informado, trata-se de uma rede aérea de 10 km de extensão em cabos 336 *MCM* cuja capacidade nominal é de 453 A. A tensão nominal é de 13,8 kV. O Quadro 3 resume os parâmetros do conversor e da rede de média tensão.

Quadro 3 – Parâmetros do conversor e da rede de média tensão

Parâmetro	Símbolo	Especificação
Tensão nominal de linha (<i>RMS</i>)	v_s	13,8 kV
Parâmetros da rede de média tensão (10 km)	$Z(R_R/L_R)$	1,624 Ω / 7,85 mH
Potência nominal do conversor <i>MMC</i>	S	5 MVA
Indutor de acoplamento	l	5,10 mH (5%)
Tensão de referência do capacitor dos módulos	v_{cc}^*	6 kV
Capacitância do capacitor dos módulos	C	3,9 mF
Constante de unidade de capacitância	H	115 ms
Frequência de chaveamento para o <i>PWM</i>	f_c	1020 Hz
Valores base trifásico: 5 MVA - 13,8 kV – 209,18 A – 60 Hz		

Com o objetivo de verificar o desempenho dos controladores de potência e tensão do

conversor *MMC*, vários cenários são apresentados variando-se parâmetros como o tipo de carga, a tensão de referência do PCC, a tensão de referência dos capacitores dos módulos, entre outros, conforme apresentado resumidamente no Quadro 4.

Quadro 4 – Cenários para testes do conversor *MMC*

Seção	Característica	Carga					
		Tipo			Potência	Cos ϕ	
5.1	Carga pesada	RL	Pesada	Equilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.2	Carga desequilibrada	RL	Pesada	Desequilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.3	Carga leve	RL	Leve	Equilibrada	1,33 MVA (1,155+j0,667)	0,866	Indutiva
5.4	Carga capacitiva	RLC	Pesada	Equilibrada	5 MVA (4,60-j1,96)	0,92	Capacitiva
5.5	Carga capacitiva e $v_{pcc}^* = 1,05$ pu	RLC	Pesada	Equilibrada	5 MVA (4,60-j1,96)	0,92	Capacitiva
5.6	Variação de v_{pcc}^*	RL	Pesada	Equilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.7	Variação de v_{cc}^*	RL	Pesada	Equilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.8.1	Teste de longa duração	RL	Pesada	Equilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.8.2	Teste de Liga/Desliga Lógica	RL	Pesada	Equilibrada	5 MVA (4,33+j2,5)	0,866	Indutiva
5.9	Modelo de Baixa Tensão	RL	Pesada	Equilibrada	5 kVA (4,33+j2,5)	0,866	Indutiva

Para completa compreensão dos resultados, estes são apresentados em seções, conforme adiantado pelo Quadro 3, com focos específicos para avaliar as duas especificações principais do projeto do conversor. As primeiras seções, 5.1 a 5.5, compõem um conjunto de simulações que apresentam o resultado geral do conversor *MMC* atuando como *STATCOM* e demonstrando sua capacidade de controlar os níveis de tensão dos capacitores dos módulos de potência para cargas capacitivas e indutivas, equilibradas e desequilibradas.

Em seguida, na seção 5.6, é avaliada a performance do controle para atuação como *STATCOM*, variando-se a tensão de referência do ponto de conexão. Na seção 5.7 avalia-se a capacidade do algoritmo desenvolvido em controlar as tensões dos capacitores, quando varia-se o valor da sua tensão nominal de referência.

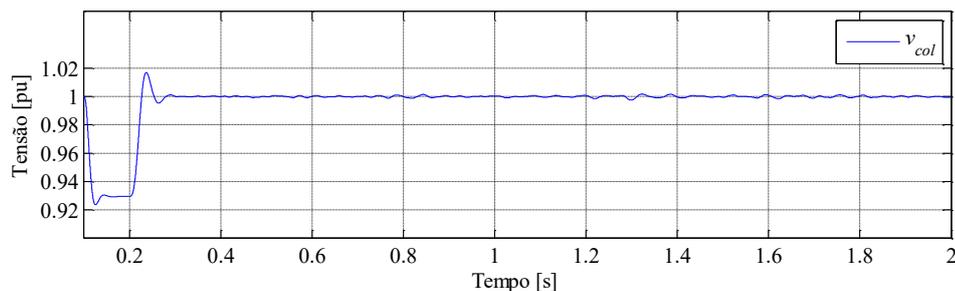
Alguns testes denominados de Testes de Consistência são realizados na seção 5.8. O primeiro deles é um teste de longa duração e o segundo é o teste de desempenho do conversor com a lógica de comando das chaves semicondutoras desligada. Esses testes visam evidenciar a ação adequada da lógica proposta para o comando dos dispositivos semicondutores. Por último, são apresentados os resultados de simulação para um modelo de baixa tensão na seção 5.9.

5.1 Carga Pesada

O primeiro cenário simulado é para uma carga RL de 5 MVA -13,8 kV – $\cos\phi = 0,866$ indutivo. A tensão da fonte do sistema de distribuição foi ajustada para 1,0 pu. Essa simulação, assim como outras que são apresentadas, possui tempo de duração de dois segundos para que seja possível observar claramente as variações que ocorrem nas tensões dos capacitores dos módulos bem como a tensão no ponto de conexão. A carga é considerada pesada em função da demanda ser igual à capacidade do conversor e relevante perante à capacidade da linha de distribuição.

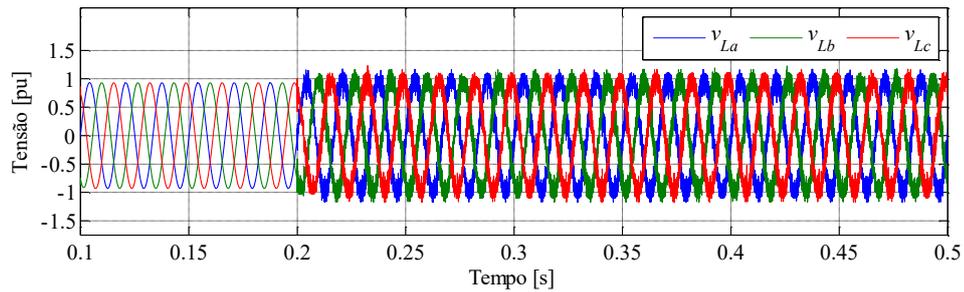
No início, o sistema é ligado sem carga e a tensão do PCC é igual a 1,0 pu. Em 0,1 s a carga é inserida no sistema. Dessa forma, a tensão no ponto de conexão antes de o conversor *MMC* entrar em operação é aproximadamente 0,93 pu. Com isso, o conversor *MMC* opera como capacitor para complementar a potência reativa necessária para se alcançar o valor de referência definido para o barramento de conexão, que é 1,0 pu. Após o conversor *MMC* entrar em operação em 0,2 s, o valor coletivo da tensão do ponto de conexão passa para 1,0 pu, conforme demonstrado no Gráfico 7.

Gráfico 7 – Valor coletivo da tensão do PCC – carga pesada



As tensões instantâneas de fase no ponto de conexão, ou seja, no barramento de carga, são apresentadas na Gráfico 8. Observa-se um sinal senoidal mais chaveado após o *STATCOM* entrar em operação a partir de 0,2 s, assim como o aumento da tensão no barramento.

Gráfico 8 – Tensão no PCC – carga pesada



As Gráficos 9, 10 e 11 apresentam as tensões nos capacitores. É possível verificar que as tensões se concentram numa faixa de $\pm 2,5\%$ do valor nominal. Na observação das tensões dos capacitores, percebe-se que as mesmas apresentam uma tendência muito forte de ser iguais quando pertencem a um mesmo grupo, dessa forma é possível verificar que $v_{ca1} = v_{ca2} = v_{ca3} = v_{ca4}$ e $v_{ca5} = v_{ca6} = v_{ca7} = v_{ca8}$.

Gráfico 9 – Tensão nos capacitores da fase a – carga pesada

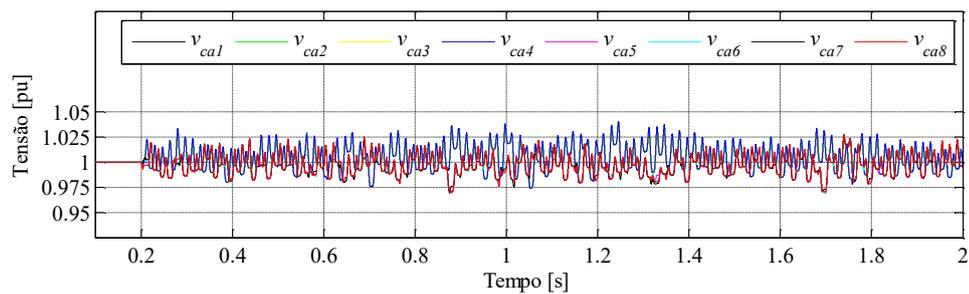


Gráfico 10 – Tensão nos capacitores da fase b – carga pesada

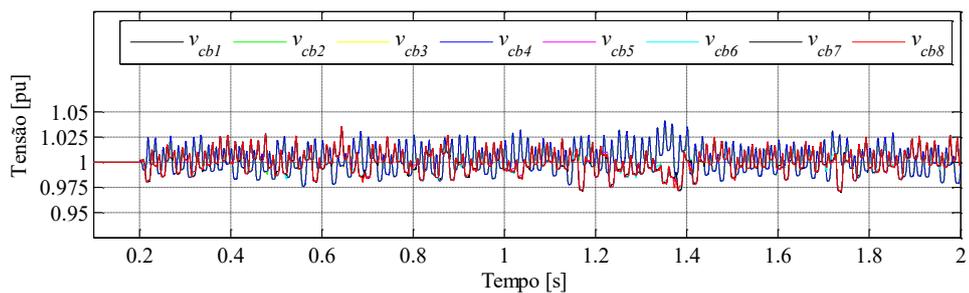
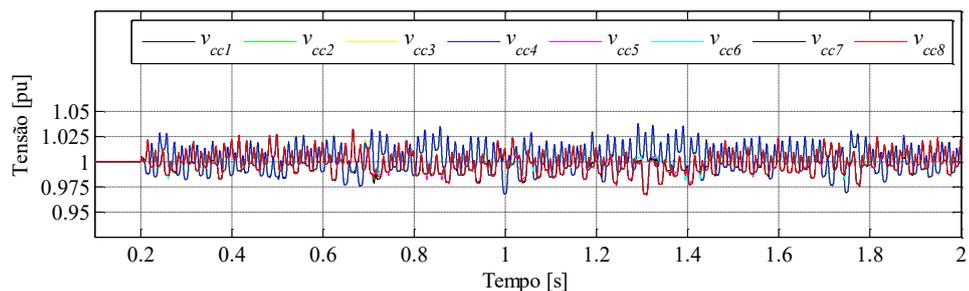
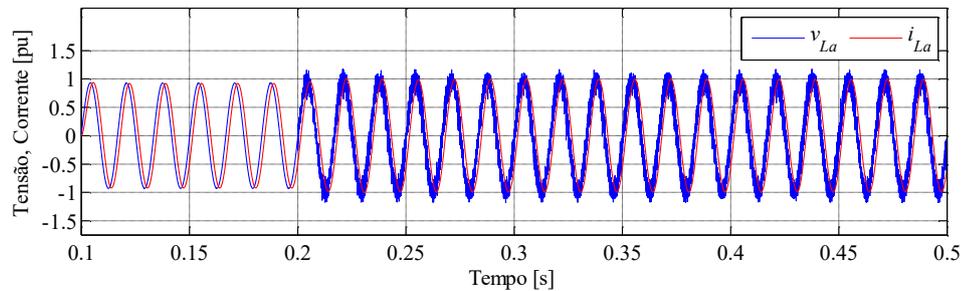


Gráfico 11 – Tensão nos capacitores da fase c – carga pesada



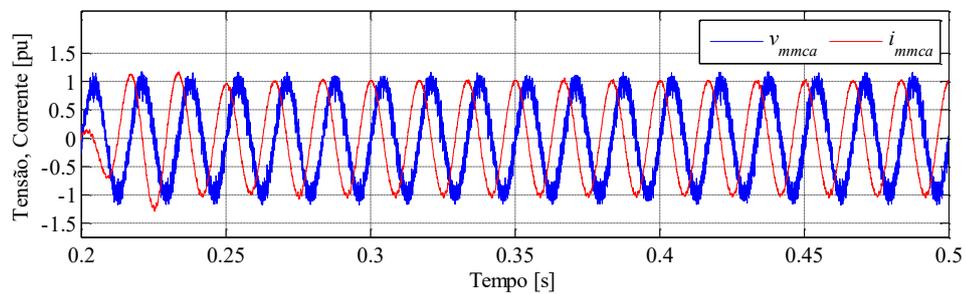
O comportamento das tensões e correntes na carga pode ser visualizado no Gráfico 12, onde se percebe que suas formas se alteram somente quando efetuado o ajuste de tensão no PCC, a partir de 0,2 s,

Gráfico 12 – Tensão e corrente na carga – carga pesada



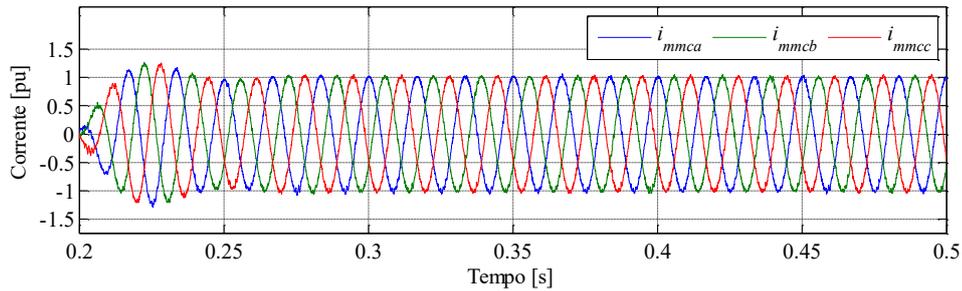
No Gráfico 13 estão apresentadas as tensões e correntes no conversor *MMC* que, claramente demonstram uma característica capacitiva.

Gráfico 13 – Tensão e corrente no conversor *MMC* – carga pesada

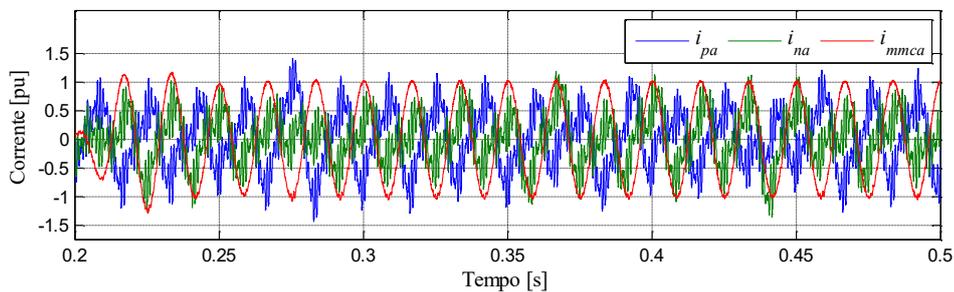


Apesar de apresentadas a partir de dois medidores distintos, as tensões na carga e no conversor são exatamente as mesmas, pois se trata da tensão no PCC.

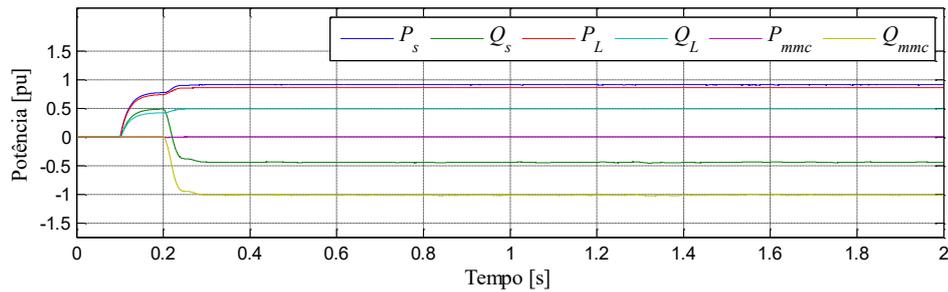
As correntes do conversor *MMC* apresentadas no Gráfico 14 se mostram equilibradas e com baixa distorção harmônica, não apresentando oscilações de baixa frequência.

Gráfico 14– Correntes do conversor *MMC* – carga pesada

O Gráfico 15 apresenta as correntes dos braços e da fase **a** do conversor *MMC*. As correntes dos braços não são utilizadas pelos controladores do conversor *MMC*, sendo apresentadas para efeito de especificação dos mesmos. Como já citado, essas correntes apresentam oscilações de alta frequência e componentes harmônicos, sendo predominante o componente harmônico de segunda ordem.

Gráfico 15 – Correntes dos braços do conversor *MMC* – carga pesada

O Gráfico 16 apresenta os valores de potência ativa e reativa do sistema elétrico simulado. Como já citado, as cargas são inseridas para o tempo $t = 0,1$ s e o conversor *MMC* passa a atuar a partir de $0,2$ s. Após o conversor entrar em operação e efetuar a consequente correção do nível da tensão no PCC, elevando-a para $1,0$ pu, nota-se o aumento da potência ativa fornecida pela fonte. Este fato é esperado, pois sendo as cargas utilizadas do tipo impedância constante, aumentando-se a tensão em seus terminais, eleva-se também a sua potência, no caso para a potência nominal da carga.

Gráfico 16 – Potências da fonte, carga e conversor *MMC* – carga pesada

A Tabela 3 apresenta os valores das potências extraídos do Gráfico 16 para o tempo de 0,5 s. Essa tabela permite identificar que a carga atingiu seu valor nominal de potência após a regulação da tensão do PCC pelo conversor *MMC* e que são necessários cerca de 11,25 kW de potência, 0,00225%, para a manutenção das tensões dos capacitores do conversor.

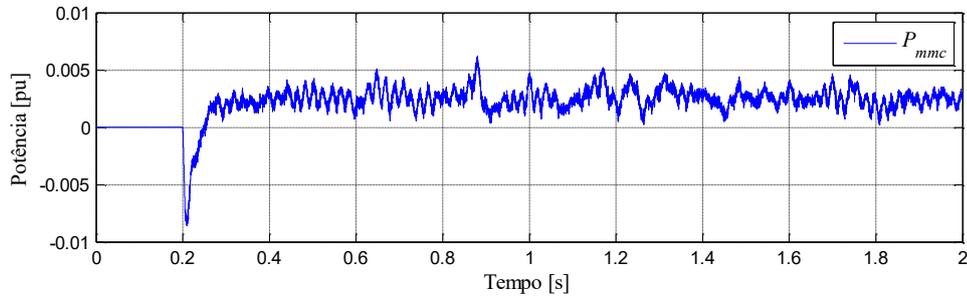
Tabela 3 – Potências da fonte, carga e conversor *MMC* – carga pesada

Potências	Valor
P_s	0,91 pu
P_L	0,86 pu
Q_L	0,50 pu
P_{mmc}	0,00225 pu
Q_s	-0,44 pu
Q_{mmc}	-1,024 pu

Outro fato relevante a ser comentado é que elevar a tensão do PCC para 1,0 pu não é uma ação muito econômica, pois requer maior potência do conversor para corrigir o nível de tensão. Um valor mais adequado seria corrigir o nível de tensão do PCC para 0,98 pu, assim a potência necessária para o conversor poderia se reduzir em quase 50%. Dessa forma não haveria o fornecimento de reativos por parte do conversor *MMC* para compensação da impedância da linha de distribuição. Neste caso, a potência do conversor seria, aproximadamente, para a compensação dos reativos da carga. Uma alternativa é alterar a lógica de controle do conversor *MMC* que deixaria de atuar pela regulação do nível de tensão para atuar pela correção do fator de potência. De qualquer forma, deixa-se claro que o controle geral de potência do conversor *MMC* é para regulação da tensão no PCC.

O gráfico da potência ativa do conversor *MMC* é apresentado em detalhe no Gráfico 17 devido ao seu pequeno valor quando comparado às demais potências do sistema.

Gráfico 17 – Potência ativa do conversor *MMC* – carga pesada



5.2 Carga Desequilibrada

Para esse cenário mantém-se a carga RL de 5 MVA – 13,8 kV – $\cos\phi = 0,866$ indutivo. A tensão da fonte do sistema de distribuição é mantida em 1,0 pu. O desequilíbrio de carga ocorre para os momentos de 0,4s e 1,2s, com a retirada de 0,44 MVA da fase *c* da carga em ambos os momentos, totalizando 0,88 MVA. Ao final do desequilíbrio, a carga passa a ter em suas fases *a* e *b* 1,66 MVA e na fase *c* 0,78 MVA.

No início, o sistema é ligado sem carga e a tensão do PCC é igual a 1,0 pu. Em 0,1s a carga é inserida no sistema. Dessa forma, a tensão no ponto de conexão antes de o conversor *MMC* entrar em operação é aproximadamente 0,93 pu. O conversor *MMC* opera então como capacitor para complementar a potência reativa necessária para se alcançar o valor de referência definido para o barramento de conexão, que é 1,0 pu. Após o conversor *MMC* entrar em operação em 0,2s o valor coletivo da tensão do ponto de conexão passa para 1,0 pu, apresentando oscilações nos momentos de redução de carga na fase *c*, conforme mostrado no Gráfico 18. As tensões de fase do PCC são apresentadas no Gráfico 19.

Gráfico 18 – Valor coletivo da tensão do PCC – carga desequilibrada

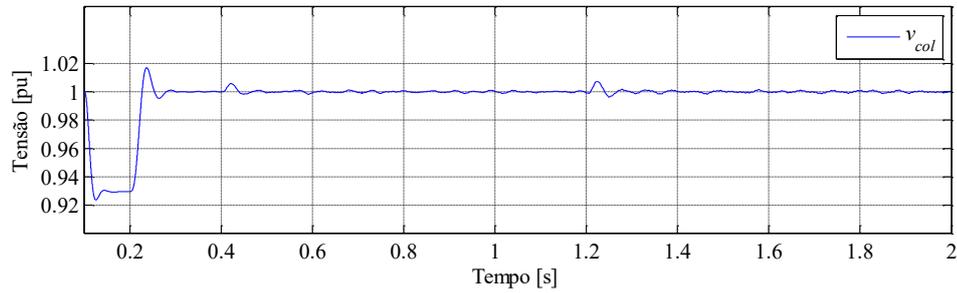
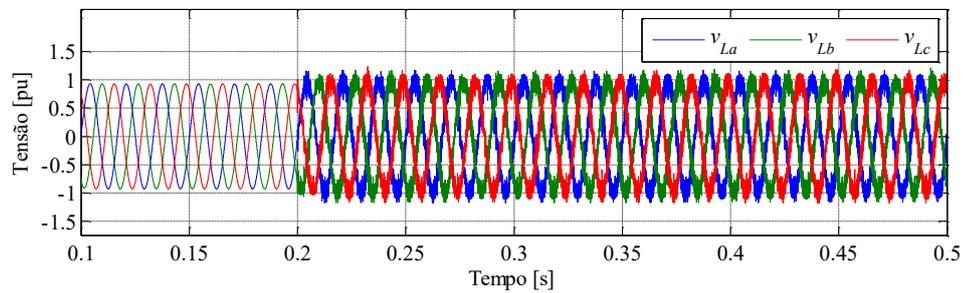


Gráfico 19 – Tensão no PCC – carga desequilibrada



Na sequência, os Gráficos 20, 21 e 22 apresentam as tensões nos capacitores.

Gráfico 20 – Tensão nos capacitores da fase a – carga desequilibrada

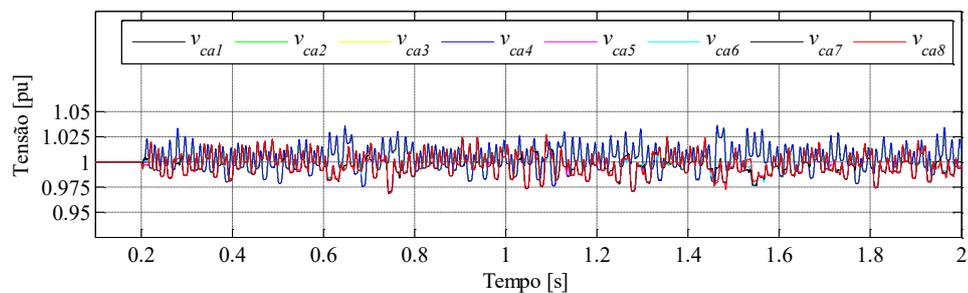


Gráfico 21 – Tensão nos capacitores da fase b – carga desequilibrada

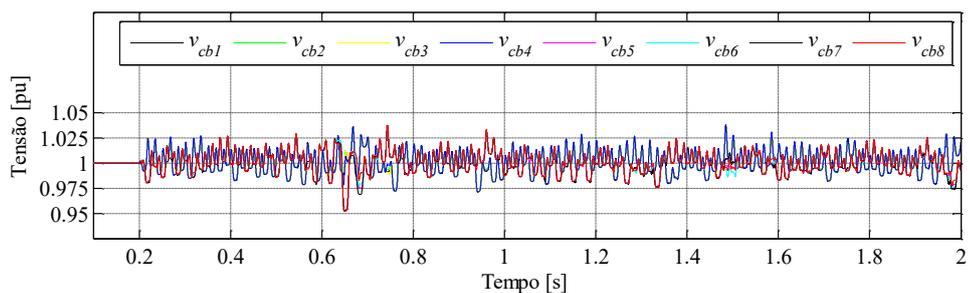
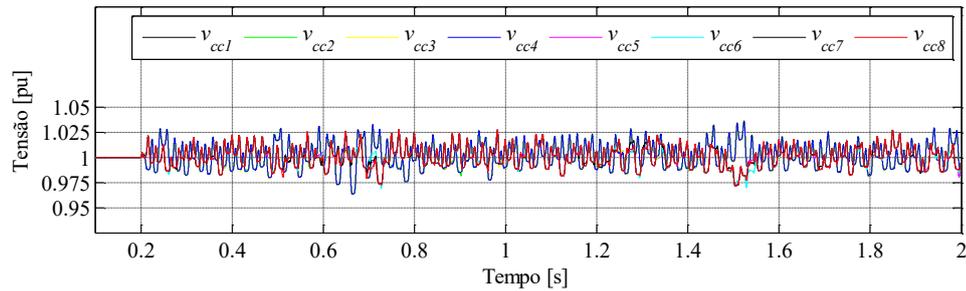


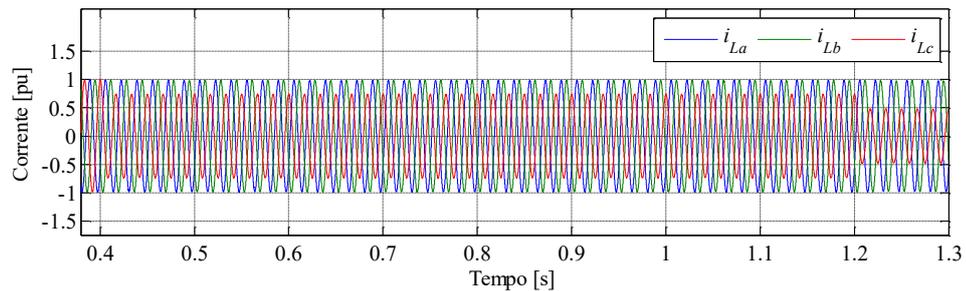
Gráfico 22 – Tensão nos capacitores da fase c – carga desequilibrada



Pode-se observar que, mesmo para o caso de cargas desequilibradas, as tensões nos capacitores se mantiveram controladas.

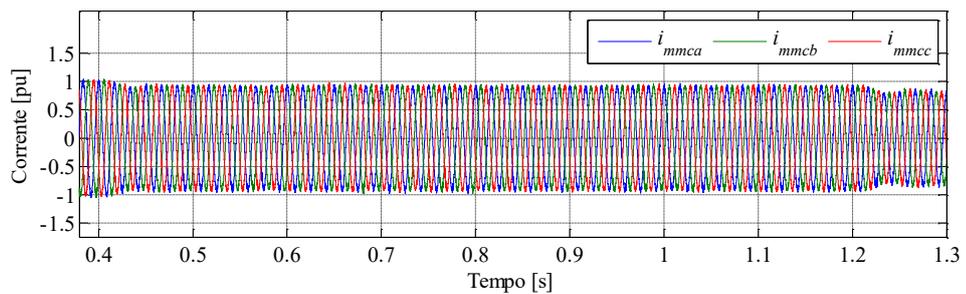
O Gráfico 23 apresenta as correntes da carga demonstrando claramente os momentos nos quais ocorrem os desequilíbrios criados na fase c.

Gráfico 23 – Correntes da carga – carga desequilibrada



Os dois transitórios na corrente do conversor MMC devido aos desequilíbrios criados com a redução de carga na fase c são mostrados no Gráfico 24.

Gráfico 24 – Correntes do conversor MMC – carga desequilibrada



Deve-se observar que mesmo para uma carga desequilibrada, as correntes do conversor

MMC continuam equilibradas. Isso ocorre devido ao controle de potências ser trifásico e baseado na tensão de sequência positiva do PCC. Também significa dizer que as tensões do conversor *MMC* estarão desequilibradas, mas o valor coletivo da tensão v_{col} estará, na média, igual a 1 pu.

Os Gráficos 25, 26 e 27 apresentam as correntes dos braços e as correntes de fase do conversor *MMC* para a condição de desequilíbrio criada. Mais uma vez é possível verificar que as correntes do conversor *MMC* são equilibradas, devido à regulação trifásica da tensão do PCC.

Gráfico 25 – Correntes nos braços da fase **a** do conversor *MMC* – carga desequilibrada

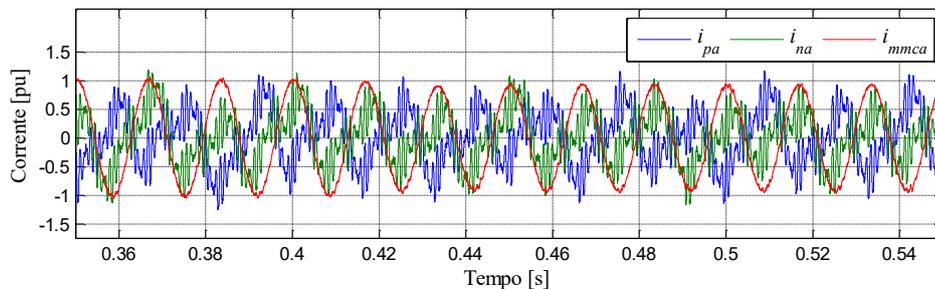


Gráfico 26 – Correntes nos braços da fase **b** do conversor *MMC* – carga desequilibrada

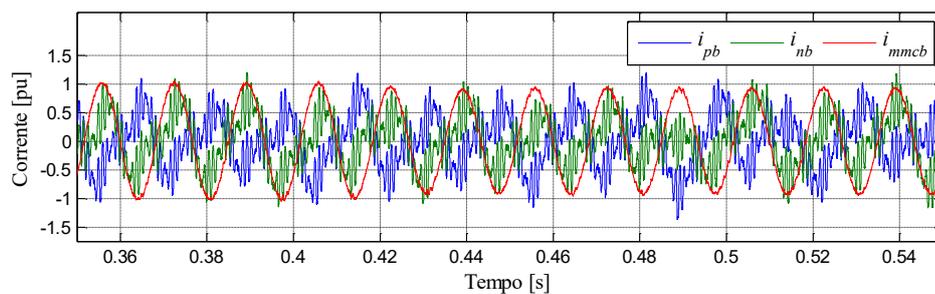
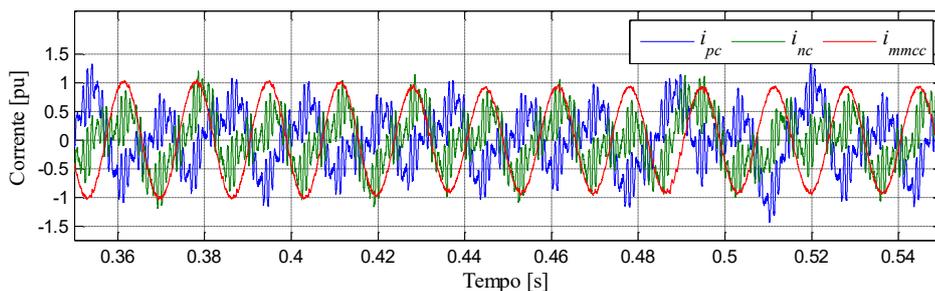
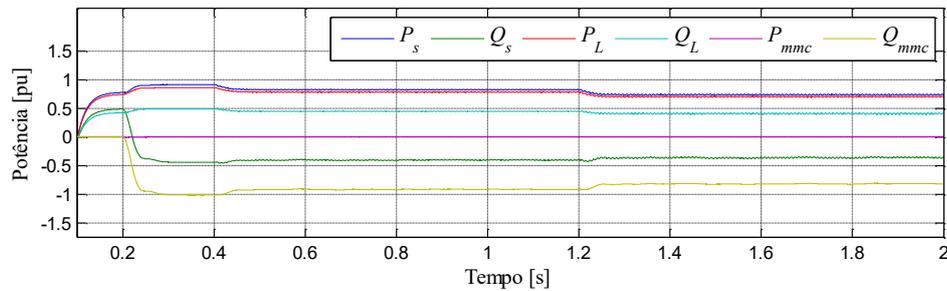


Gráfico 27 – Correntes nos braços da fase **c** do conversor *MMC* – carga desequilibrada



O Gráfico 28 apresenta os valores de potência ativa e reativa do sistema elétrico simulado. Como já citado, as cargas são inseridas para o tempo $t = 0,1s$ e o conversor *MMC* passa a atuar a partir de $0,2s$. O desequilíbrio de carga é criado em dois momentos, $0,4s$ e $1,2s$.

Gráfico 28 – Potências da fonte, carga e conversor *MMC* – carga desequilibrada



Para o cenário de desequilíbrio criado, observa-se que as potências ativa e reativa da fonte e da carga passam a ficar oscilantes, condição típica de um circuito desequilibrado onde aparece a parcela oscilante dessas potências, como num circuito monofásico. A Tabela 4 apresenta as potências para o tempo de $0,3s$ extraídos do Gráfico 28.

Tabela 4 – Potências da fonte, carga e conversor *MMC* – carga desequilibrada

Potência	Valor
P_s	0,913 pu
P_L	0,863 pu
Q_L	0,494 pu
P_{mmc}	0,0027 pu
Q_s	-0,436 pu
Q_{mmc}	-1,012 pu

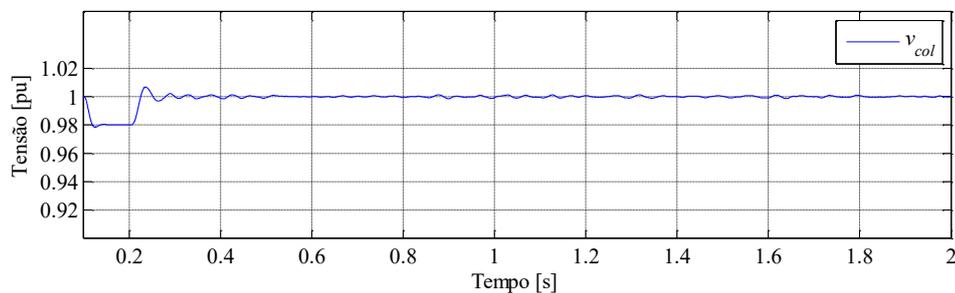
5.3 Carga Leve

Para esse cenário utilizou-se uma carga RL de 1,33 MVA – 13,8 kV – $\cos\phi = 0,866$ indutivo. A tensão da fonte do sistema de distribuição foi mantida em 1,0 pu. No início, o sistema foi ligado sem carga e a tensão do PCC é igual a 1,0 pu. Em $0,1s$ a carga é inserida no sistema. Dessa forma, a tensão no ponto de conexão antes do conversor *MMC* entrar em

operação é aproximadamente 0,98 pu, valor mais próximo da unidade e coerente para o tipo de carga utilizada.

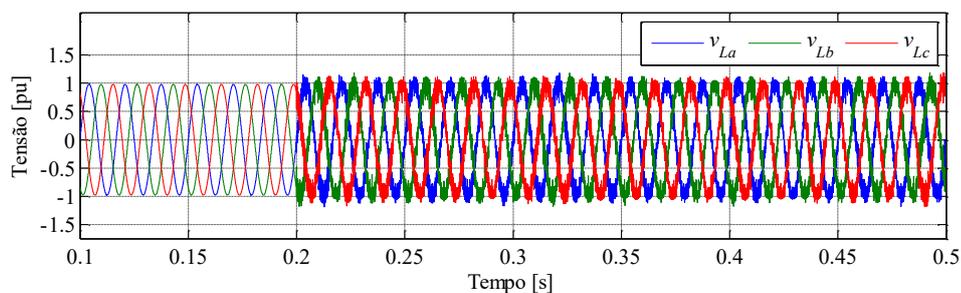
O conversor *MMC* opera como capacitor para complementar a potência reativa necessária para se alcançar o valor de referência definido para o barramento de conexão, que é 1,0 pu. Após o conversor *MMC* entrar em operação em 0,2 s a tensão do ponto de conexão passa para 1,0 pu. O Gráfico 29 apresenta o valor coletivo da tensão no PCC.

Gráfico 29 – Valor coletivo da tensão do PCC – carga leve

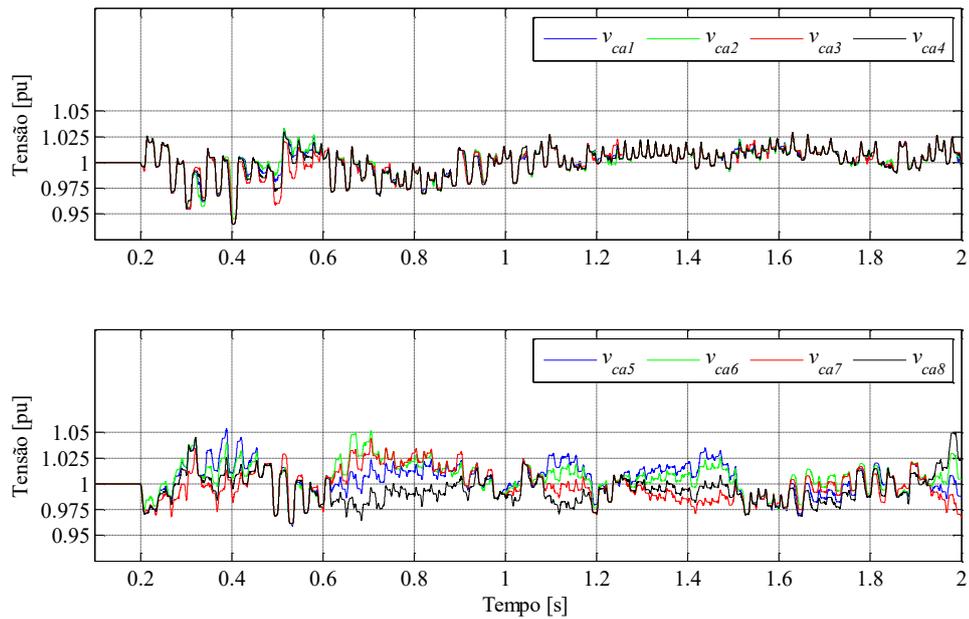
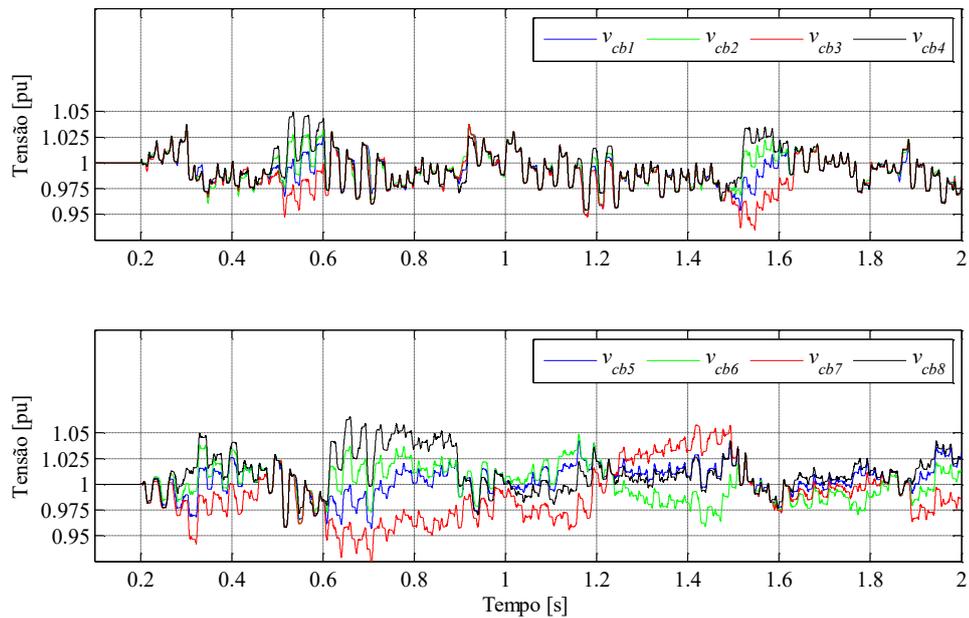


As tensões de cada fase do PCC são mostradas no Gráfico 30.

Gráfico 30 – Tensão no PCC – carga leve

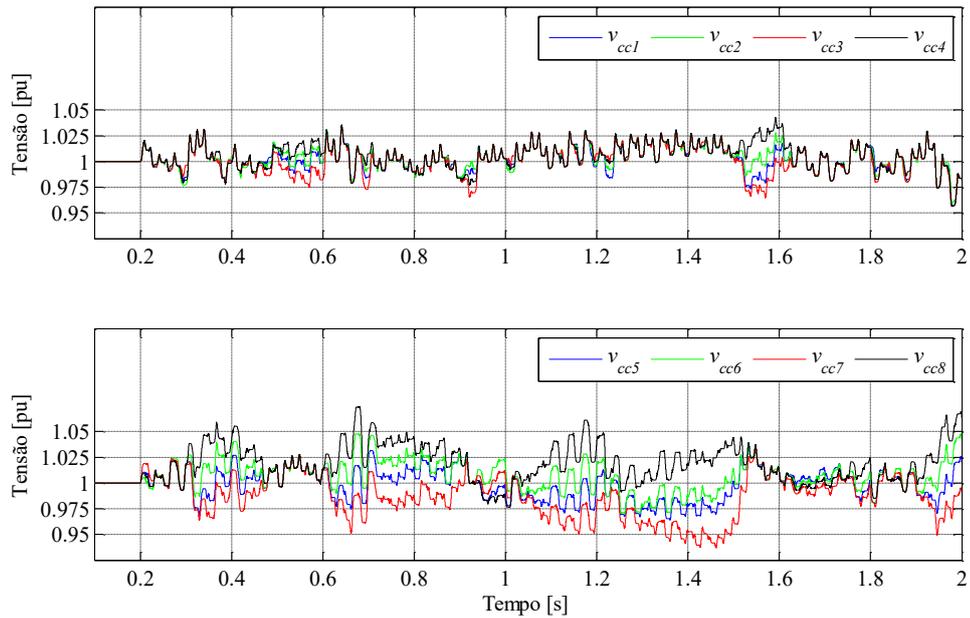


Na sequência, os Gráficos 31, 32 e 33 apresentam as tensões nos capacitores. Observe, principalmente para os módulos inferiores, o que aqui se define como descolamento das tensões, que é a separação entre as tensões dos capacitores de um mesmo grupo de módulos, superiores ou inferiores. Pode-se observar um movimento cíclico: quando as tensões dos módulos superiores estão todas juntas, as tensões dos módulos inferiores estão todas separadas, e vice-versa.

Gráfico 31 – Tensão nos capacitores da fase **a** – carga leveGráfico 32 – Tensão nos capacitores da fase **b** – carga leve

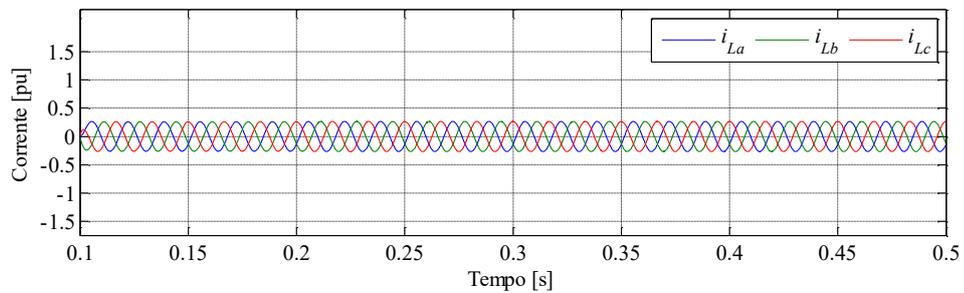
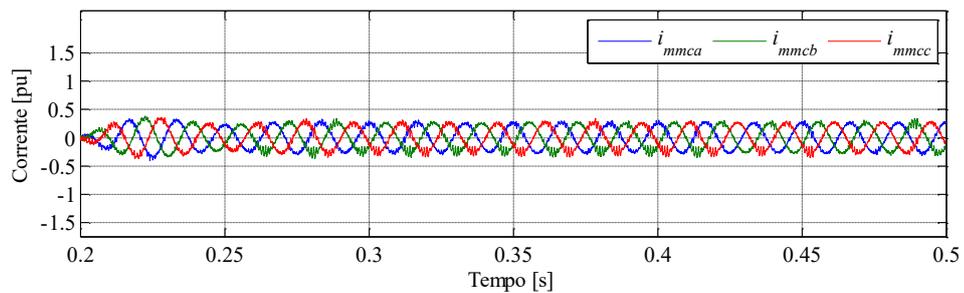
Os descolamentos de tensão se apresentam maiores nas fases **b** e **c**, atingindo picos de 7%. No entanto, a grande maioria das tensões se mantêm dentro da faixa de variação de $\pm 2,5\%$.

Gráfico 33 – Tensão nos capacitores da fase c – carga leve



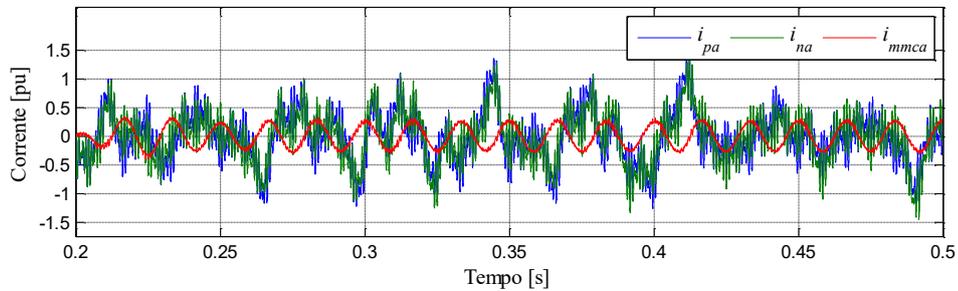
O comportamento das correntes na carga e no conversor *MMC* pode ser visualizado nos Gráficos 34 e 35.

Gráfico 34 – Corrente na carga – carga leve

Gráfico 35 – Correntes do conversor *MMC* – carga leve

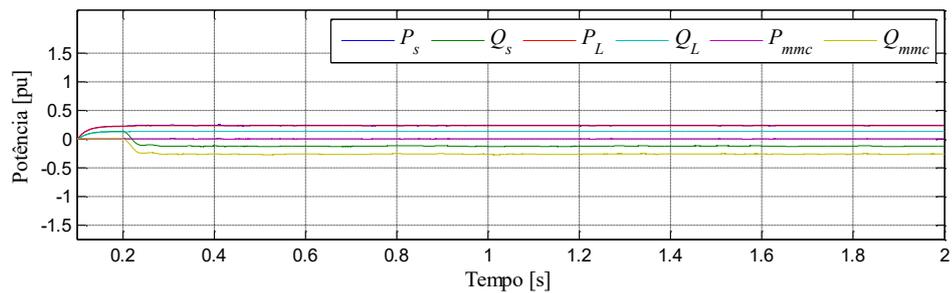
O Gráfico 36 apresenta as correntes dos braços e a corrente da fase **a** do conversor *MMC* para o cenário de carga leve.

Gráfico 36 – Correntes nos braços da fase **a** do conversor *MMC* – carga leve



O Gráfico 37 apresenta os valores de potência ativa e reativa do sistema elétrico simulado.

Gráfico 37 – Potências da fonte, carga e conversor *MMC* – carga leve



A Tabela 5 apresenta as potências para o tempo de 1,0 s extraídas do Gráfico 37.

Tabela 5 – Potências da fonte, carga e conversor *MMC* – carga leve

Potência	Valor
P_s	0,236 pu
P_L	0,231 pu
Q_L	0,132 pu
P_{mmc}	0,0016 pu
Q_s	-0,129 pu
Q_{mmc}	-0,268 pu

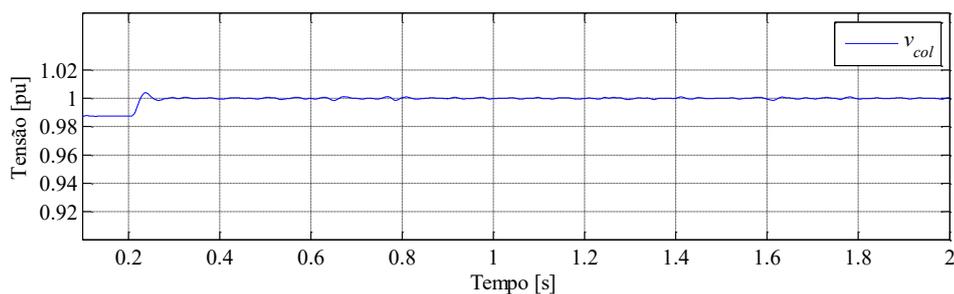
5.4 Carga Pesada Capacitiva

Entre os vários cenários analisados apresenta-se também aquele com cargas predominantemente capacitivas. Para isso, uma carga RLC de 5 MVA - 13,8 kV - $\cos\phi = 0,92$ capacitivo foi utilizada. A tensão da fonte do sistema de distribuição foi mantida em 1,0 pu. Essa simulação possui tempo de duração de dois segundos para que seja possível observar claramente as variações que ocorrem nas tensões dos capacitores dos módulos bem como a tensão no ponto de conexão.

A carga utilizada, apesar de ser considerada pesada, pois tem demanda igual à capacidade do conversor e relevante perante à capacidade da linha de distribuição, não é uma carga capacitiva forte o suficiente para elevar a tensão do ponto de conexão para 1,0 pu ou valor superior. Dessa forma, a tensão no ponto de conexão antes de o conversor *MMC* entrar em operação é ligeiramente inferior à unidade, 0,987 pu. Assim o conversor *MMC* opera como capacitor para complementar a potência reativa necessária para se alcançar o valor de referência definido para o barramento de conexão, que é 1,0 pu.

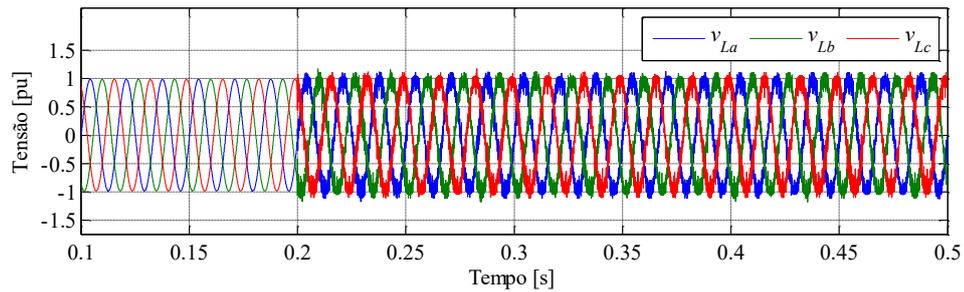
Após o conversor *MMC* entrar em operação em 0,2s a tensão do ponto de conexão passa de 0,987 pu capacitivo para 1,0 pu, conforme mostrado no Gráfico 38.

Gráfico 38 – Valor coletivo da tensão do PCC – carga pesada capacitiva



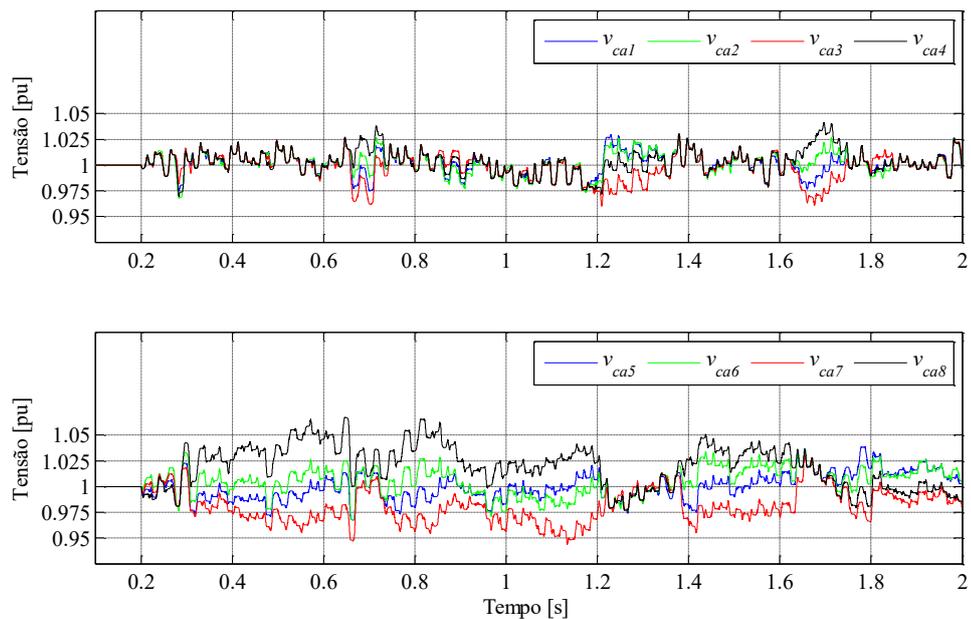
As tensões do PCC são apresentadas no Gráfico 39.

Gráfico 39 – Tensão no PCC – carga pesada capacitiva

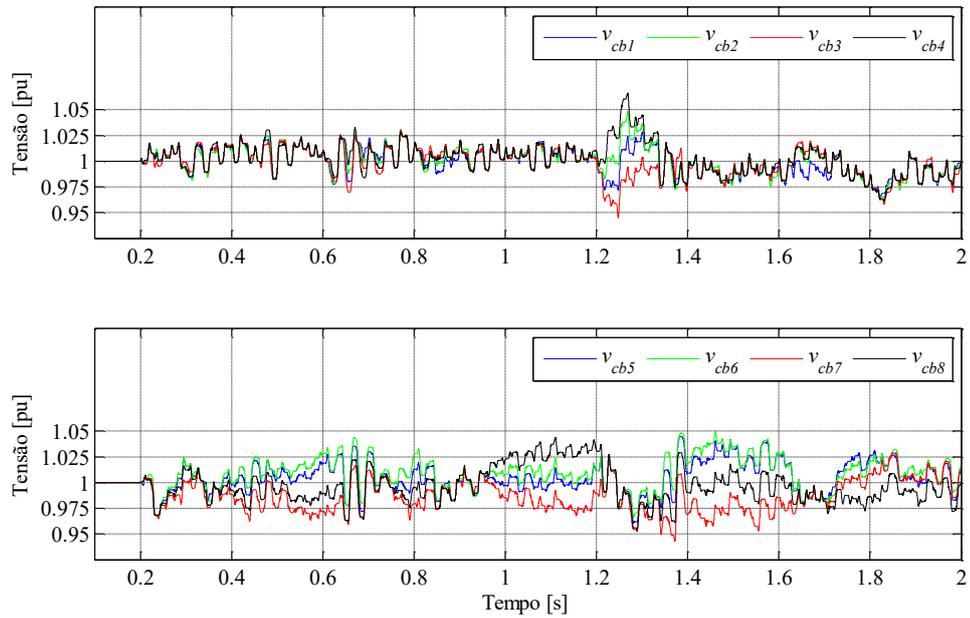
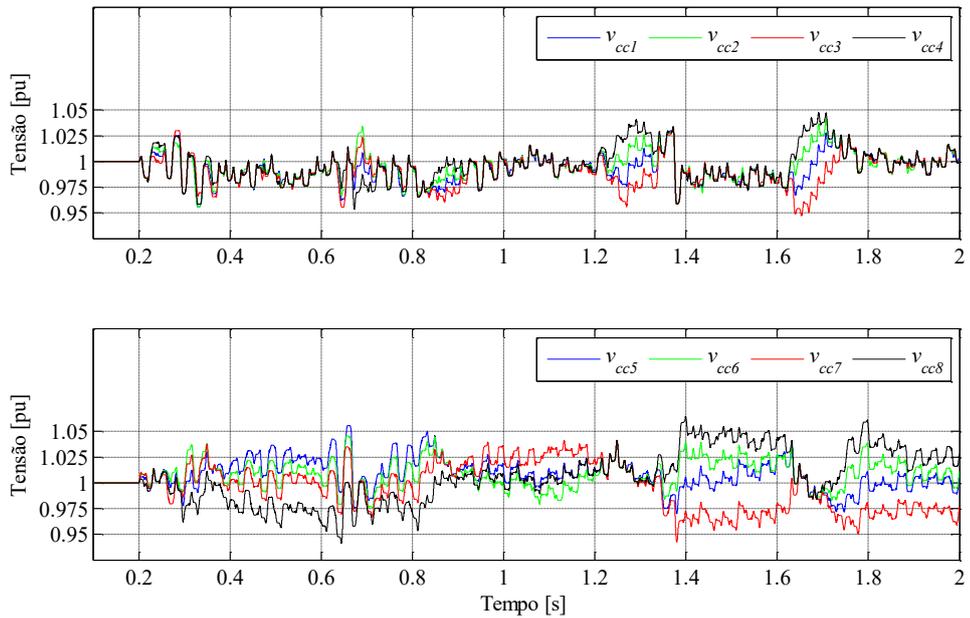


Os Gráficos 40, 41 e 42 apresentam as tensões nos capacitores. As tensões são apresentadas em dois conjuntos, tensões dos módulos superiores e inferiores, para melhor visualização e compreensão dos resultados.

Gráfico 40 – Tensão nos capacitores da fase a – carga pesada capacitiva



Verifica-se que as tensões se concentram na faixa de $\pm 2,5\%$ do valor nominal, mas em alguns capacitores a tensão sai dessa faixa permanecendo um tempo um pouco maior fora dela.

Gráfico 41 – Tensão nos capacitores da fase **b** – carga pesada capacitivaGráfico 42 – Tensão nos capacitores da fase **c** – carga pesada capacitiva

O Gráfico 43 apresenta as tensões e correntes na carga, que possui característica capacitiva, e o Gráfico 44 as tensões e correntes no conversor *MMC*.

Gráfico 43 – Tensão e corrente na carga – carga pesada capacitiva

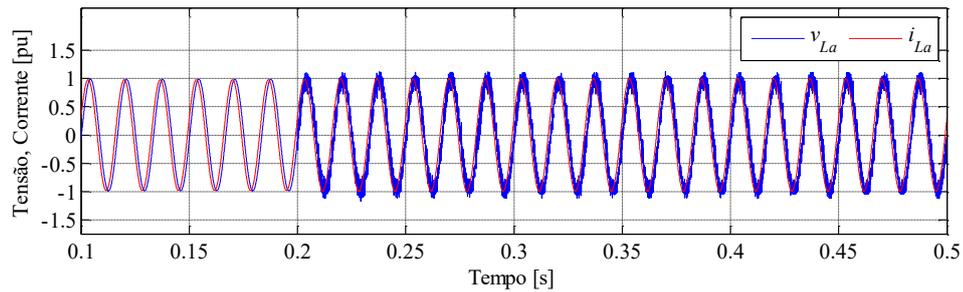
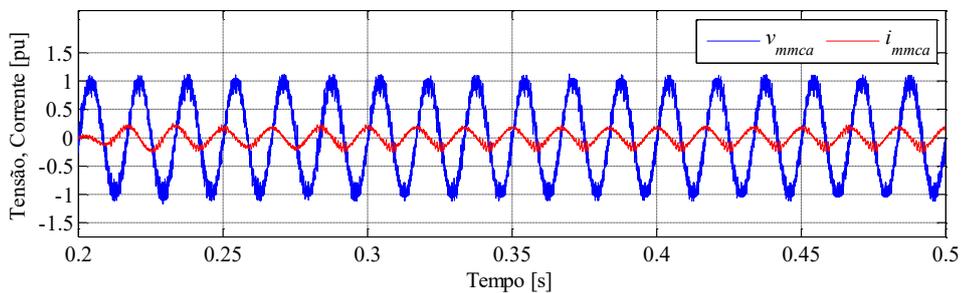
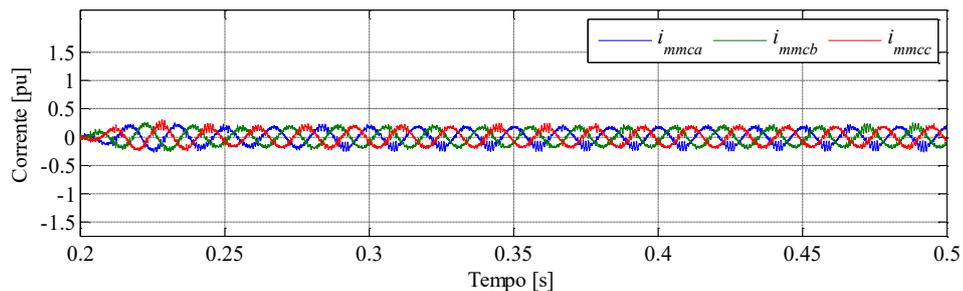


Gráfico 44 – Tensão e corrente no conversor MMC – carga pesada capacitiva



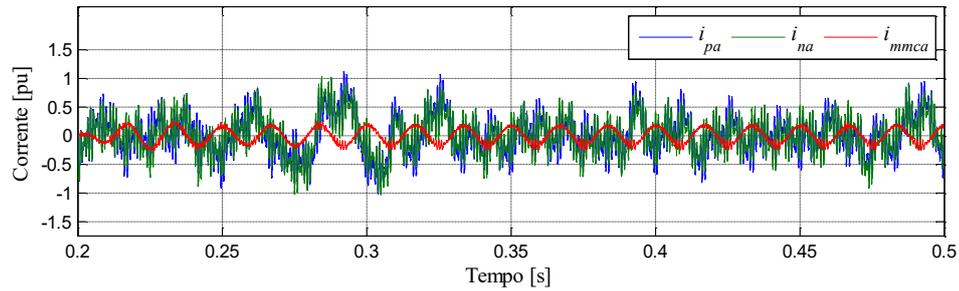
Para este cenário a corrente do conversor MMC é 0,2 pu e pode ser verificada no Gráfico 45.

Gráfico 45 – Correntes do conversor MMC – carga pesada capacitiva

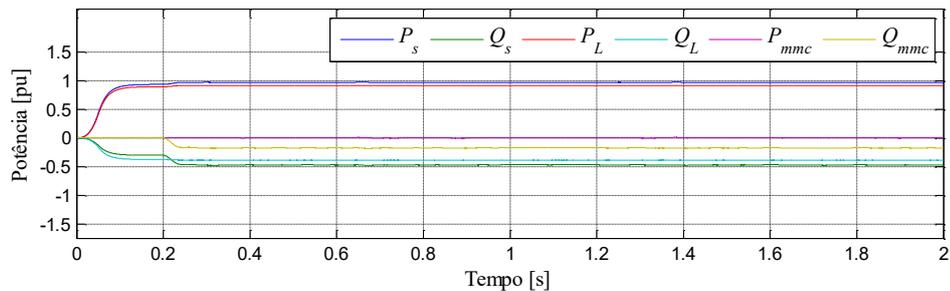


Observa-se uma deformação maior nas correntes do conversor MMC para carga capacitiva com baixa demanda de potência do conversor, visto que uma parcela da componente fundamental da corrente diminuiu.

O Gráfico 46 apresenta as correntes dos braços e a corrente de fase do conversor MMC.

Gráfico 46 – Correntes dos braços da fase *a* do conversor *MMC* – carga pesada capacitiva

O Gráfico 47 mostra os valores de potência do sistema simulado. Nota-se a baixa potência reativa do conversor *MMC* de - 0,169 pu.

Gráfico 47 – Potências da fonte, carga e conversor *MMC* – carga pesada capacitiva

A Tabela 6 apresenta os valores das potências para o tempo de 1,0 s extraídos do Gráfico 47.

Tabela 6 – Potências da fonte, carga e conversor *MMC* – carga pesada capacitiva

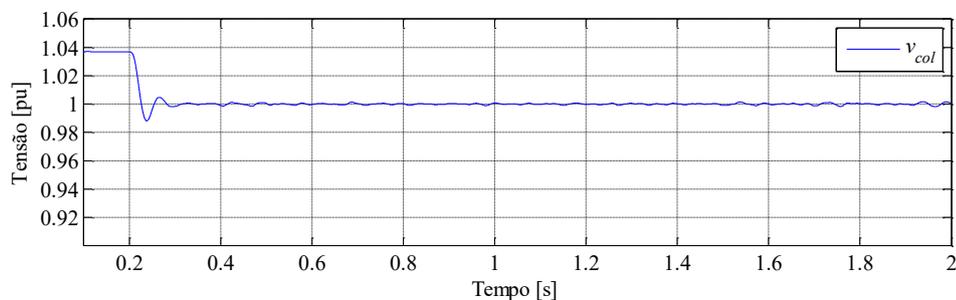
Potência	Valor
P_s	0,965 pu
P_L	0,914 pu
Q_L	-0,387 pu
P_{mmc}	0,002 pu
Q_s	-0,466 pu
Q_{mmc}	-0,169 pu

5.5 Carga Pesada Capacitiva com Tensão da Linha Superior à Nominal

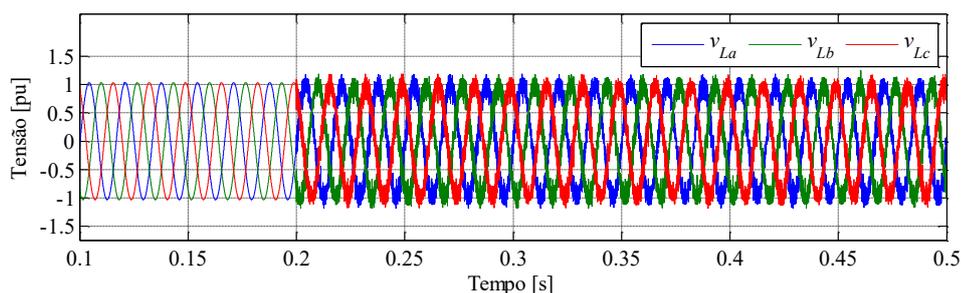
Em um dos testes efetuados para cargas predominantemente capacitiva foi considerada a tensão da fonte do sistema de distribuição ajustada em 1,05 pu, o que eleva a tensão no ponto de conexão para 1,036 pu, com o conversor *MMC* ainda fora de operação. Essa simulação, possui tempo de duração de dois segundos para que seja possível observar claramente as variações que ocorrem nas tensões dos capacitores dos módulos bem como a tensão no ponto de conexão, objetivos de controle desse conversor *MMC*. Para este cenário foi utilizada uma carga RLC de 5 MVA - 13,8 kV - $\cos\phi = 0,92$ capacitivo.

É possível identificar o comportamento do conversor *MMC* atuando como indutor para que se atinja a tensão de 1,0 pu no ponto de conexão, seu valor de referência. Os gráficos que seguem apresentam o comportamento das principais variáveis do sistema em estudo. O Gráfico 48 apresenta claramente a variação de 1,036 pu para 1,0 pu, após o conversor *MMC* entrar em operação a partir de 0,2s.

Gráfico 48 – Valor coletivo da tensão do PCC – carga capacitiva e $v_s = 1,05$ pu



O Gráfico 49 apresenta as tensões equilibradas e de valor igual a 1,0 pu no ponto de conexão.

Gráfico 49 – Tensão no PCC – carga capacitiva e $v_s = 1,05$ pu

As tensões nos capacitores das fases **a**, **b** e **c** são apresentadas nos Gráficos 50 a 52. Cabe destacar que nesse cenário são as tensões dos capacitores dos módulos superiores que ficam mais susceptíveis aos denominados descolamentos de tensão, enquanto que as tensões dos módulos inferiores se apresentam mais próximas, praticamente idênticas. Ocorrência diferente dos cenários estudados constituídos por cargas predominantemente indutivas.

A grande maioria das tensões dos capacitores encontra-se dentro da faixa de $\pm 2,5\%$, podendo alcançar cerca de 8% em alguns instantes como observado no Gráfico 50 e 52, para as tensões dos módulos superiores das fases **a** e **c**, respectivamente.

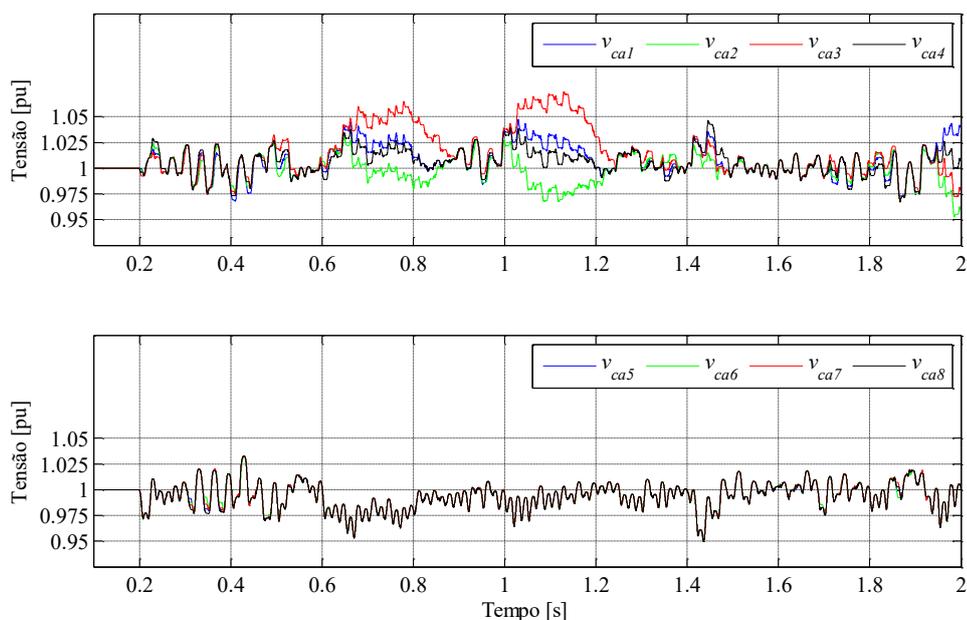
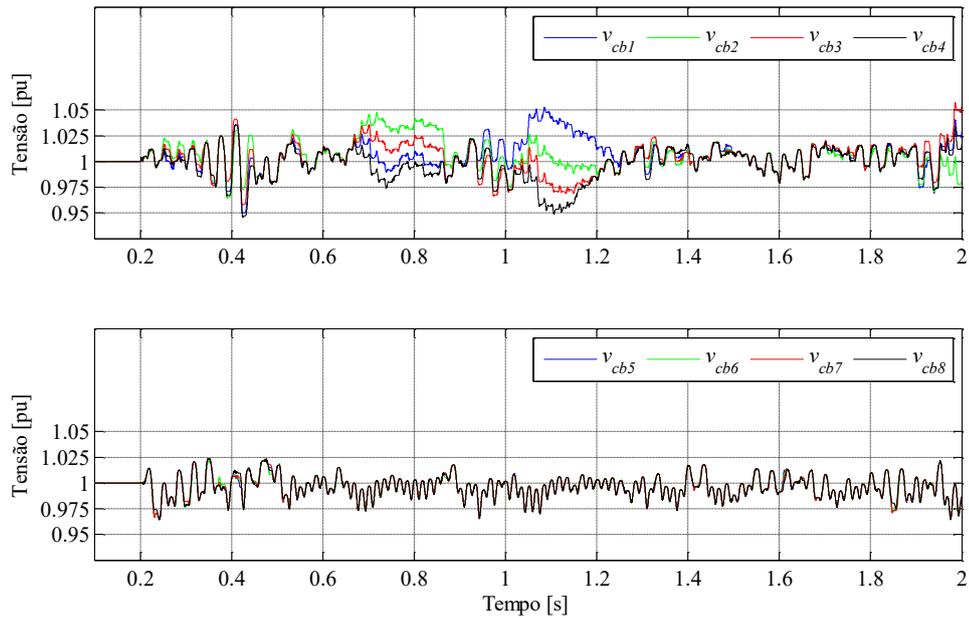
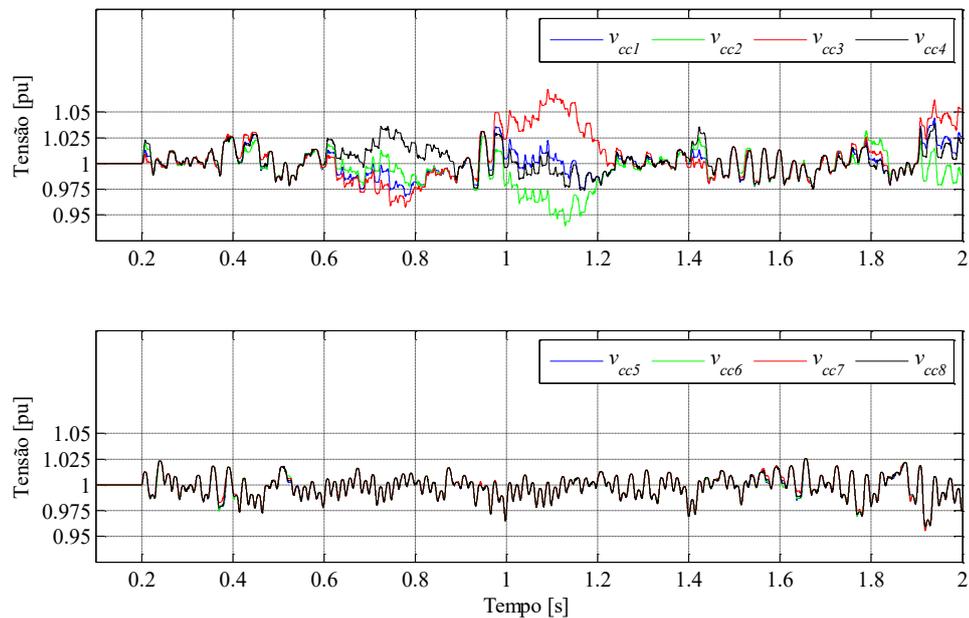
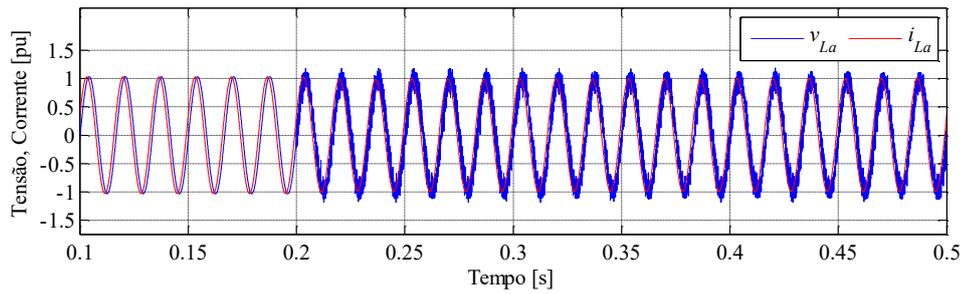
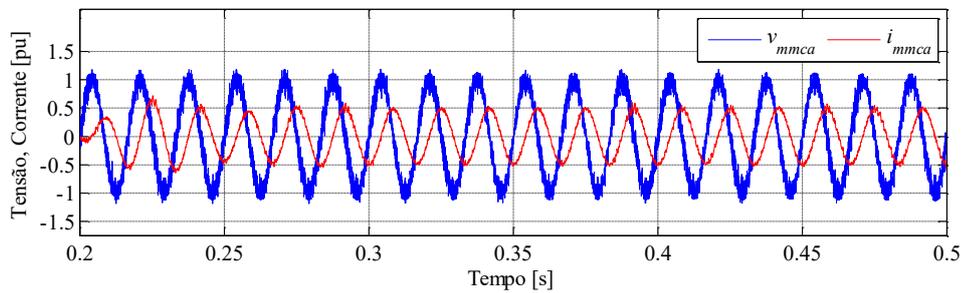
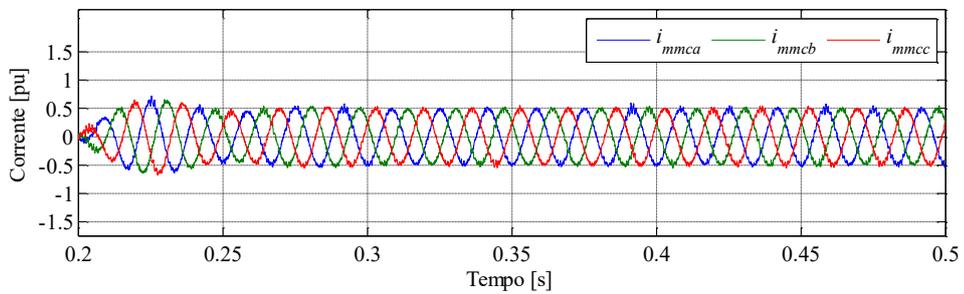
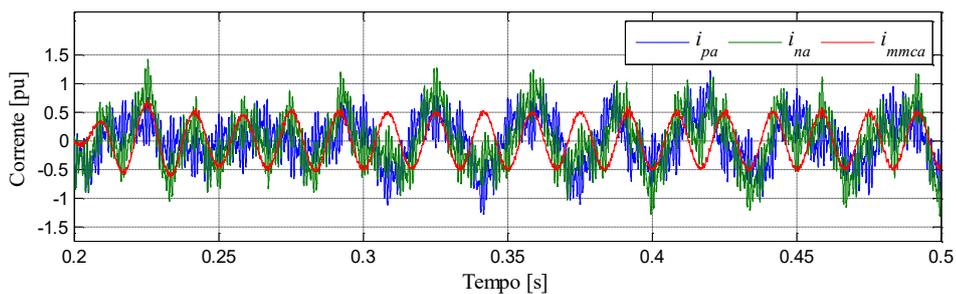
Gráfico 50 – Tensão nos capacitores da fase **a** – carga capacitiva e $v_s = 1,05$ pu

Gráfico 51 – Tensão nos capacitores da fase **b** – carga capacitiva e $v_s = 1,05$ puGráfico 52 – Tensão nos capacitores da fase **c** – carga capacitiva e $v_s = 1,05$ pu

O comportamento das tensões e correntes na carga e no conversor *MMC* pode ser visualizado nos Gráficos 53 e 54 e as correntes do conversor *MMC* no Gráfico 55.

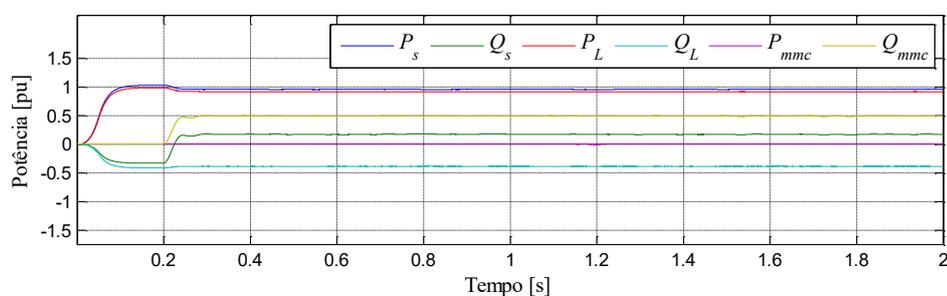
Gráfico 53 – Tensão e corrente na carga – carga capacitiva e $v_s = 1,05$ puGráfico 54 – Tensão e corrente no conversor MMC – carga capacitiva e $v_s = 1,05$ puGráfico 55 – Correntes do conversor MMC – carga capacitiva e $v_s = 1,05$ pu

O Gráfico 56 apresenta as correntes dos braços e a corrente de fase do conversor MMC.

Gráfico 56 – Correntes dos braços do conversor MMC – carga capacitiva e $v_s = 1,05$ pu

Evidencia-se o comportamento indutivo do conversor *MMC* pelo valor positivo de potência reativa Q_{mmc} no Gráfico 57.

Gráfico 57 – Potências da fonte, carga e conversor *MMC* – carga capacitiva e $v_s = 1,05$ pu



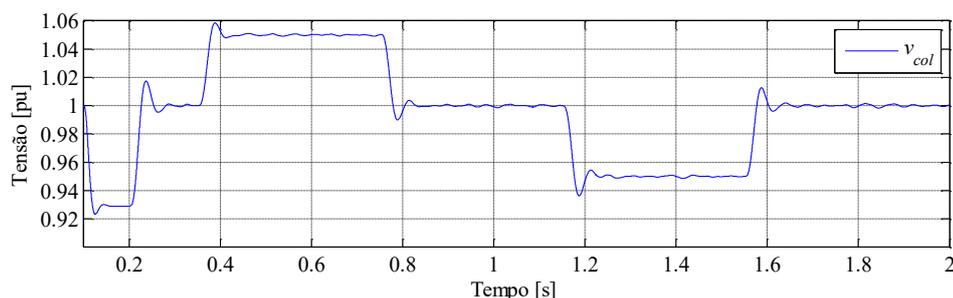
A Tabela 7 apresenta os valores das potências para o tempo de 1,0 s extraídos do Gráfico 57.

Tabela 7 – Potências da fonte, carga e conversor *MMC* – carga capacitiva e $v_s = 1,05$ pu

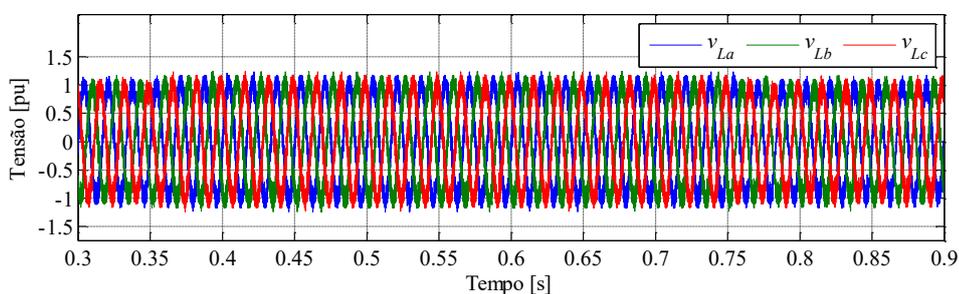
Potência	Valor
P_s	0,957 pu
P_L	0,915 pu
Q_L	-0,386 pu
P_{mmc}	0,0042 pu
Q_s	0,170 pu
Q_{mmc}	0,490 pu

5.6 Variação da Tensão de Referência do PCC

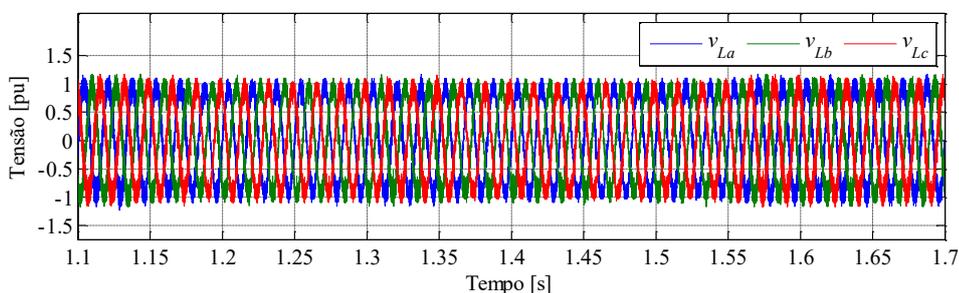
Para comprovar o desempenho do controle da tensão do barramento de carga, apresenta-se através do Gráfico 58 uma simulação na qual a tensão de referência varia entre 0,95 e 1,05 pu para uma carga RL trifásica de 5 MVA - $\cos \phi = 0,866$. Observa-se que o controle atua de forma adequada levando a tensão do barramento de carga para o sinal de referência ajustado em cerca de 100ms.

Gráfico 58 – Valor coletivo da tensão do PCC – variação de v_{pcc}^* 

O Gráfico 59 apresenta as tensões das fases no PCC. Nela é possível verificar as variações nas amplitudes das tensões à medida que novos valores de referência para v_{pcc}^* são determinados. Deve-se observar que mesmo que haja variações na tensão da fonte entre 0,95 e 1,05 pu o conversor manterá a tensão no barramento de controle em 1 pu. O Gráfico 59 (a) mostra as tensões no intervalo no qual a tensão de referência varia de 1 a 1,05 pu e o Gráfico 59 (b) no intervalo de variação de 1 a 0,95 pu.

Gráfico 59 – Tensão no PCC – variação de v_{pcc}^* 

(a)



(b)

Os Gráficos 60, 61 e 62 apresentam as tensões nos módulos de potência das fases **a**, **b** e **c**, considerando as variações propostas nas tensões de referência para o PCC. Analisando os gráficos observa-se que entre 1,2 e 1,6s, onde $v_{pcc}^* = 0,95$ pu, ocorre o efeito de descolamento

entre as tensões dos capacitores, momento equivalente à carga leve, mas as tensões dos capacitores são mantidas sob controle.

Gráfico 60 – Tensão nos capacitores da fase **a** – variação de v_{pcc}^*

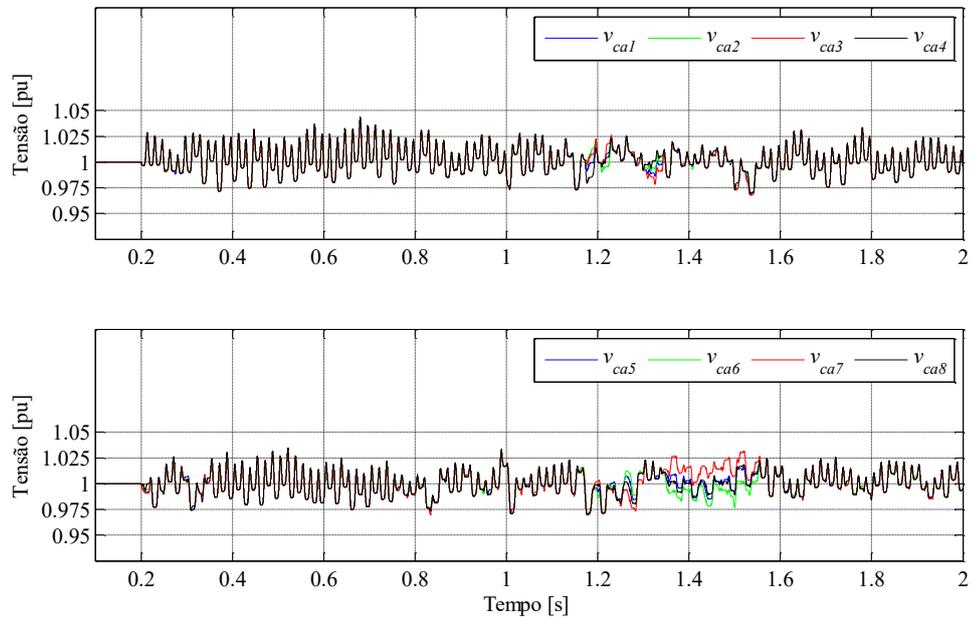


Gráfico 61 – Tensão nos capacitores da fase **b** – variação de v_{pcc}^*

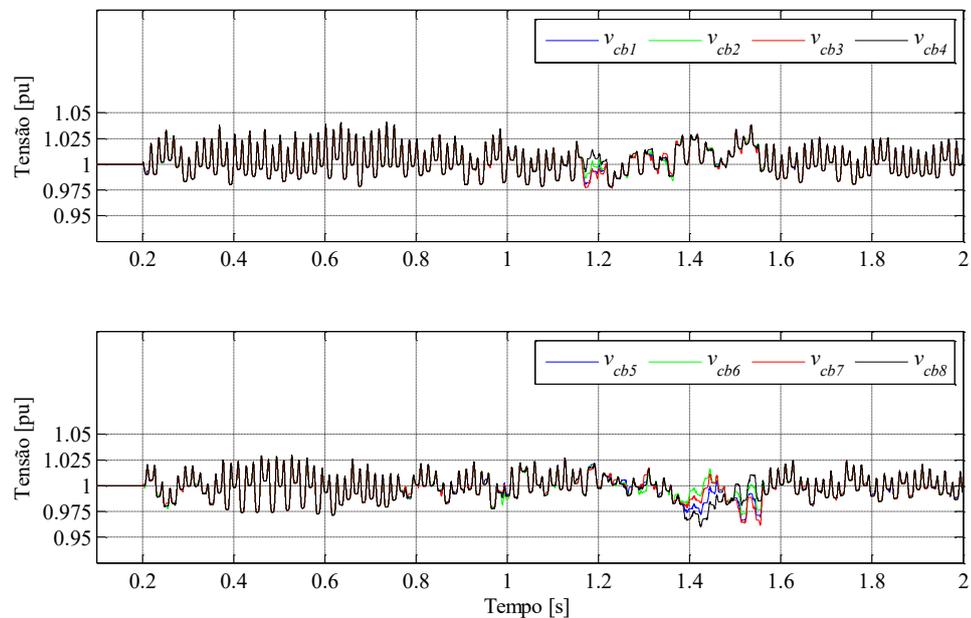
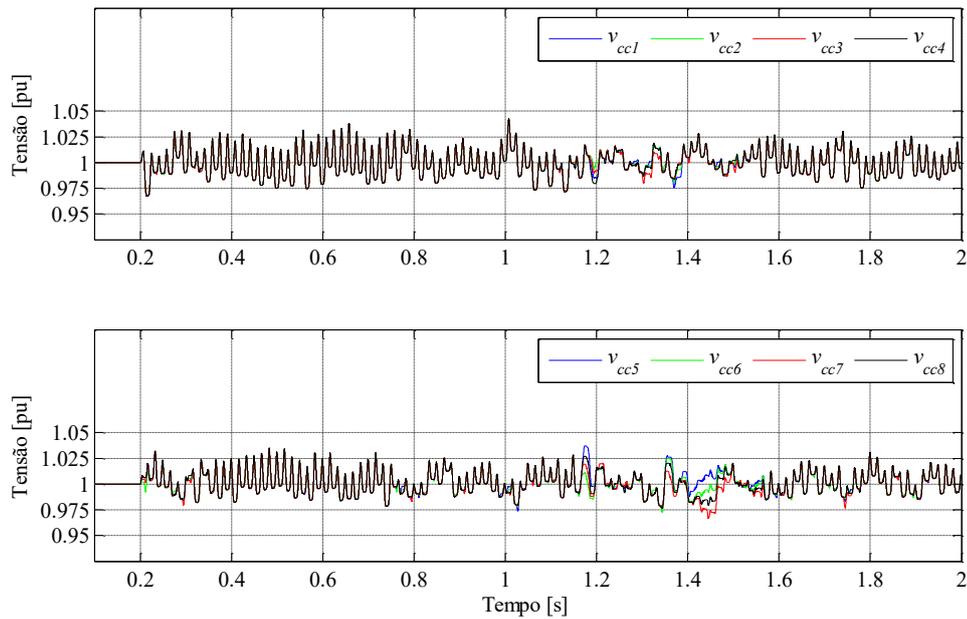
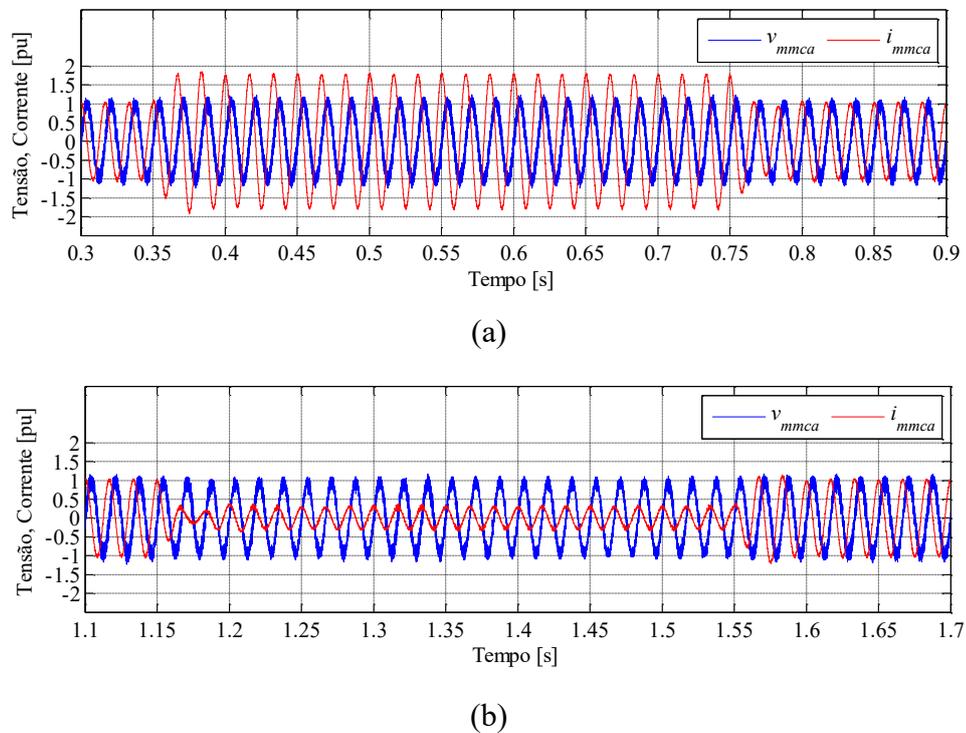
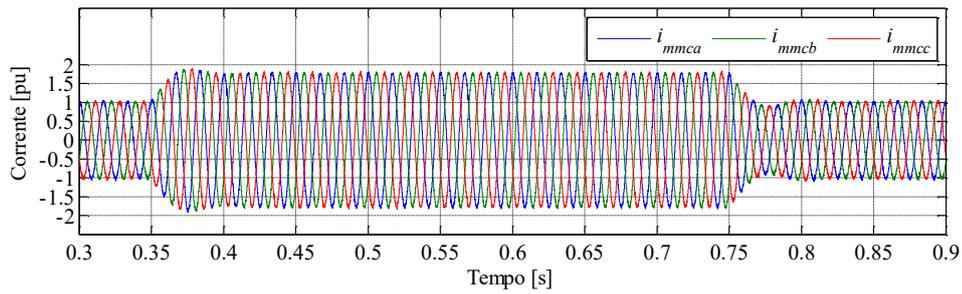


Gráfico 62 – Tensão nos capacitores da fase **c** – variação de v_{pcc}^* 

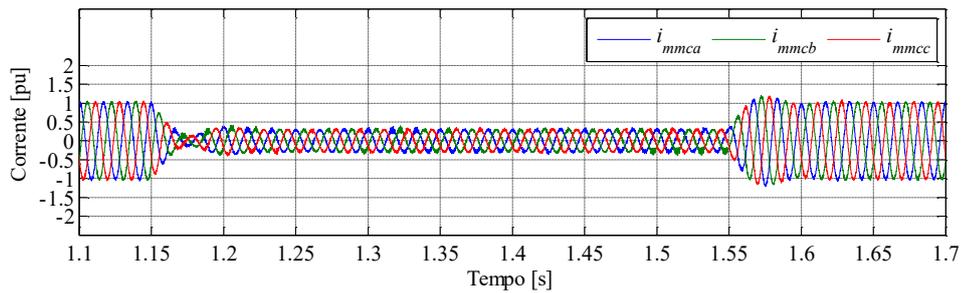
As tensões e correntes no conversor *MMC* podem ser visualizadas no Gráfico 63.

Gráfico 63 – Tensão e corrente no conversor *MMC* – variação de v_{pcc}^* 

As mudanças nas correntes do conversor *MMC*, que variam em função das variações da tensão de referência v_{pcc}^* , são claramente visualizadas no Gráfico 64.

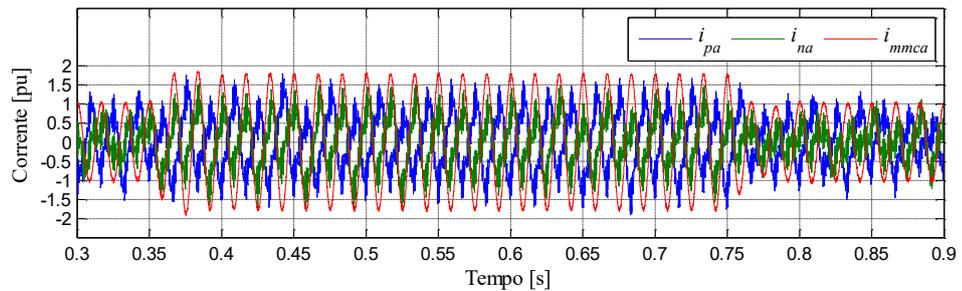
Gráfico 64 – Correntes do conversor *MMC* – variação de v_{pcc}^* 

(a)

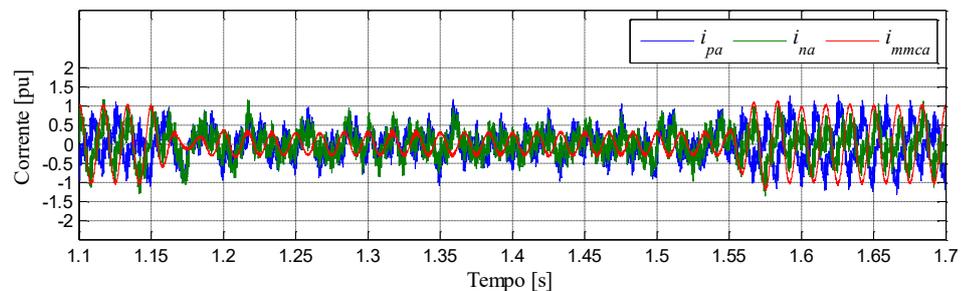


(b)

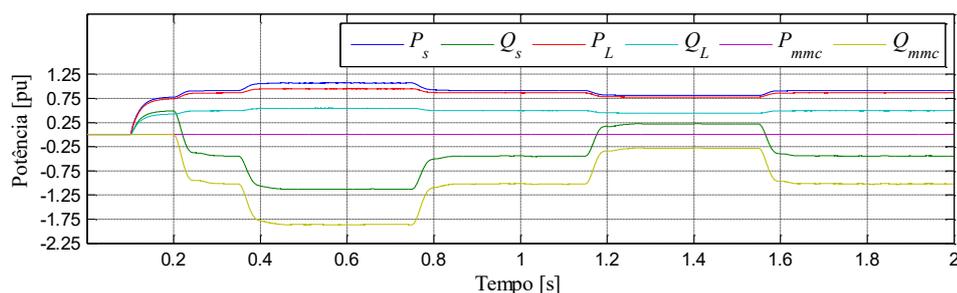
O Gráfico 65 apresenta as correntes dos braços e as correntes de fase do conversor *MMC* para diferentes valores de v_{pcc}^* e o Gráfico 66 explicita as variações nas potências.

Gráfico 65 – Correntes dos braços do conversor *MMC* – variação de v_{pcc}^* 

(a)



(b)

Gráfico 66 – Potências da fonte, carga e conversor *MMC* – variação de v_{pcc}^* 

A Tabela 8 apresenta os valores das potências para o tempo de 1,4s extraídos do Gráfico 66.

Tabela 8 – Potências da fonte, carga e conversor *MMC* – variação de v_{pcc}^*

Potência	Valor
P_s	0,811 pu
P_L	0,779 pu
Q_L	0,446 pu
P_{mmc}	0,00186 pu
Q_s	0,223 pu
Q_{mmc}	-0,278 pu

5.7 Variação da Tensão de Referência dos Capacitores

Com o objetivo de validar a estratégia de controle, realizou-se uma simulação considerando a variação da tensão de referência v_{cc}^* para os capacitores dos módulos de potência do conversor *MMC*. Tal variação, processada pelo conversor *MMC*, deve manter a tensão no PCC em 1,0 pu enquanto a tensão nos capacitores varia de 0,95 a 1,05 pu. No entanto, considera-se pouco provável a mudança sistemática da tensão de referência dos capacitores em uma situação prática. A mesma lógica e sequência de apresentação gráfica das seções anteriores é seguida. A carga utilizada é de 5 MVA – $\cos\phi = 0,866$ indutivo.

A variação da tensão de referência dos capacitores dos módulos ocorre de forma controlada e em rampa, partindo-se de 1,00 pu, alcançando 1,05 pu e 0,95 pu e retornando a 1,00 pu. O Gráfico 67 apresenta as variações que ocorrem no valor coletivo da tensão no PCC

em cada mudança de ajuste da tensão de referência e o Gráfico 68 mostra as tensões de fase no PCC. As mudanças do valor de referência ocorrem em 0,3 s, 0,5 s, 0,7 s e 0,9 s.

Gráfico 67 – Valor coletivo da tensão do PCC – variação de v_{cc}^*

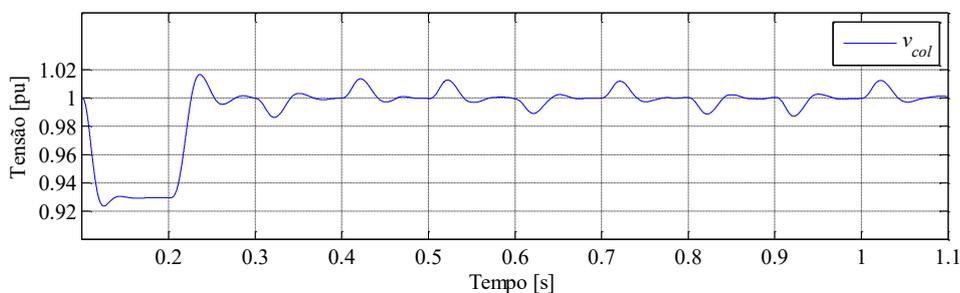
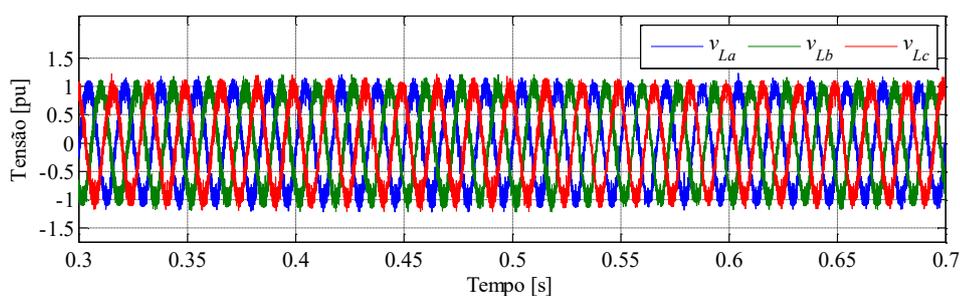
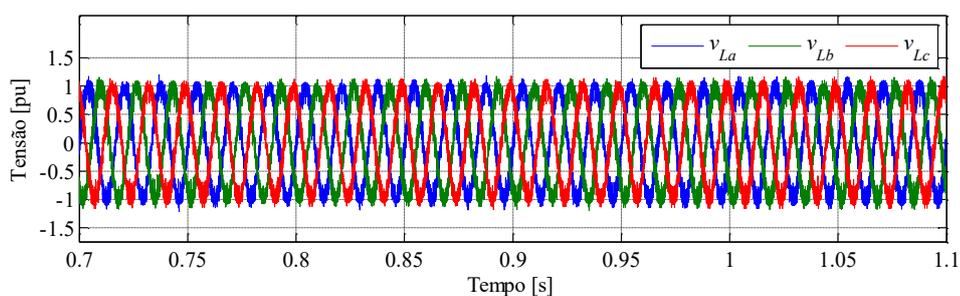


Gráfico 68 – Tensão no PCC – variação de v_{cc}^*



(a)



(b)

Na sequência, os Gráficos 69, 70 e 71 apresentam as tensões nos capacitores. Pode-se observar que as tensões nos capacitores seguem a referência de tensão que varia em forma de rampa.

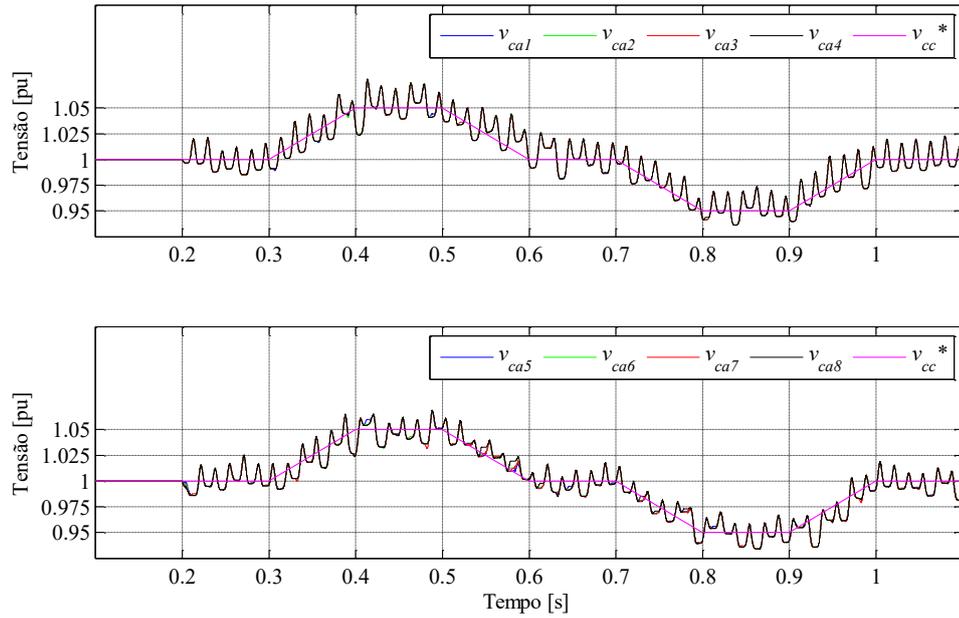
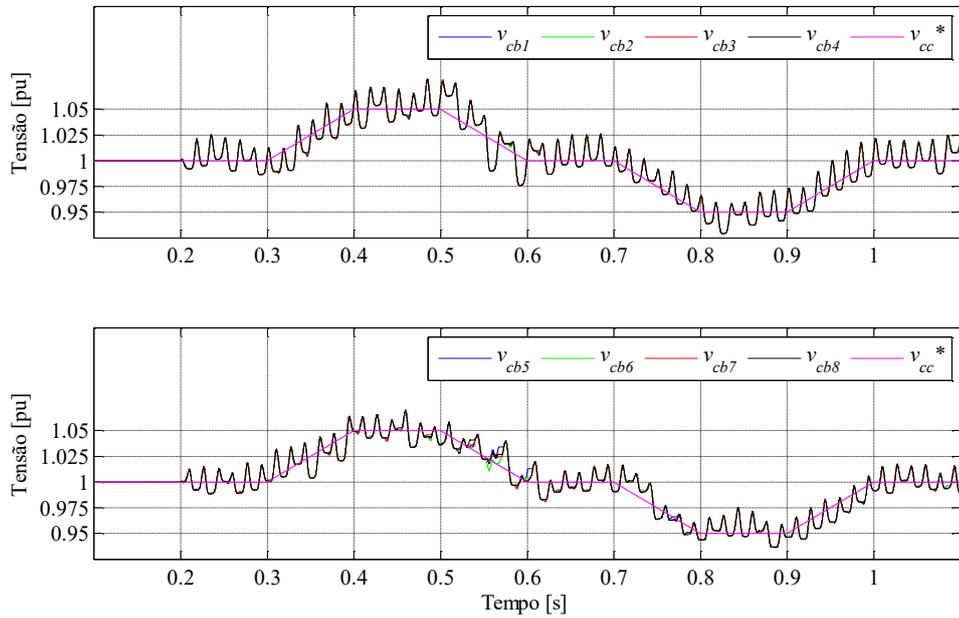
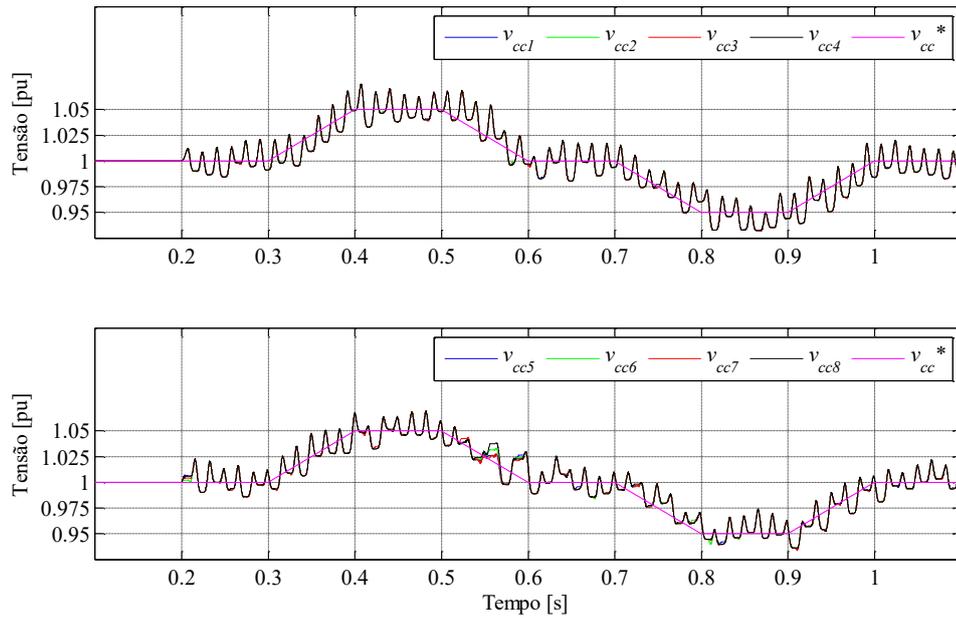
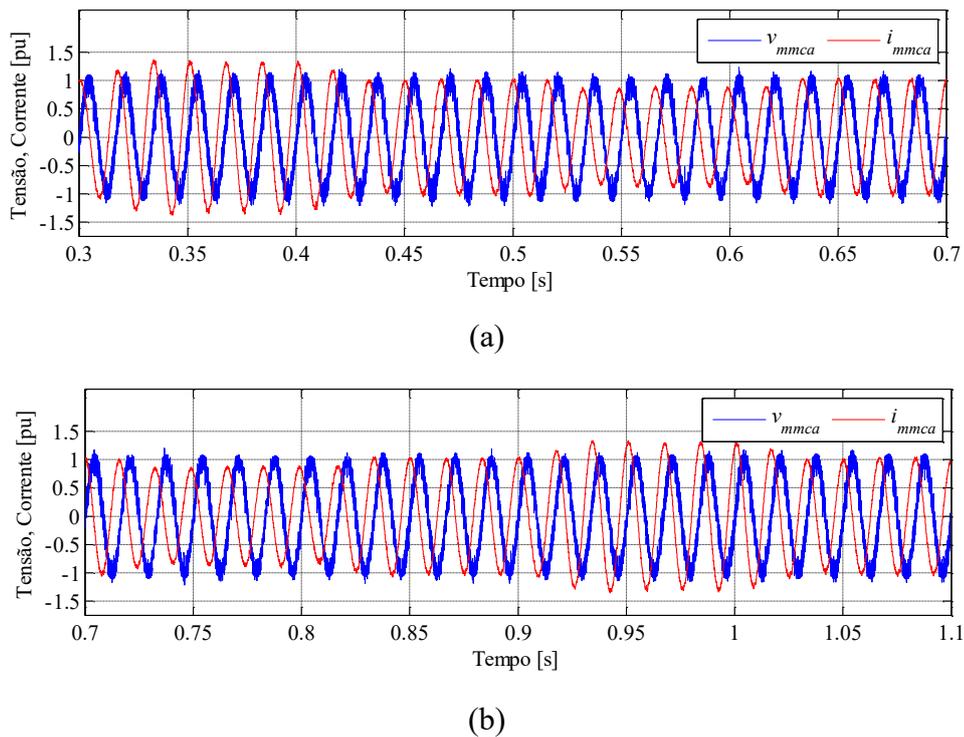
Gráfico 69 – Tensão nos capacitores da fase a – variação de v_{cc}^* Gráfico 70 – Tensão nos capacitores da fase b – variação de v_{cc}^* 

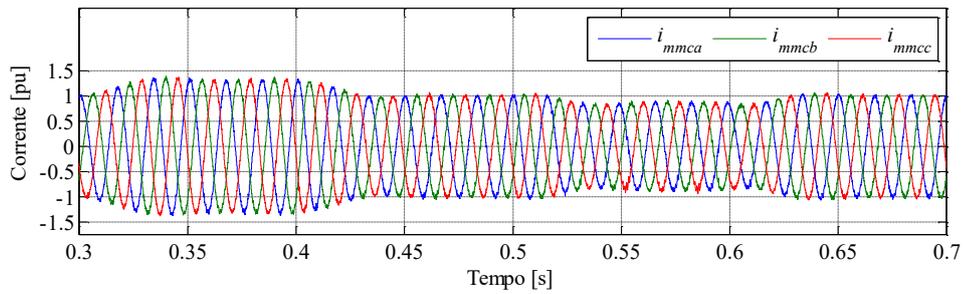
Gráfico 71 – Tensão nos capacitores da fase c – variação de v_{cc}^* 

Percebe-se que o controle geral de potências atua para atender a nova especificação e que a lógica de comando das chaves acompanha essa especificação. O comportamento das tensões e correntes no conversor *MMC* pode ser visualizado no Gráfico 72.

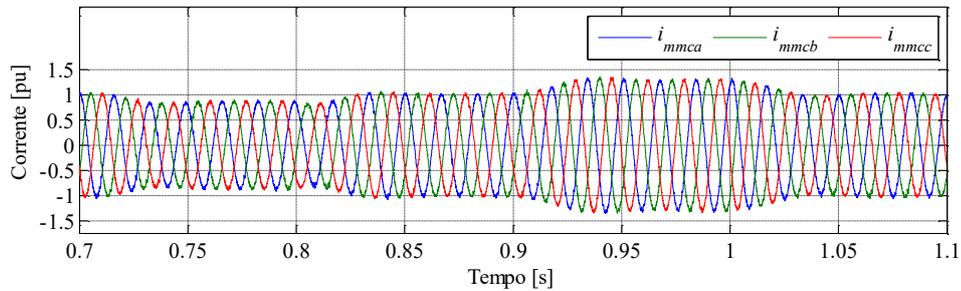
Gráfico 72 – Tensão e corrente no conversor *MMC* – variação de v_{cc}^* 

Os acréscimos nos valores das correntes do conversor *MMC* podem ser visualizados no Gráfico 73 a cada mudança do valor de referência para os capacitores dos módulos de potência e o Gráfico 74 apresenta as correntes dos braços do conversor *MMC*.

Gráfico 73 – Correntes do conversor *MMC* – variação de v_{cc}^*

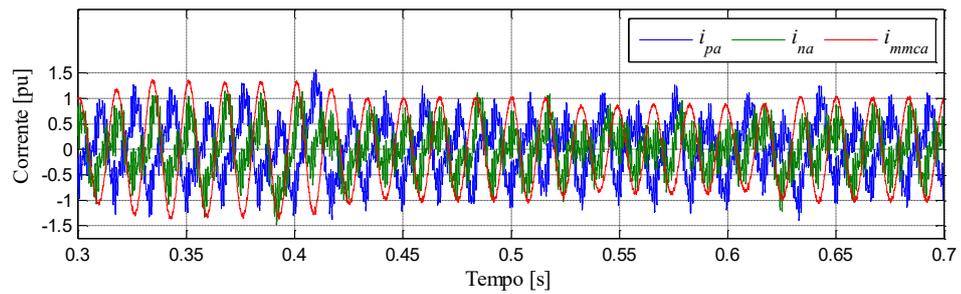


(a)

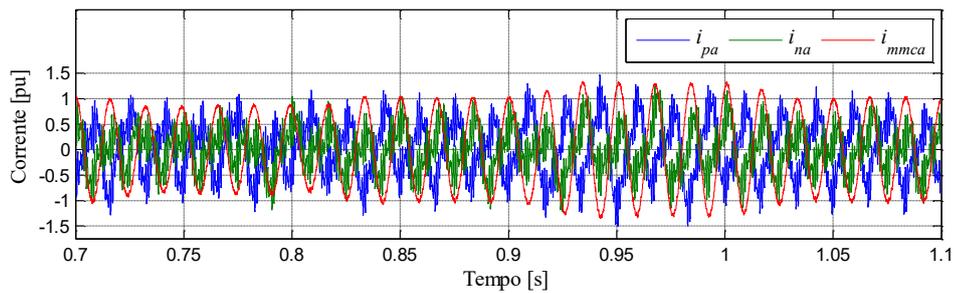


(b)

Gráfico 74 – Correntes dos braços do conversor *MMC* – variação de v_{cc}^*



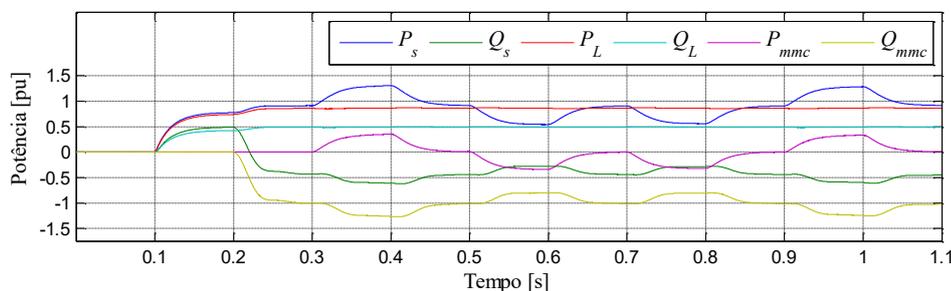
(a)



(b)

O Gráfico 75 explicita as variações nas potências para as mudanças de v_{cc}^* .

Gráfico 75 – Potências da fonte, carga e conversor MMC – variação de v_{cc}^*



O teste de variação da tensão de referência do capacitor demonstra que a lógica desenvolvida atende também a esta solicitação.

5.8 Testes de Consistência

Dois testes adicionais são conduzidos com o objetivo de avaliar o desempenho da lógica de comando das chaves semicondutoras. O primeiro é um teste de longa duração para verificar a efetividade do controle e testar a estabilidade do sistema. O segundo teste é para avaliar o comportamento das tensões dos capacitores e as demais grandezas do sistema elétrico, carga e conversor, quando estão sob controle ou não da lógica de comando.

5.8.1 Teste de Longa Duração

Um teste de longa duração, 10 s, é executado para verificar a atuação da lógica. É utilizada uma carga RL de 5 MVA – $\cos\phi = 0,866$. Como esse teste é equivalente ao teste da seção 5.1, Carga Pesada, aumentando-se apenas o tempo de duração de 2 para 10s, somente as figuras relativas às tensões dos capacitores são mostradas, visto que os demais resultados, permanecem inalterados.

Os Gráficos 76, 77 e 78 apresentam as tensões nos capacitores das fases **a**, **b** e **c**, respectivamente.

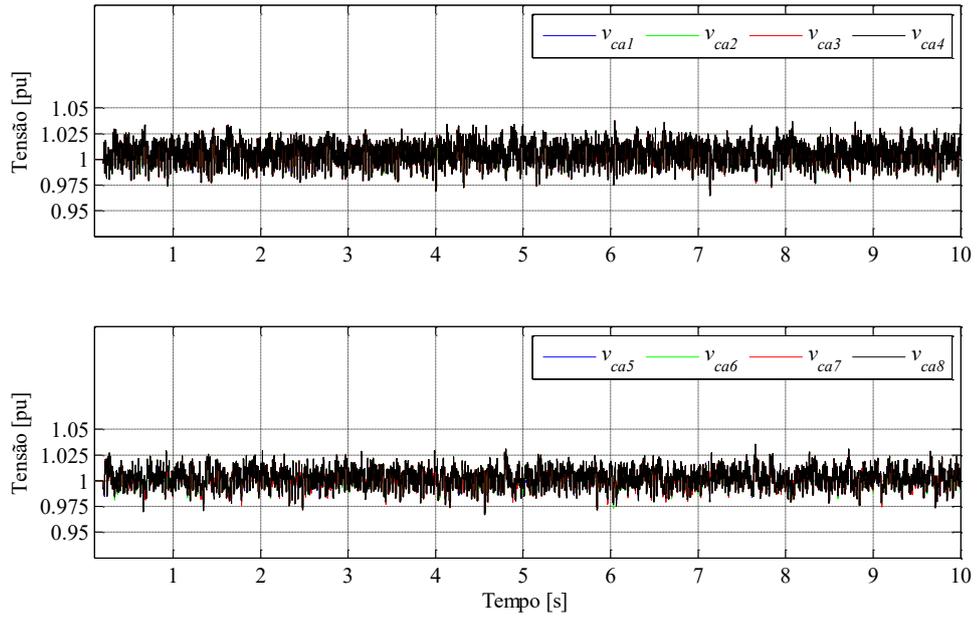
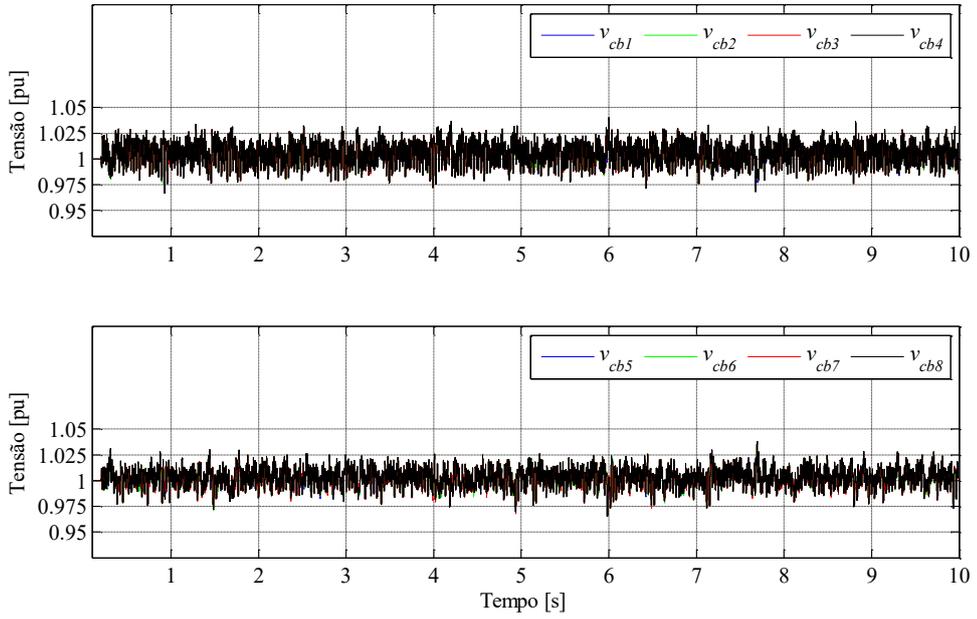
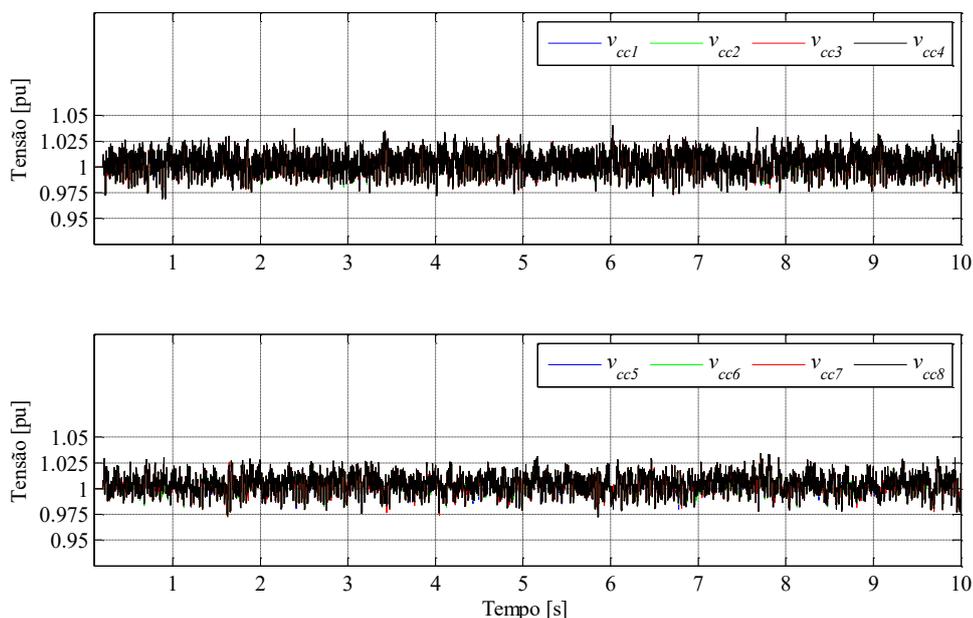
Gráfico 76 – Tensão nos capacitores da fase **a** – teste de longa duraçãoGráfico 77 – Tensão nos capacitores da fase **b** – teste de longa duração

Gráfico 78 – Tensão nos capacitores da fase c – teste de longa duração



Como pode-se observar, as tensões nos capacitores se mantêm coerentes com os demais resultados já apresentados, não havendo perda do controle sobre as mesmas.

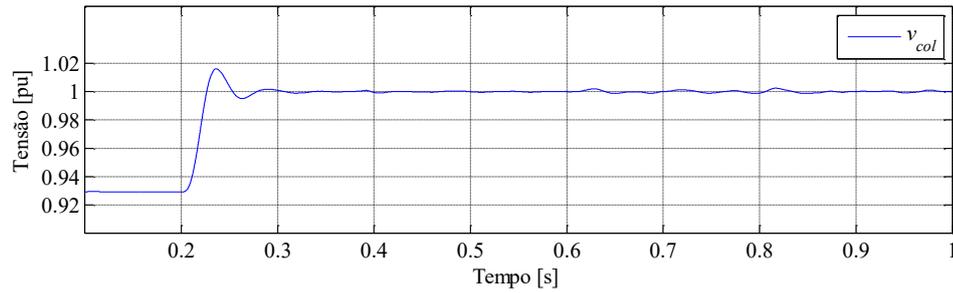
5.8.2 Teste de Desligar e Ligar a Lógica de Comando

Para demonstrar que a lógica, de fato, tem efeito determinante no comportamento das tensões dos capacitores dos módulos do conversor *MMC*, é realizada uma simulação que apresenta as tensões dos capacitores controladas e não controladas pela lógica de comando dos dispositivos semicondutores. A duração da simulação é de 1 s, suficiente para a demonstração que se quer realizar, e o desligamento da lógica ocorre entre 0,4 s e 0,6 s.

É importante salientar que quando a lógica de comando está desligada, significa dizer que o comando das chaves é feito apenas pela estratégia de chaveamento *PS-PWM*.

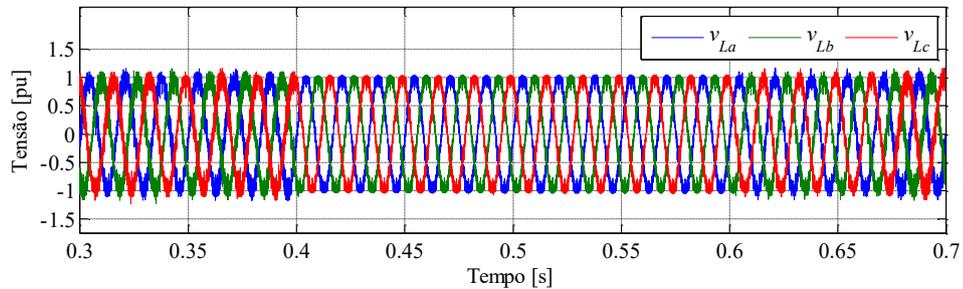
O Gráfico 79 apresenta o valor coletivo de tensão do PCC, na qual é possível observar que durante o período de desligamento da lógica, esse valor de tensão apresenta menores variações de amplitude, em detrimento do controle das tensões dos capacitores. Durante o período de 0,6 a 0,8 s, quando ocorre a recuperação do controle pelo lógica de comando, observa-se maior variação na amplitude da tensão coletiva, normalizando-se logo em seguida.

Gráfico 79 – Valor coletivo da tensão do PCC – teste desliga/liga lógica de comando



No Gráfico 80 é possível observar a tensão das fases no PCC.

Gráfico 80 – Tensão no PCC – teste desliga/liga lógica de comando



A falta de controle no equilíbrio das tensões entre os capacitores, bem como o não atingimento do valor de referência, podem ser observados nos Gráficos 81 a 83.

Gráfico 81 – Tensão nos capacitores da fase a – teste desliga/liga lógica de comando

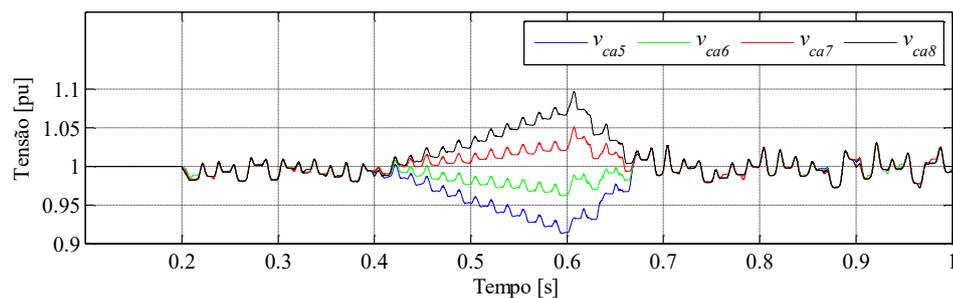
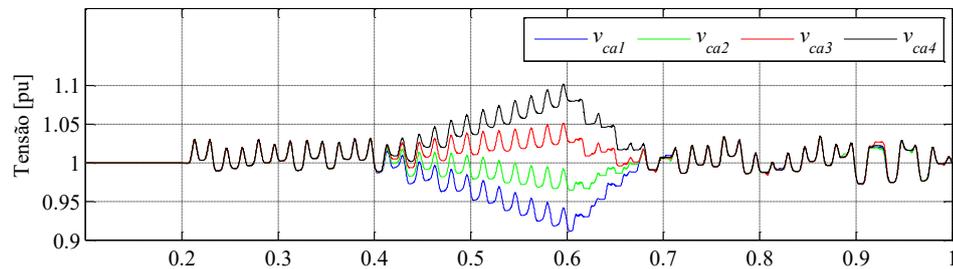
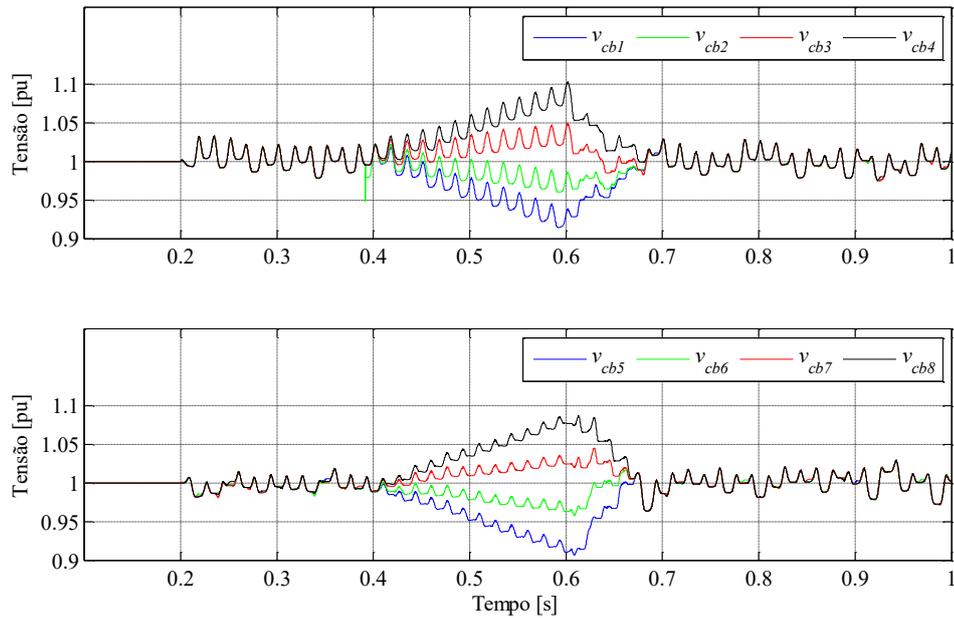
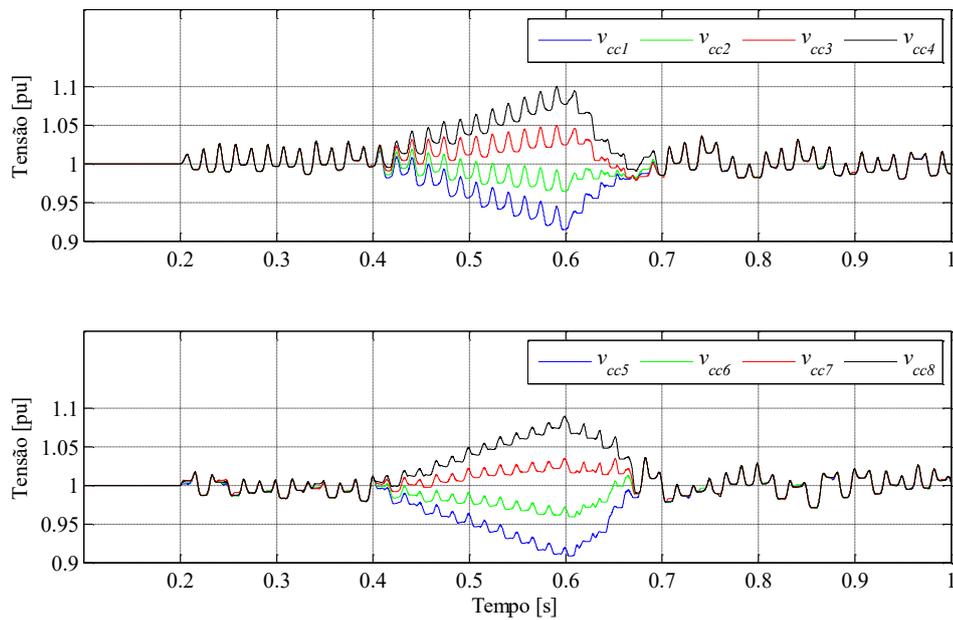
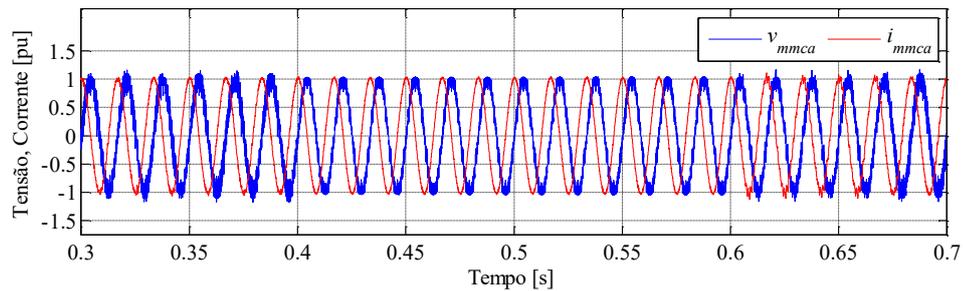


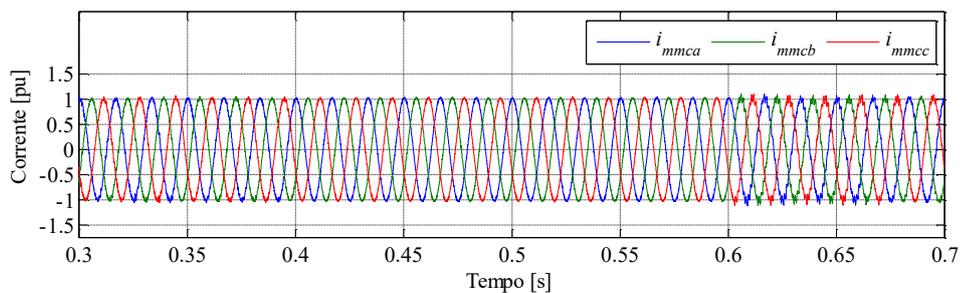
Gráfico 82 – Tensão nos capacitores da fase **b** – teste desliga/liga lógica de comandoGráfico 83 – Tensão nos capacitores da fase **c** – teste desliga/liga lógica de comando

O efeito da redução do chaveamento é perceptível quando a lógica de comando das chaves semicondutoras está desligada, período entre 0,4 e 0,6 s, como mostrado no Gráfico 84.

Gráfico 84 – Tensão e corrente no conversor – teste desliga/liga lógica de comando

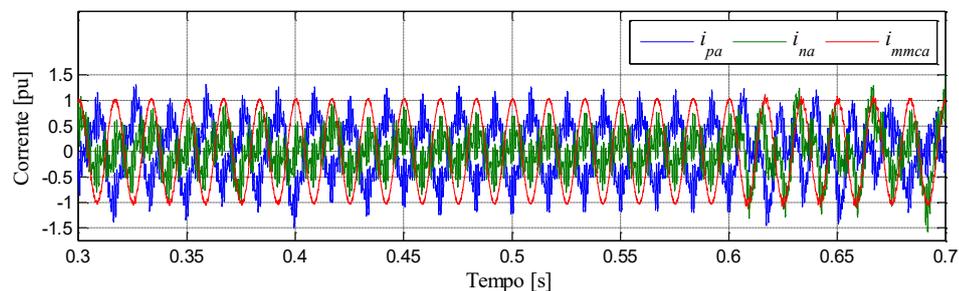


O Gráfico 85 explicita o aumento temporário do chaveamento após 0,6s nas correntes do conversor *MMC* após o religamento da lógica de comando das chaves semicondutoras.

Gráfico 85 – Correntes do conversor *MMC* – teste desliga/liga lógica de comando

No Gráfico 86 estão apresentadas as correntes dos braços e de fase do conversor.

Gráfico 86 – Correntes dos braços do conversor – teste desliga/liga lógica de comando

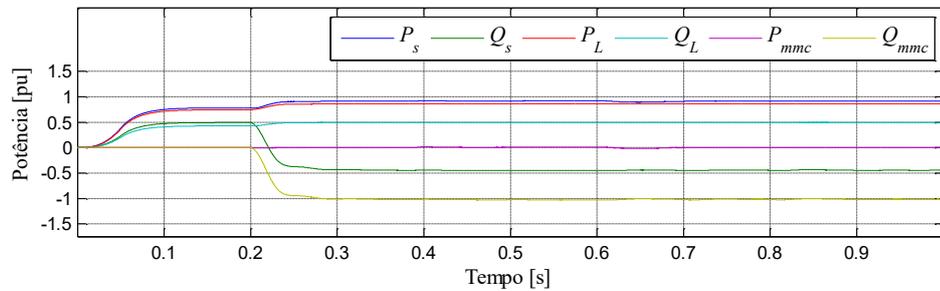


As correntes dos braços do conversor se apresentam mais uniformes com a lógica desligada após 0,4s, o que é coerente, pois na modulação *PS-PWM* o comando das chaves é totalmente simétrico, o que não ocorre com a lógica implementada.

O Gráfico 87 apresenta as potências da fonte, carga e do conversor *MMC*. Durante o

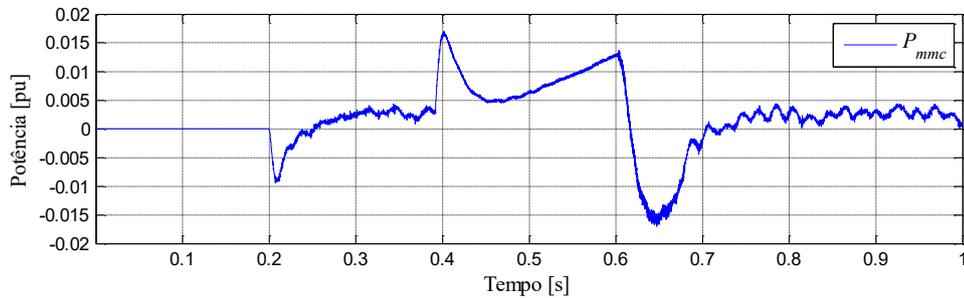
desligamento da lógica de comando das chaves semicondutoras as potências, de uma forma geral, não se alteram. Alteração maior se verifica no retorno da lógica, quando se cria uma perturbação e ocorre um transitório até se estabelecer as condições de regime permanente.

Gráfico 87 – Potências da fonte, carga e conversor *MMC* – teste desliga/liga lógica de comando



O Gráfico 88 apresenta de forma mais detalhada o que ocorre com a potência ativa do conversor *MMC*, a qual explicita a variação que ocorre nessa potência devido ao desligamento e ao religamento da lógica de comando das chaves semicondutoras.

Gráfico 88 – Potência ativa do conversor – teste desliga/liga lógica de comando



5.9 Modelo de Baixa Tensão

Um modelo para o conversor *MMC* foi desenvolvido em escala reduzida com a seguinte especificação: conversor trifásico na configuração dupla estrela, com 4 módulos por fase, na configuração *Chopper*, capacidade nominal de 5 kVA.

O objetivo é avaliar se o projeto do controlador pode ser estendido a outros conversores *MMC* com diferentes números de módulos e níveis de tensão de saída. Além disso, pode-se verificar o desempenho dos controladores de potência e da lógica de comando das chaves

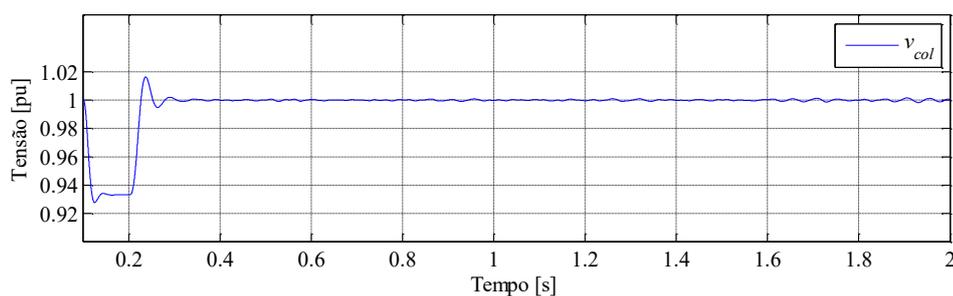
semicondutoras bem como produzir resultados suficientes para uma bancada de baixa tensão. A carga utilizada é de 5 kVA - 0,220kV – $\cos\phi = 0,866$ indutivo. A especificação completa é apresentada no Quadro 5.

Quadro 5 – Parâmetros do conversor e da rede de baixa tensão

Parâmetro	Símbolo	Especificação
Tensão nominal de linha (<i>RMS</i>)	v_s	0,220 kV
Parâmetros da rede de baixa tensão	$Z(R_R/L_R)$	0,39 Ω / 2,0 mH
Potência nominal do conversor <i>MMC</i>	S	5 kVA
Indutor de acoplamento	l	1,3 mH (5%)
Tensão de referência do capacitor dos módulos	v_{ref}	0,192 kV
Capacitância do capacitor dos módulos	C	8,2 mF
Constante de unidade de capacitância	H	115 ms
Frequência de chaveamento para o <i>PWM</i>	f_c	1020 Hz
Valores base trifásico: 5 kVA – 0,220 kV – 13,12 A – 60 Hz		

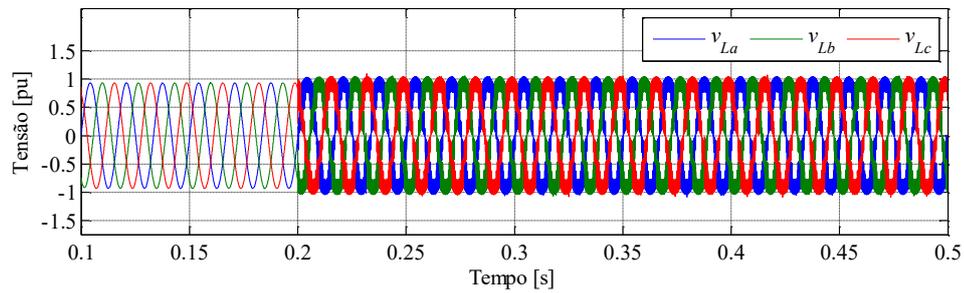
O Gráfico 89 apresenta o valor coletivo da tensão no PCC.

Gráfico 89 – Valor coletivo da tensão do PCC – modelo de baixa tensão



Observa-se no Gráfico 90 que a tensão nas fases do PCC possui distorções menores que aquelas apresentadas pelo modelo de média tensão.

Gráfico 90 – Tensão no PCC – modelo de baixa tensão



Os Gráficos 91 a 93 mostram que as tensões nos capacitores ficam numa faixa de $\pm 1,8\%$ em torno do valor de referência.

Gráfico 91 – Tensão nos capacitores da fase a – modelo de baixa tensão

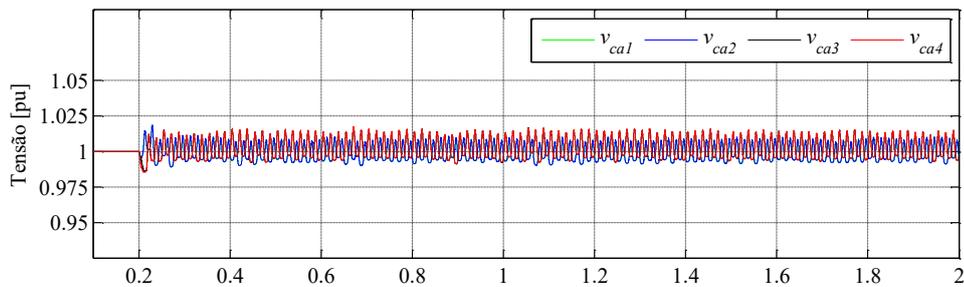


Gráfico 92 – Tensão nos capacitores da fase b – modelo de baixa tensão

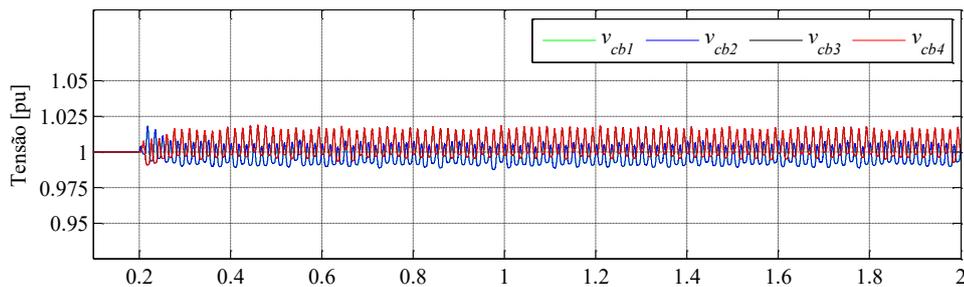
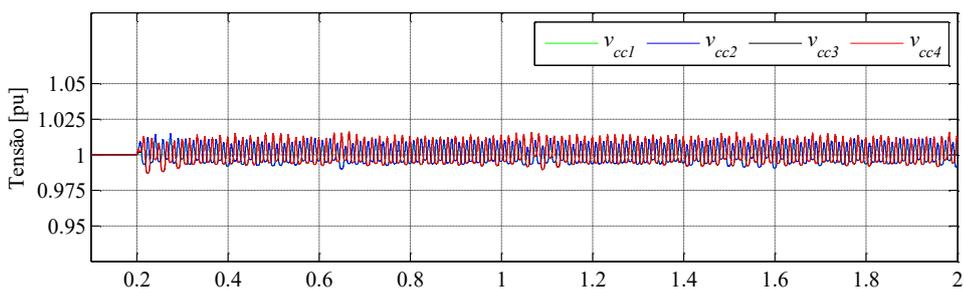


Gráfico 93 – Tensão nos capacitores da fase c – modelo de baixa tensão



As tensões e correntes na carga e no conversor *MMC* podem ser visualizadas nos Gráficos 94 e 95. Observa-se que o efeito de chaveamento no modelo de baixa tensão é menor. Também é possível observar claramente os cinco níveis na tensão do PCC.

Gráfico 94 – Tensão e corrente na carga – modelo de baixa tensão

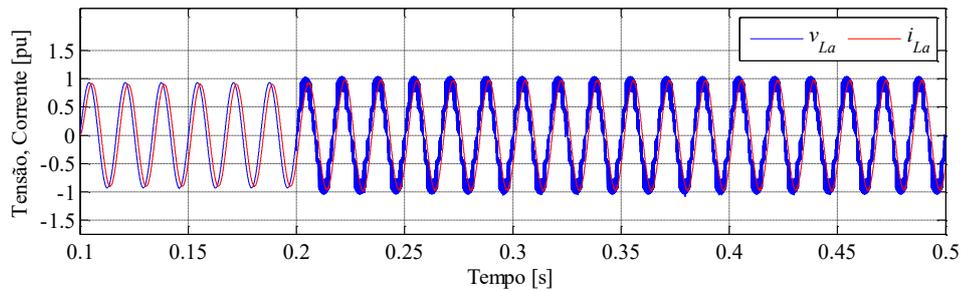
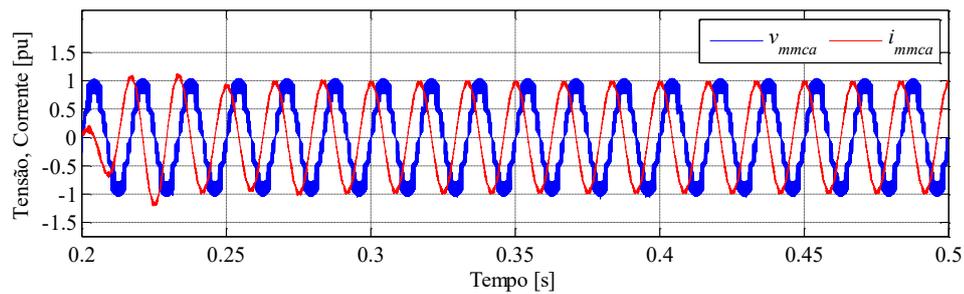
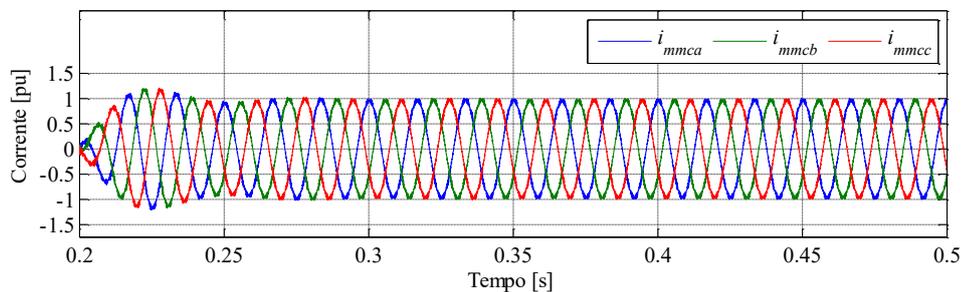


Gráfico 95 – Tensão e corrente no conversor *MMC* – modelo de baixa tensão

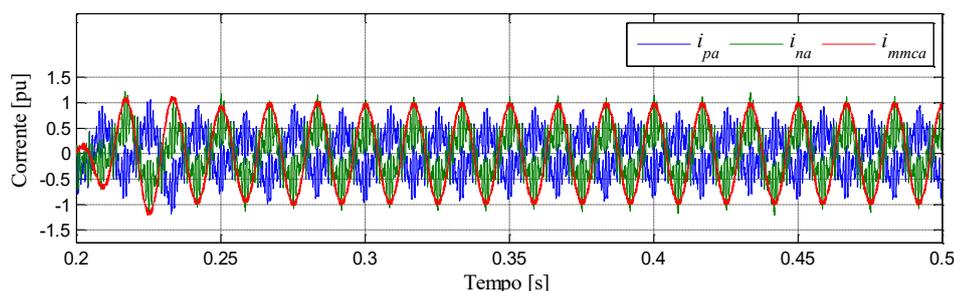
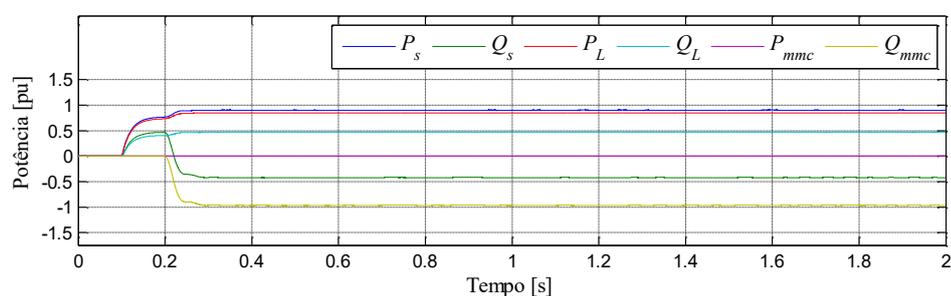


As correntes do conversor *MMC* são mostradas, em detalhe, no Gráfico 96.

Gráfico 96 – Correntes do conversor *MMC* – modelo de baixa tensão



As correntes dos braços do conversor são apresentadas no Gráfico 97 e as potências do sistema no Gráfico 98.

Gráfico 97 – Correntes dos braços do conversor *MMC* – modelo de baixa tensãoGráfico 98 – Potências da fonte, carga e conversor *MMC* – modelo de baixa tensão

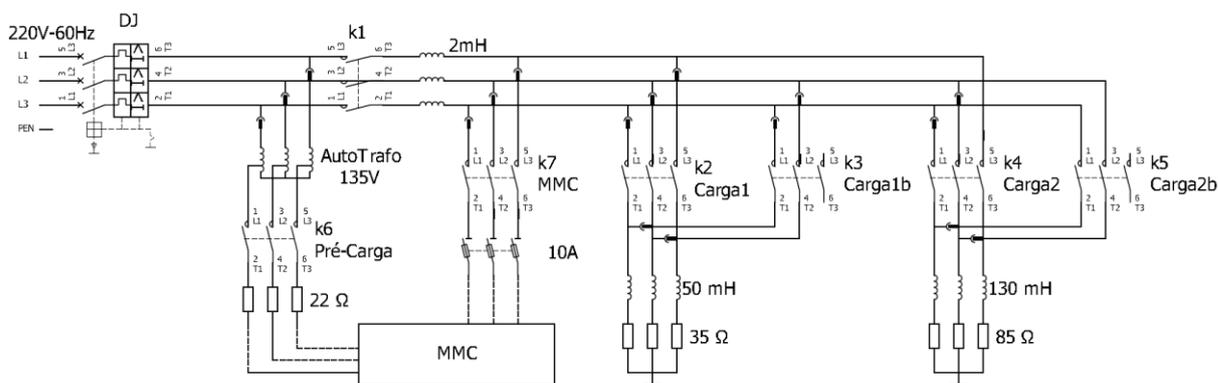
Com uma lógica mais simples e sem redução no número de comparações entre as tensões dos capacitores, o modelo de baixa tensão do conversor apresenta ondas de tensão e corrente de fase com menor efeito de chaveamento. Nas correntes dos braços do conversor, por exemplo, se mantêm um espaçamento e amplitude uniforme entre si. Além disso, nas tensões dos capacitores de um mesmo grupo de módulos, positivo ou negativo, praticamente não apresenta nenhum efeito de descolamento das tensões. Adicionalmente, as tensões dos capacitores estão inseridas numa faixa de tensão de $\pm 1,8\%$, faixa menor que a do modelo de média tensão. Notadamente, o modelo de baixa tensão, por apresentar menor número de módulos por fase, detém pior resultado em termos de distorção harmônica.

6 IMPLEMENTAÇÃO DA BANCADA DE TESTES

Com o objetivo de validar os resultados obtidos através de simulação computacional, foi implementado um protótipo em escala reduzida. O conversor *MMC*, com quatro módulos de potência por fase, foi projetado para ter 5 níveis nas tensões de fase (9 níveis nas tensões de linha) e para operar com capacidade de 1,25 kVA – 220 V – 60 Hz, em um circuito contendo duas cargas trifásicas: carga 1 de 1,25 kVA – $(35 + j18,85) \Omega$ e carga 2 de 0,5 kVA – $(85 + j49,01) \Omega$.

A Figura 26 apresenta o circuito de potência da bancada de testes que tem origem no disjuntor geral DJ. Um indutor de 2 mH é utilizado para representar a linha de distribuição e provocar uma queda de tensão na rede. A bancada foi implementada de forma que o conversor possa alimentar uma carga isolada, exercendo a função de um inversor, bem como possa ser conectado em paralelo com a rede, exercendo a função de um *STATCOM*.

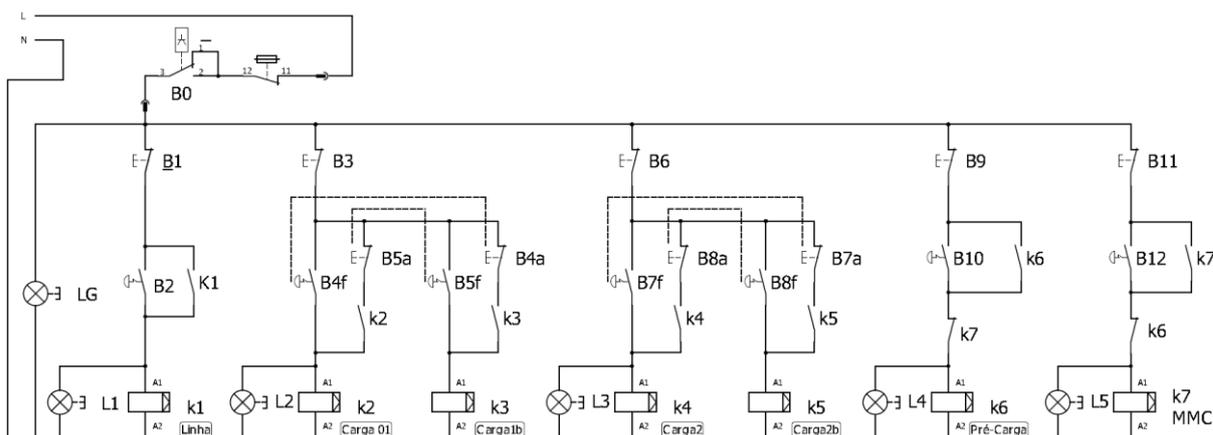
Figura 26 – Circuito de potência da bancada.



Vários contadores são utilizados para seccionar o circuito de potência: k1 a k7. O contator k1 energiza a linha de distribuição da bancada, os contadores k2 e k4 energizam as cargas trifásicas de 1250 VA e 500 VA, respectivamente, enquanto que os contadores k3 e k5 energizam apenas duas fases das cargas 1 e 2, permitindo simular desequilíbrios de corrente ou mesmo falta de fase. O contator k6 alimenta o circuito de pré-carga do conversor MMC, enquanto que o contator k7 faz a conexão do MMC ao barramento de carga da rede de distribuição. Os contadores k6 e k7 possuem em seu circuito de comando um bloqueio, impedindo que ambos sejam ligados simultaneamente.

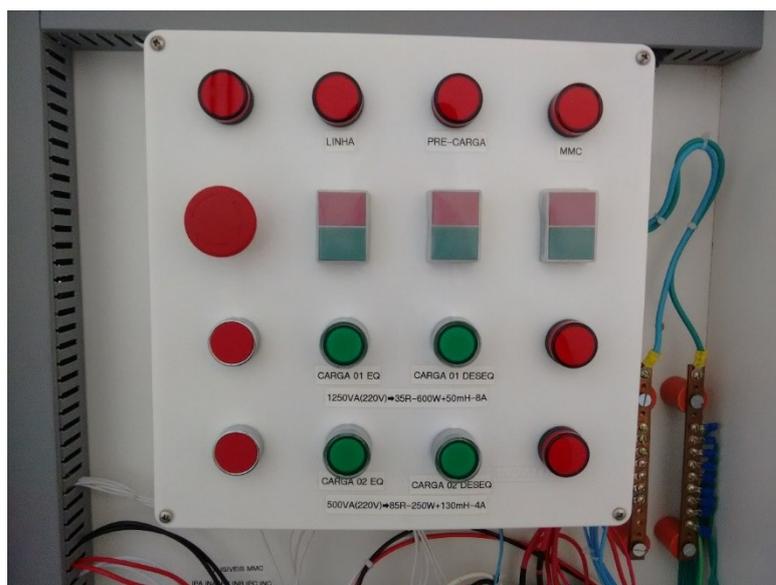
Todos os contatores foram instalados em trilho DIM no lado da bancada destinado aos circuitos de potência, comando e proteção. Internamente, o conversor *MMC* possui 6 fusíveis de 10 A, um para cada braço do conversor. O circuito de comando da bancada de testes é apresentado na Figura 27.

Figura 27 – Circuito de comando da bancada.



Assim como os contatores, as botoeiras de comando e lâmpadas de sinalização, agrupadas em um painel de comando conforme Fotografia 1, também foram instaladas no lado da bancada destinado aos circuitos de potência e comando.

Fotografia 1 – Painel de Comando.



A bancada de testes possui na parte central, conforme Fotografia 2, a acomodação dos

doze módulos inversores, dos indutores de amortecimento e comutação, dos indutores de linha, das cargas e do autotransformador do circuito de pré-carga. Na lateral esquerda estão instalados o circuito de instrumentação e controle e na lateral direita os circuitos de proteção, comando e força.

Fotografia 2 – Bancada.



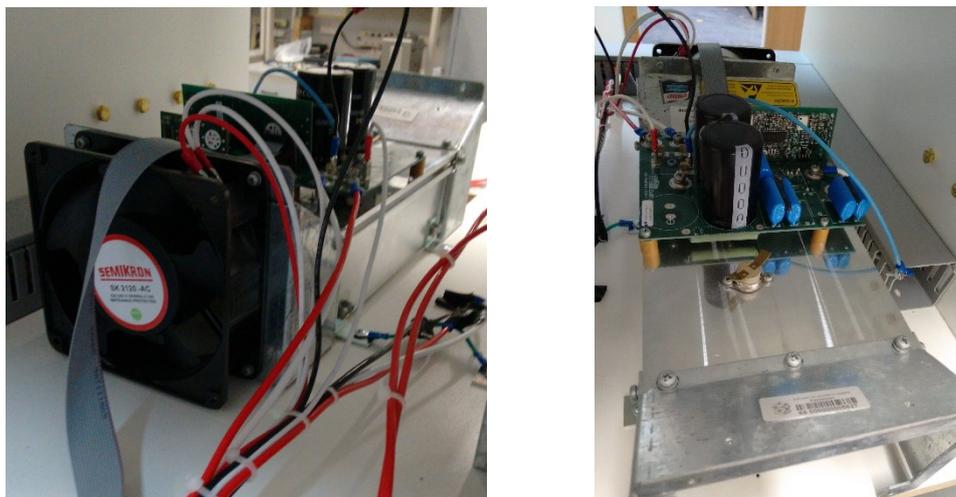
Este capítulo apresenta os circuitos de potência e controle desenvolvidos para o *MMC* de 5 níveis por fase.

6.1 Circuito de Potência do Conversor *MMC*

O circuito de potência do conversor *MMC* é constituído por 12 módulos inversores SEMIKRON B6U+1/2 B2CI 400/150-15F, com tensão nominal de 400 Vdc, 220 Vca e corrente nominal de 15 A, além dos indutores de amortecimento e comutação dos braços do conversor com valor nominal de 4,46 mH – 20 A.

Cada módulo inversor da SEMIKRON é composto basicamente por uma ponte de diodos trifásica SKD 25/08, um módulo de IGBTs SEMITOP SK 45 GB 063, um driver SKHI 20 op a, uma fonte PIM SKHI PS3 para o driver, capacitores totalizando 1,36 mF, além de ventilador, dissipador e termostato. A Fotografia 3 apresenta o módulo inversor.

Fotografia 3 – Módulo inversor B6U+1/2 B2CI 400/150-15F da SEMIKRON.



Os capacitores dos módulos inversores que compõem o conversor *MMC* são carregados inicialmente através do circuito de pré-carga até o valor nominal de 190 V. Esse valor é alcançado através do uso de um autotransformador trifásico que reduz a tensão de linha da rede convencional de 220 V para 135 V. Após concluído o carregamento, liga-se o contator do *MMC* que automaticamente desliga o circuito de pré-carga, caso esteja selecionado para operar como *STATCOM*. O Quadro 6 apresenta a especificação do conversor *MMC*.

Quadro 6 – Parâmetros do Conversor *MMC* implementado

Parâmetro	Símbolo	Especificação
Tensão nominal de linha (<i>RMS</i>)	v_s	0,220 V
Potência nominal do conversor <i>MMC</i>	S	1,25 kVA
Indutor de amortecimento e comutação	l	4,40 mH (4,3%)
Tensão de referência do capacitor dos módulos	v_{cc}^*	190 V
Capacitância do capacitor dos módulos	C	1,36 mF
Constante de unidade de capacitância	H	115 ms
Frequência de chaveamento para o <i>PWM</i>	f_c	1200 e 9000 Hz
Número de módulos inversores	M	12
Valores base trifásico: 1,25 kVA – 0,220 kV – 60 Hz		

6.2 Instrumentação e Controle

O protótipo do conversor *MMC* tem todo o seu controle atribuído ao microcontrolador TMS320F28379D, que desempenha as funções de conversão analógica-digital, controle de potência ativa e reativa, geração dos pulsos *PS-PWM* e demais sinais digitais que são enviados para o *FPGA*, onde está implementada a lógica de comando dos *IGBTs*, contribuição deste trabalho.

Os dados de tensão e corrente elétrica são processados no microcontrolador. As tensões dos capacitores dos doze módulos inversores $v_{ca1} \dots v_{cc4}$, as tensões de linha v_{ab} e v_{bc} e as correntes de linha i_a e i_c são medidas pelos sensores contidos na placa 1, com a utilização do sensor adequado à medida, tensão ou corrente elétrica, totalizando dezesseis medidas analógicas. Essas medidas são enviadas à placa 2 para condicionamento dos sinais e posteriormente à entrada do microcontrolador (0 a 3 V).

Ao todo são duas placas de condicionamento de sinais, contendo oito canais analógicos cada. Na placa de condicionamento os sinais passam por um filtro *Butterworth* de 4ª ordem e, em seguida, pelo circuito condicionador formado por amplificadores operacionais, de forma a fornecer o valor desejado de 0 a 3 V para o microcontrolador.

No microcontrolador, as medidas analógicas são convertidas para sinais digitais e processadas nas diversas etapas presentes no sistema de controle: proteção contra sobre tensão e sobre corrente, *PLL*, detector de sequência positiva, cálculo de potência ativa e reativa, cálculo da corrente de referência, cálculo da tensão de referência, geração do sinal *PWM*, comparação entre as tensões dos capacitores e identificação do sentido das correntes do *MMC*. sendo que apenas os três últimos conjuntos de dados são enviados ao *FPGA*.

A Fotografia 4 apresenta o kit de desenvolvimento TMDSDOCK28379D da Texas e o Quadro 7 resume suas principais características.

Fotografia 4 – Kit de desenvolvimento TMDSDOCK28379D da Texas.



Quadro 7 – Principais características do kit de desenvolvimento TMDSDOCK28379D

Kit Texas TMDSDOCK28379D		
Arquitetura Dual Core com Unidade de Ponto Flutuante de 32 bits		
Característica	Descrição	Quantidade
Microcontrolador	TMS320F28379	2
Recursos de processamento	<i>CPU</i> de 200 MHz	2
	Coprocessadores de 200 MHz	2
	Canais de acesso direto à memória	12
	Capacidade de instruções por segundo	800 MIPS
Recursos de memória	Memória <i>Flash</i>	1 MB
	Memória <i>RAM</i>	204 KB
Recursos de detecção	Módulos de Conversores Analógico-Digitais	4
	Canais para conversão Analógico-Digital (12 bits)	20
Recursos de atuação	Módulos <i>ePWM</i>	12
	Canais <i>ePWM</i>	24
	Canais de conversão Digital-Analógico (12 bits)	3
Recursos de I/O	Máximo número de canais digitais	102

É no *FPGA* que está implementada a lógica de comando, principal contribuição deste trabalho. Ao todo são enviados do microcontrolador ao *FPGA* vinte e um sinais digitais, sendo doze sinais *PWM*, seis sinais de comparação entre as tensões dos capacitores e três sinais de identificação do sentido da corrente elétrica no *MMC*. Como saída, o *FPGA* fornece doze sinais

PWM com destino definido pela lógica de comando. Assim, são utilizados 33 dos 40 canais digitais disponíveis em suas cinco portas PMOD, que são portas de expansão para periféricos. A Fotografia 5 apresenta o *FPGA* e o Quadro 8 suas principais características.

Fotografia 5 – *FPGA* Nexys4-DDR (XC7A100T-1CSG324C), XILINX.

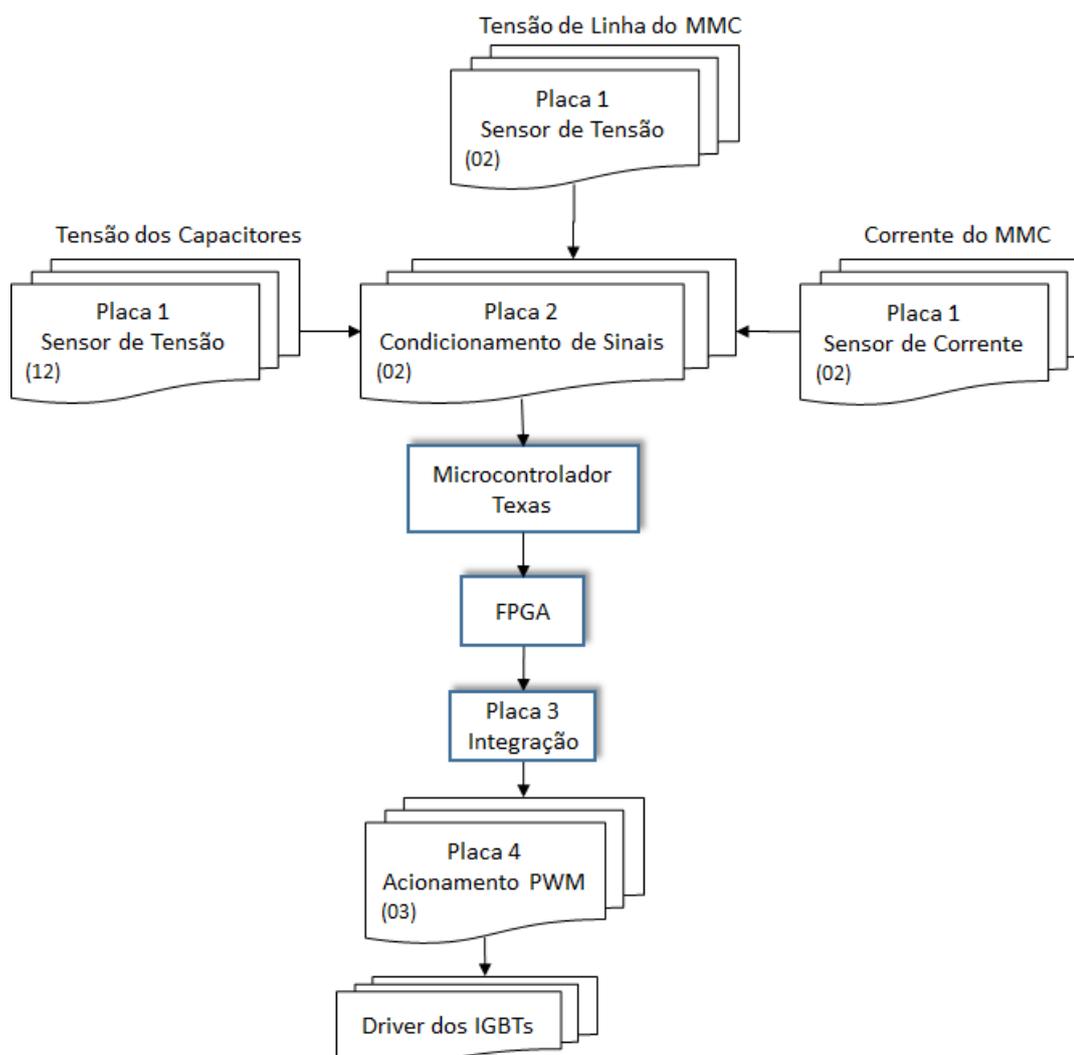


Quadro 8 – Parâmetros do circuito

<i>FPGA</i> XILINX Nexys4-DDR (XC7A100T-1CSG324C), Artix-7™		
Característica	Descrição	Quantidade
Recursos lógicos	Células lógicas	101.440
	<i>Slices</i> (6 entradas <i>LUT</i> + 8 <i>flip-flops</i> , cada)	15.850
	Blocos lógicos configuráveis <i>CLB flip-flops</i>	126.800
Recursos de memória	<i>RAM</i> máxima distribuída (Kbits)	1.188
	Bloco <i>RAM/FIFO</i> w/ <i>ECC</i> (36 Kb cada)	135
	Total de blocos de <i>RAM</i> (Kbits)	4.860
Recursos de <i>clock</i>	Unidades de Gerenciamento de Clock com <i>PLL</i>	6
	Velocidade do clock interno	> 450 MHz
Recursos de <i>I/O</i>	Máximo número de Entradas/Saídas simples	300
	Máximo número de Entradas/Saídas diferenciais	144
	<i>DSP slices</i>	240
	Máximo número de canais digitais	40

Os doze sinais *PWM* de saída do *FPGA* são enviados à placa 3, placa de integração, cuja principal função é gerar os sinais complementares de pulsos *PWM* para o segundo *IGBT* de cada célula *Chopper* ou de cada módulo do conversor *MMC*. A placa de integração também recebe do microcontrolador o sinal de reset para ser enviado aos *drivers* dos *IGBTs* e recebe dos *drivers* dos *IGBTs* um sinal de erro, quando este ocorre, para tratamento pelo microcontrolador. Entre a placa de integração e os *drivers* dos *IGBTs* existe ainda a placa 4, placa de acionamento *PWM*, que isola os sinais *PWM* recebidos da placa de integração através de um optoacoplador, adequando o nível de tensão a ser enviado aos *drivers* dos *IGBTs*. A Figura 28 apresenta o sistema de instrumentação e controle do conversor *MMC*.

Figura 28 – Sistema de instrumentação e controle.



No Quadro 9 são apresentados os componentes do sistema de instrumentação e controle e suas faixas de operação para os sinais de entrada e saída.

Quadro 9 – Sistema de instrumentação e controle – faixas de operação.

Dispositivo de Instrumentação	Modelo	Entrada	Saída
Transdutor de corrente LEM	LA 55-P	10 A rms	-1,7 a 1,7 V
Transdutor de tensão LEM	LV 25-P	-425 a 425 V	- 4,25 a 4,25 V
Placas de condicionamento de sinais	LEPAC	- 4,5 a 4,5 V	0 a 3 V
Microcontrolador Texas	TMS320F28379D	0 a 3 V	0 a 3 V
<i>FPGA XILINX</i>	Nexys 4 DDR	0 a 3,3 V	0 a 3,3 V
Placa de integração	LEPAC	0 a 5 V	0 a 3 V 0 a 5 V
Placas de acionamento <i>PWM</i>	LEPAC	0 a 5 V	0 a 15 V

6.3 Resultados Experimentais

Na etapa de simulação, vários cenários foram considerados, incluindo um modelo de baixa tensão de 5 kVA. Para a experimentação, foi implementado um conversor multinível modular de 1,25 kVA – 0,220 kV – 60 Hz, operando como inversor, conforme já apresentado no Quadro 6.

Deve-se observar algumas diferenças entre o modelo de baixa tensão simulado e o implementado devido às limitações do projeto. O conversor experimentado apresenta potência menor e mudança da frequência *carrier* de 1020 Hz para 1200 Hz, frequência múltipla do *clock* do microcontrolador. Foram experimentados alguns cenários para validação da lógica de controle, uma operação liga/desliga e outros experimentos envolvendo diferentes potências de carga, cargas desequilibradas, diferentes tensões de referência para os capacitores, frequência de chaveamento mais elevada e falta de fase, de acordo com o Quadro 10. Os resultados experimentais apresentados servem para validar o controle do nível de tensão nos capacitores de cada módulo do conversor MMC.

Quadro 10 – Cenários experimentados para o Conversor *MMC*

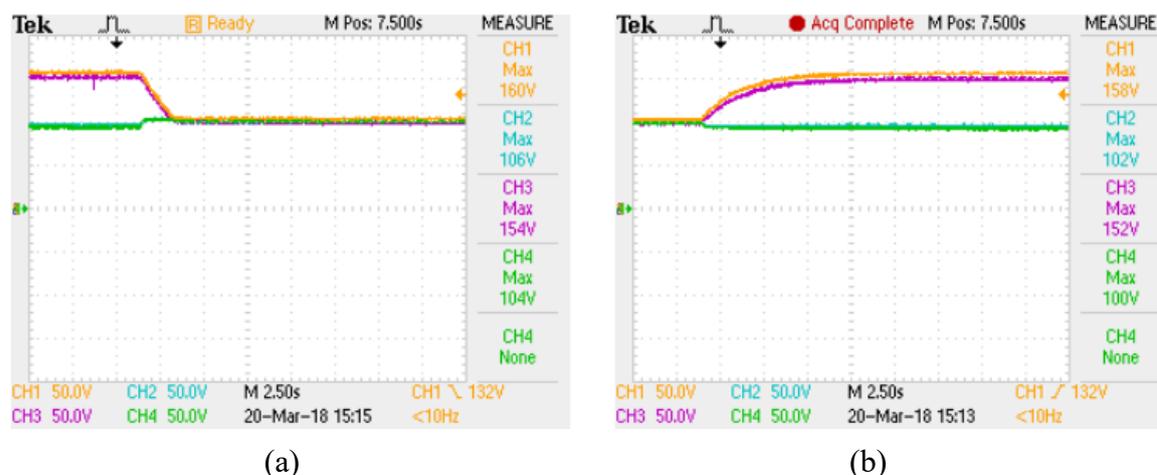
Característica da Carga	S (VA)	v_{cc}^* (V)	v_s (V)	f_c (Hz)
Equilibrada	300	85	103	1200
Desequilibrada: redução de 50% na fase c	300	85	103	1200
Equilibrada	775	150	184	9000
Desequilibrada (falta de fase na fase c)	1250	170	208	9000

Como definição, as medidas realizadas no osciloscópio e apresentadas nas figuras seguirão sempre uma sequência lógica. As cores dos gráficos estão diretamente associadas aos canais do osciloscópio: canal 1 – cor laranja, canal 2 – ciano, canal 3 – rosa e canal 4 – verde. As grandezas medidas estarão sempre respeitando as sequências lógicas de fase para tensões e correntes e do número crescente dos módulos para as tensões nos capacitores. Assim, para um gráfico com as tensões v_{ab} , v_{bc} e v_{ca} , serão usados os canais 1, 2 e 3 do osciloscópio, respectivamente, cujas cores serão laranja, ciano e rosa. Para medidas nas tensões dos capacitores da fase **a** (v_{ca1} , v_{ca2} , v_{ca3} e v_{ca4}) serão utilizados, respectivamente, os canais 1, 2, 3 e 4 do osciloscópio.

6.3.1 Validação da Lógica de Comando

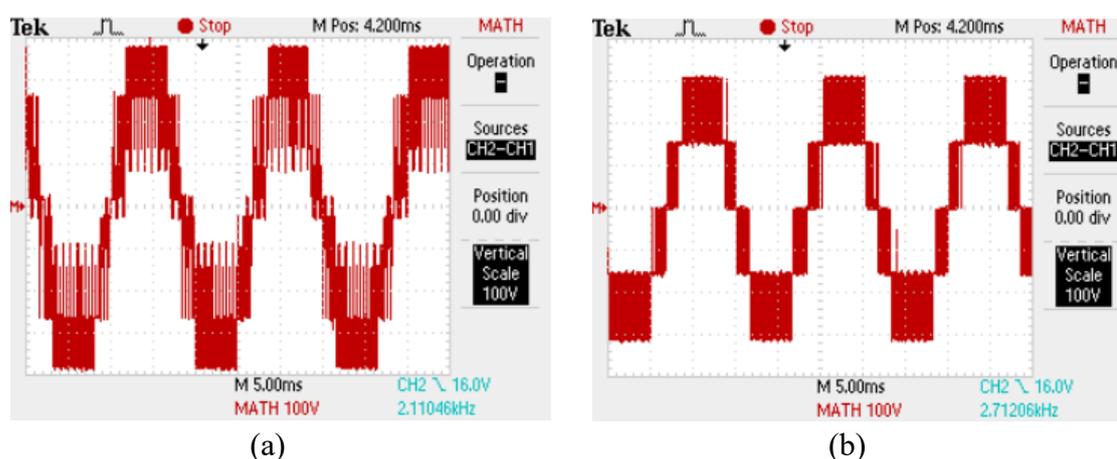
A primeira etapa de validação da lógica de comando corresponde à operação de liga/desliga da lógica e o acompanhamento dos níveis de tensão nos capacitores do conversor *MMC*. O Gráfico 99 apresenta a tensão nos capacitores da fase **a** do conversor *MMC* como inversor e referência de tensão de 100 V para os capacitores. Observa-se que ao ligar a lógica de comando, ou seja, passar da modulação *PS-PWM* para o chaveamento alterado pela lógica de comando, as tensões convergem, Gráfico 99 (a). De forma complementar, ao se desligar a lógica de comando, as tensões nos capacitores voltam a divergir, retornando para seus valores iniciais, Gráfico 99 (b).

Gráfico 99 – Tensão nos capacitores da fase a – teste liga/desliga lógica de comando: (a) Lógica de comando habilitada; (b) Lógica de comando desabilitada



O Gráfico 100 apresenta a tensão da fase a do conversor MMC. O Gráfico 100 (a) apresenta a tensão quando se utiliza apenas a modulação *PS-PWM* e o Gráfico 100 (b) apresenta a tensão quando a lógica de comando está habilitada. Devido aos diferentes valores de tensão nos capacitores, é possível observar que a forma de onda apresentada no Gráfico 100 (a) é pior que a do Gráfico 100 (b).

Gráfico 100 – Tensão da fase a do MMC – teste liga/desliga lógica de comando: (a) Lógica de comando desabilitada; (b) Lógica de comando habilitada



6.3.2 Carga Equilibrada, $S = 300 \text{ VA}$, $v_{cc} = 85 \text{ V}$ e $f_c = 1200 \text{ Hz}$

A lógica de comando foi testada experimentalmente para uma carga equilibrada. A carga é de 300 VA para a tensão nos capacitores de 85 V, o que corresponde a uma tensão de linha de

saída de 103 V para o MMC. A frequência de chaveamento utilizada em cada módulo foi de 1200 Hz. O Gráfico 101 apresenta as tensões de linha v_{ab} , v_{bc} e v_{ca} enquanto que as correntes de fase i_{mmca} , i_{mmcb} e i_{mmcc} podem ser visualizadas no Gráfico 102, para a operação em malha aberta do MMC. Pode-se observar que as tensões de linha apresentam nove níveis.

Gráfico 101 – Tensões de linha no MMC (S300Eqv_{cc}85f_c1200)

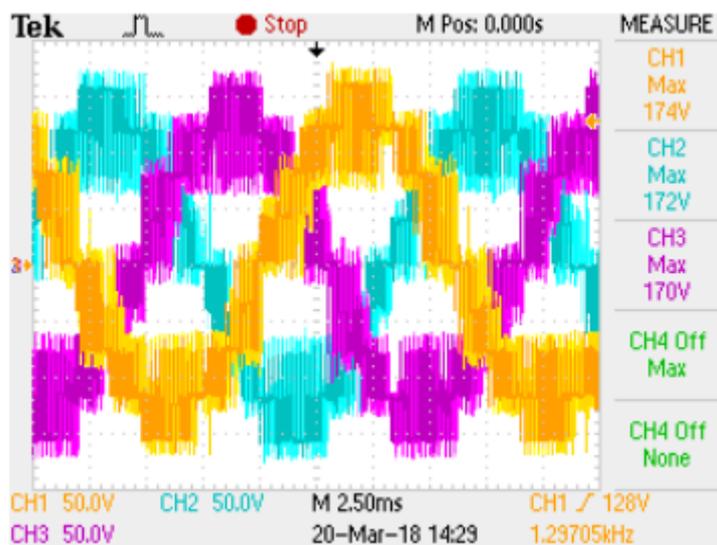
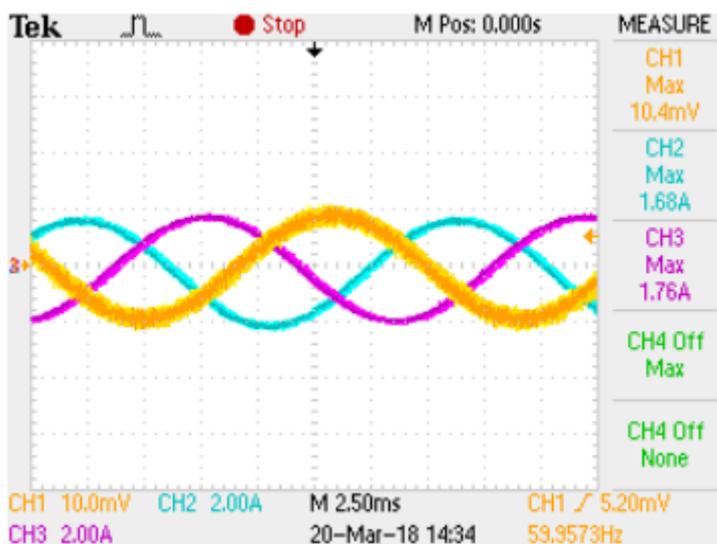
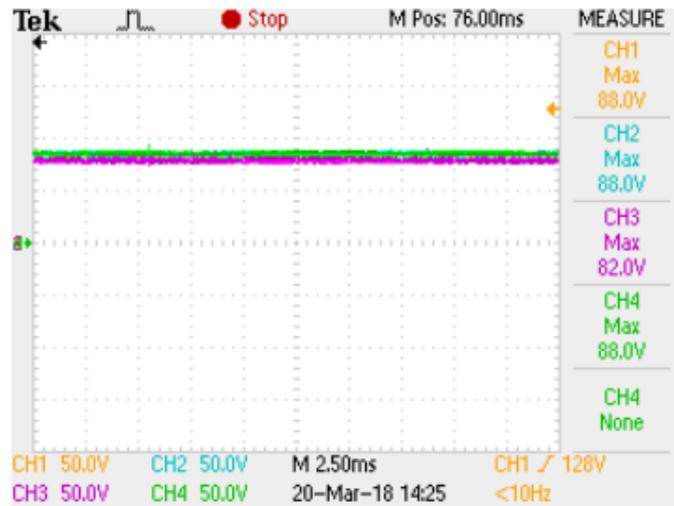
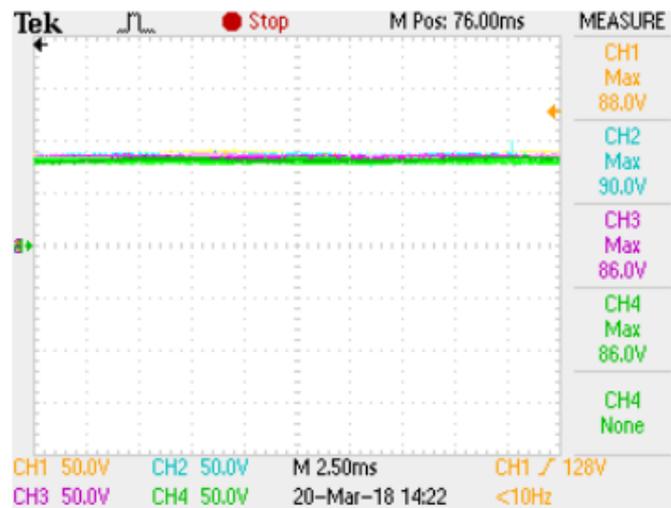
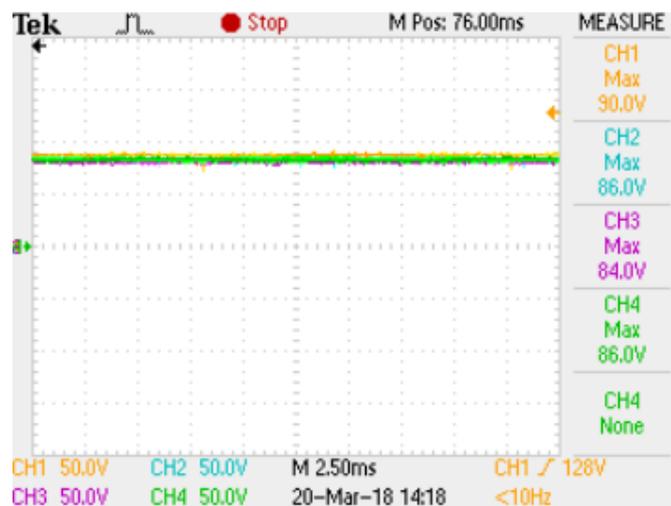


Gráfico 102 – Correntes de fase no MMC (S300Eqv_{cc}85f_c1200)



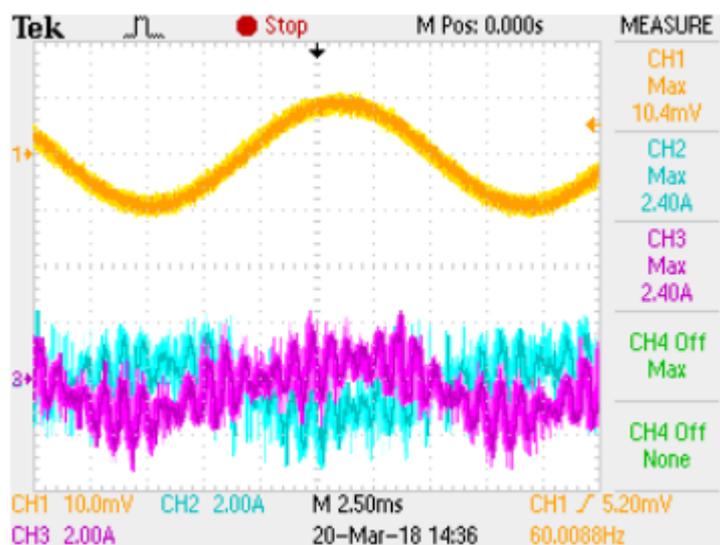
i_{mmca} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

No Gráfico 103 estão as tensões medidas nos capacitores da fase **a** do conversor e nos Gráficos 104 e 105 as tensões nos capacitores das fases **b** e **c**, respectivamente.

Gráfico 103 – Tensão nos capacitores da fase **a** do MMC ($S300Eq_{v_{cc}85f_c1200}$)Gráfico 104 – Tensão nos capacitores da fase **b** do MMC ($S300Eq_{v_{cc}85f_c1200}$)Gráfico 105 – Tensão nos capacitores da fase **c** do MMC ($S300Eq_{v_{cc}85f_c1200}$)

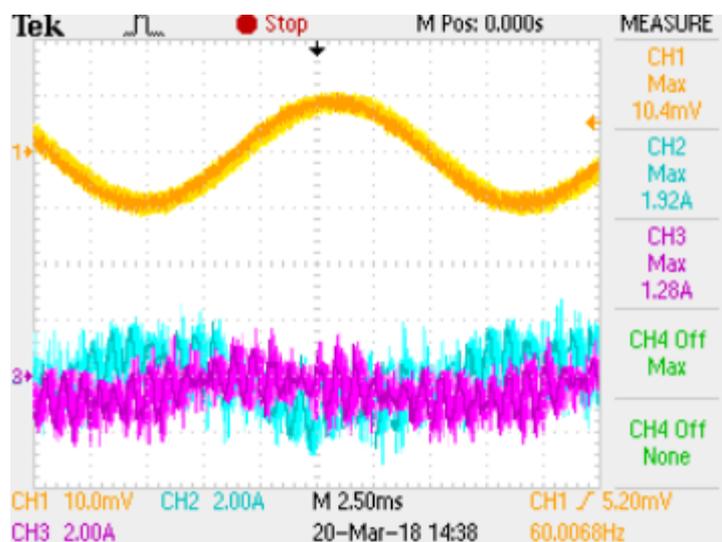
Nos Gráficos 106, 107 e 108 são apresentadas as correntes nos braços do conversor em cada uma das fases. As medidas são mostradas na sequência i_x , i_{px} e i_{nx} , onde x corresponde à fase do conversor, para os canais 1 a 3 na tela do osciloscópio.

Gráfico 106 – Correntes nos braços da fase **a** do MMC ($S300Eqv_{cc}85f_c1200$)

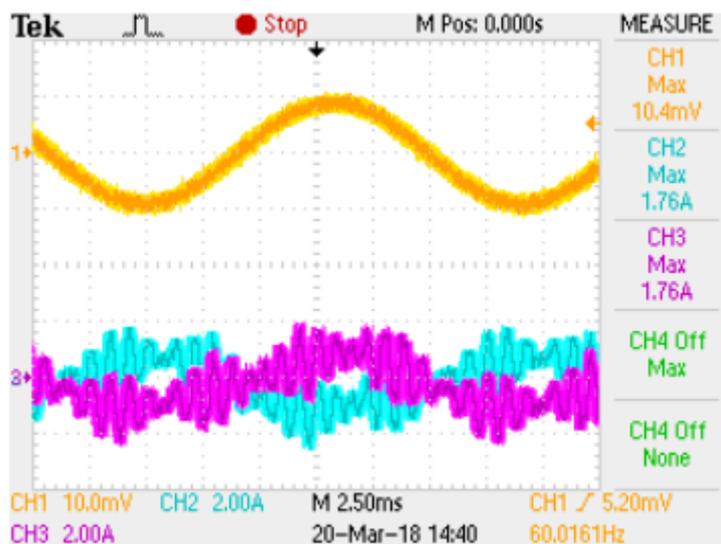


i_{mmca} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

Gráfico 107 – Correntes nos braços da fase **b** do MMC ($S300Eqv_{cc}85f_c1200$)



i_{mmcb} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

Gráfico 108 – Correntes nos braços da fase c do MMC ($S300E_{v_{cc}85f_c1200}$)

i_{mmc} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

6.3.3 Carga Desequilibrada, $S = 300 \text{ VA}$, $v_{cc} = 85 \text{ V}$ e $f_c = 1200 \text{ Hz}$

A lógica de comando foi testada com carga desequilibrada, obtida com a retirada de 50% da corrente de carga da fase c. A carga inicialmente equilibrada é de 300 VA para a tensão nos capacitores de 85 V, correspondente a uma tensão de linha de saída de 103 V. A frequência de chaveamento foi mantida em 1200 Hz. O Gráficos 109 e 110 apresentam, respectivamente, as tensões de linha do MMC e as correntes de fase, evidenciando a perda de carga na fase c.

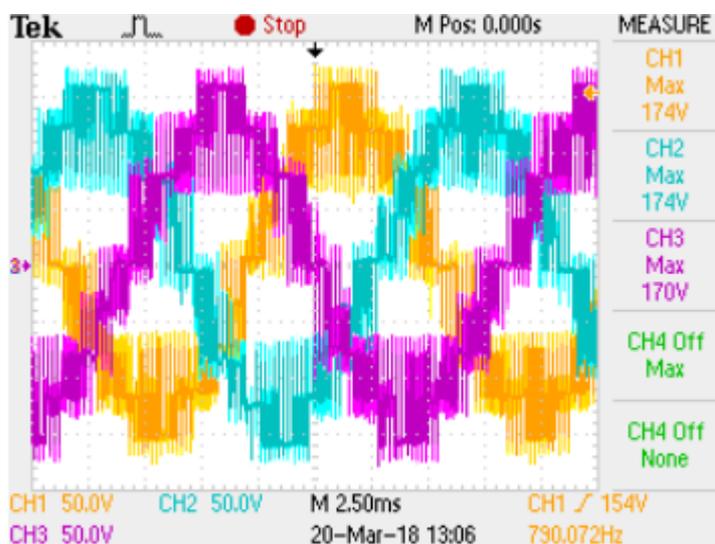
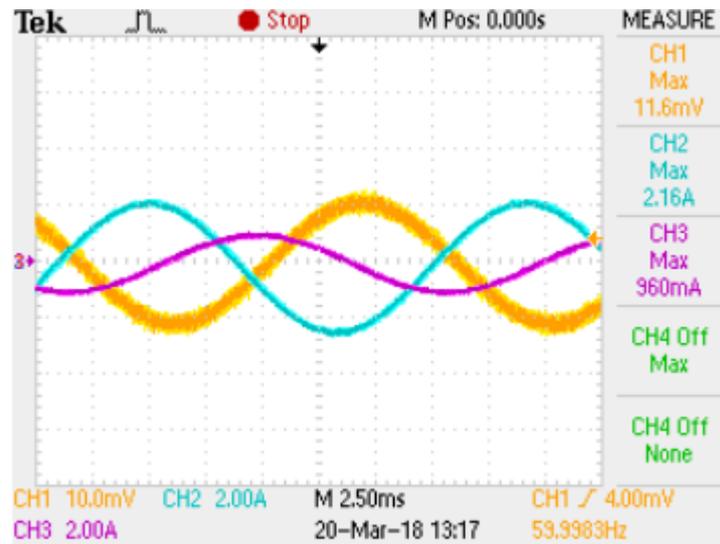
Gráfico 109 – Tensões de linha do MMC ($S300D_{e_{v_{cc}85f_c1200}$)

Gráfico 110 – Correntes de fase no MMC ($S300Desv_{cc}85f_c1200$)

i_{mmca} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

Do Gráfico 111 ao 113 são apresentadas as tensões dos capacitores de cada uma das fases do conversor.

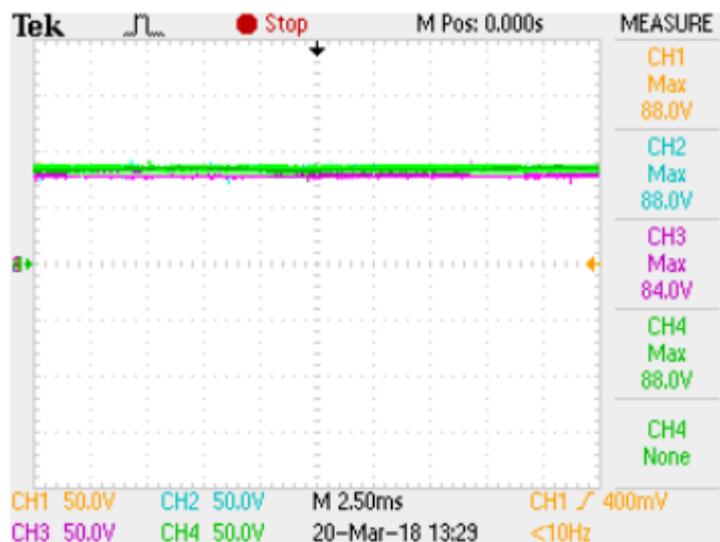
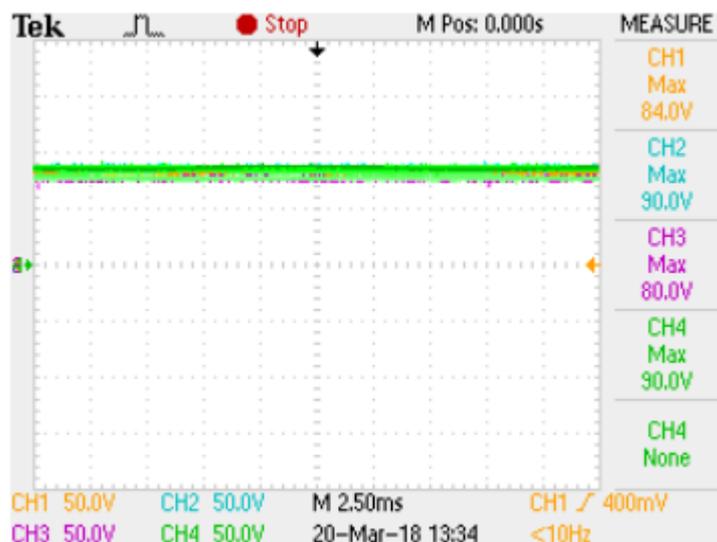
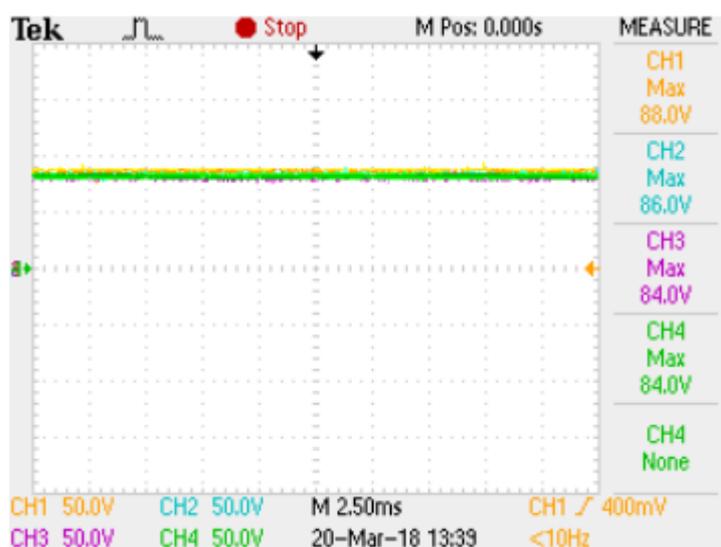
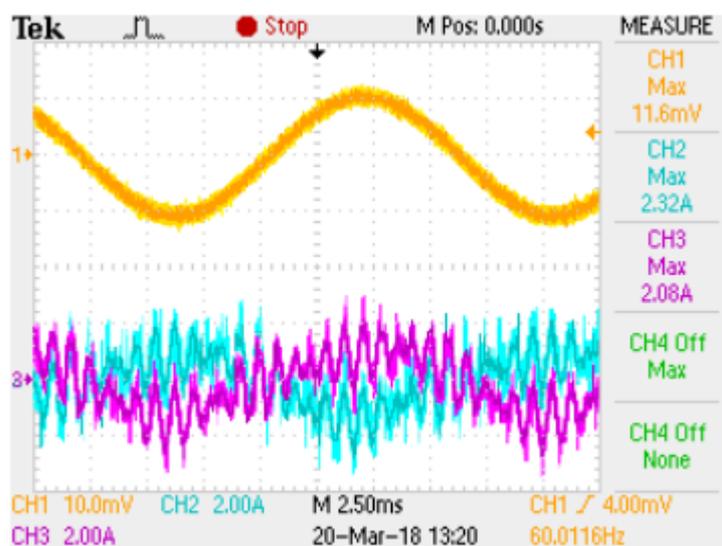
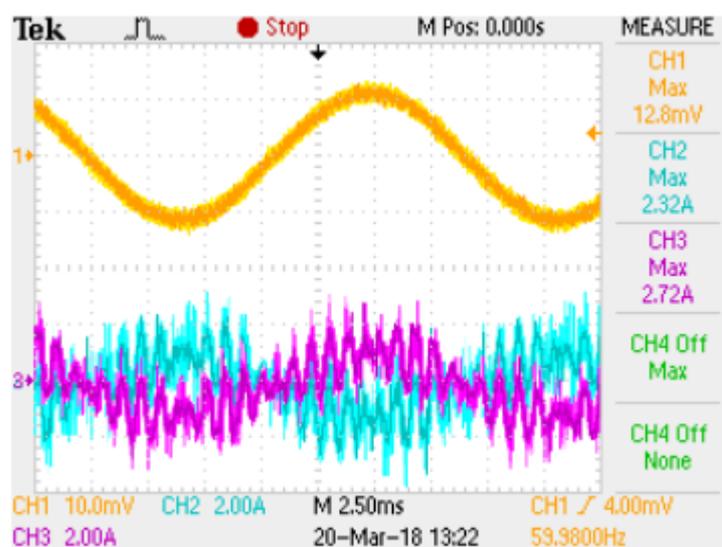
Gráfico 111 – Tensão nos capacitores da fase a do MMC ($S300Desv_{cc}85f_c1200$)

Gráfico 112 – Tensão nos capacitores da fase **b** do MMC ($S300Desv_{cc}85f_c1200$)Gráfico 113 – Tensão nos capacitores da fase **c** do MMC ($S300Desv_{cc}85f_c1200$)

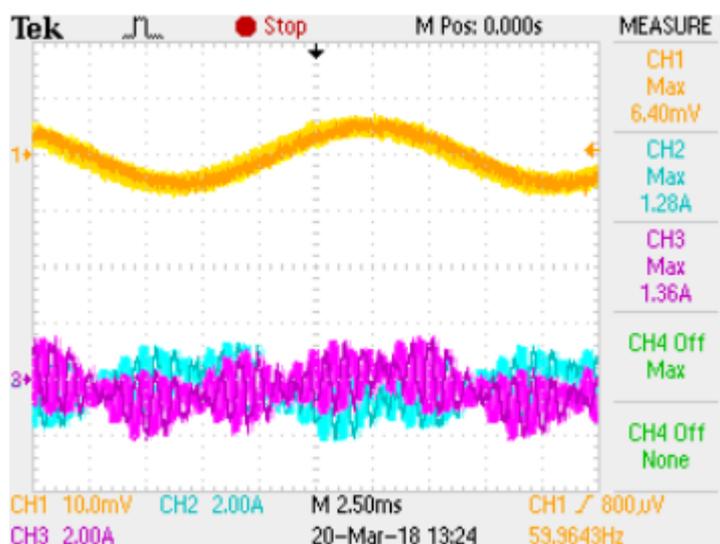
Nos Gráficos 114, 115 e 116 são apresentadas as correntes nos braços do conversor em cada uma das fases. As medidas são mostradas na sequência i_x , i_{px} e i_{nx} , onde x corresponde à fase do conversor, para os canais 1 a 3 na tela do osciloscópio. Pode-se observar no Gráfico 116, relativo à fase **c**, que a amplitude de todas as correntes dos braços e da fase diminuem em função da perda de carga na respectiva fase do conversor.

Gráfico 114 – Correntes nos braços da fase **a** do MMC ($S300Eq_{v_{cc}}85f_{c1200}$)

i_{mmca} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

Gráfico 115 – Correntes nos braços da fase **b** do MMC ($S300Eq_{v_{cc}}85f_{c1200}$)

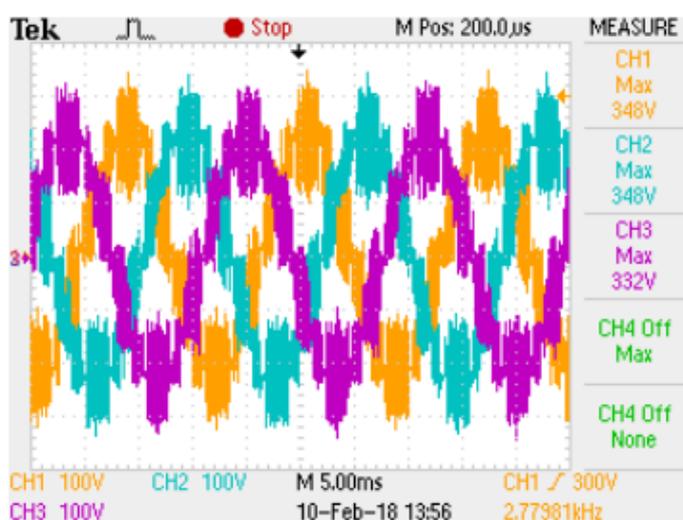
i_{mmcb} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

Gráfico 116 – Correntes nos braços da fase c do MMC ($S300E_{v_{cc}85f_c1200}$)

i_{mmc} Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

6.3.4 Carga Equilibrada, $S = 775 \text{ VA}$, $v_{cc} = 150 \text{ V}$ e $f_c = 9000 \text{ Hz}$

O conversor MMC foi colocado para alimentar uma carga indutiva trifásica equilibrada de 775 VA ($\cos\phi = 0,866$). A tensão nos capacitores foi ajustada para 150 V, o que resultou numa tensão de linha de 184 V e a frequência de chaveamento foi alterada para 9000 Hz. O Gráfico 117 apresenta as tensões de linha v_{ab} , v_{bc} e v_{ca} do conversor MMC que opera em malha aberta. Pode-se observar que as tensões de linha, conforme esperado, apresentam nove níveis.

Gráfico 117 – Tensões de linha do MMC ($S775E_{v_{cc}150f_c9000}$)

O Gráfico 118 apresenta as tensões nos capacitores da fase **a** (v_{ca1} , v_{ca2} , v_{ca3} e v_{ca4}). As tensões nos capacitores para o módulo 1 de cada fase (v_{ca1} , v_{cb1} e v_{cc1}) são apresentadas no Gráfico 119.

Gráfico 118 – Tensão nos capacitores da fase **a** do MMC ($S775Eqv_{cc}150fc9000$)

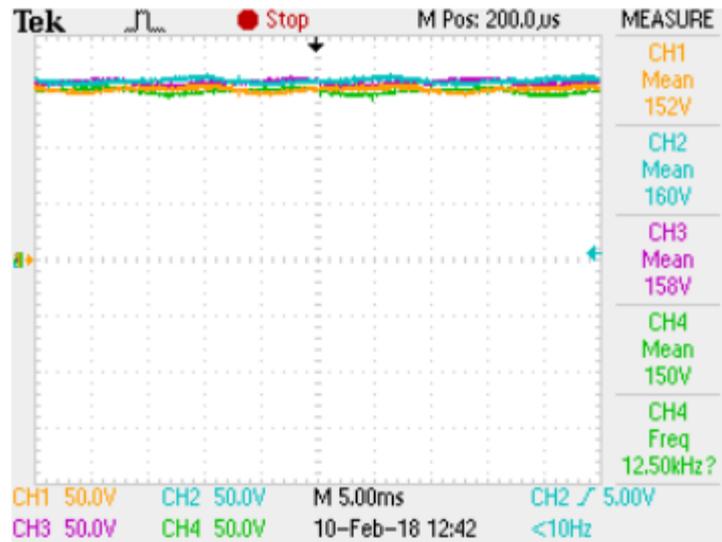
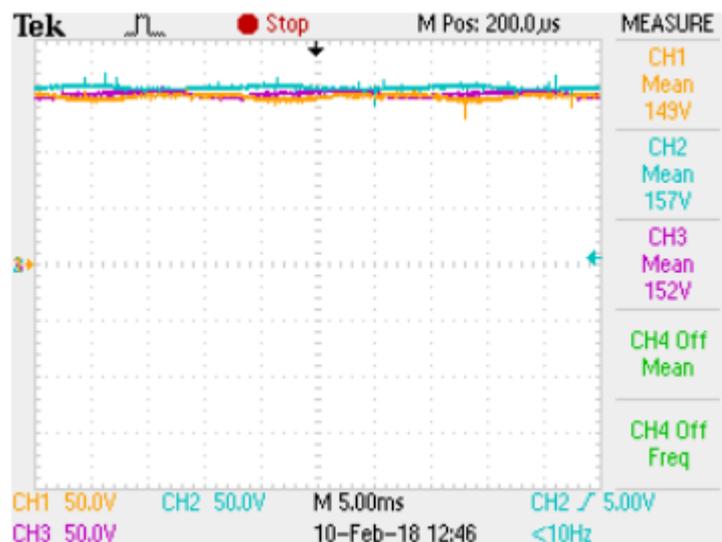
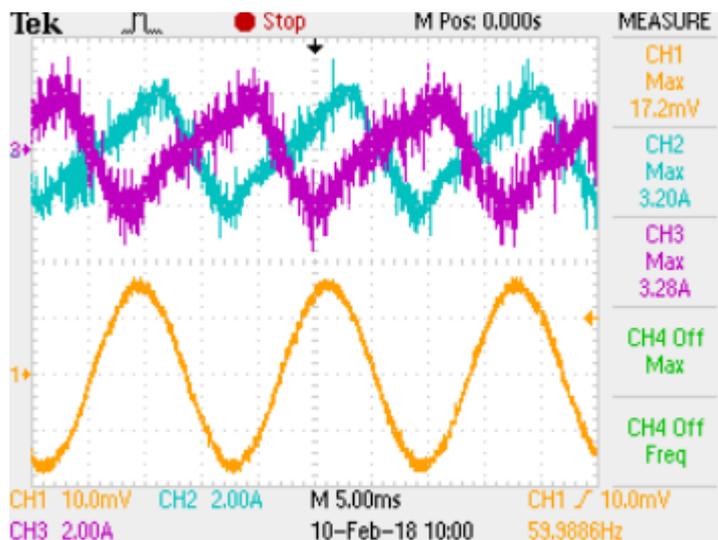


Gráfico 119 – Tensão nos capacitores do módulo 1 das fases ($S775Eqv_{cc}150fc9000$)



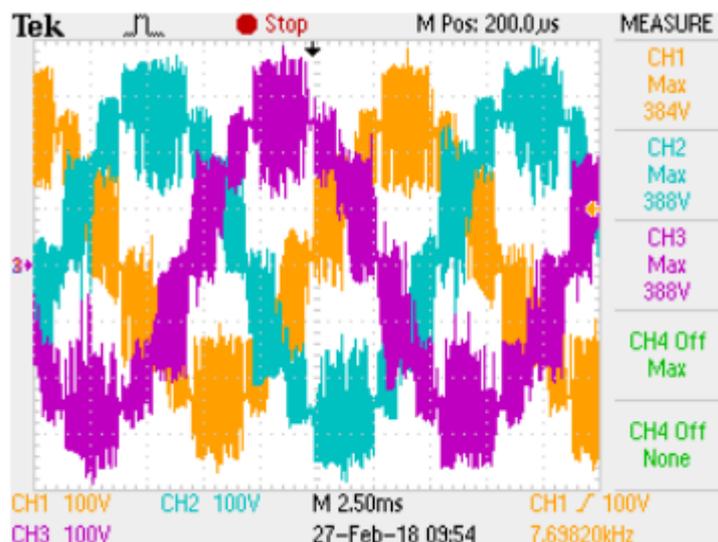
No Gráfico 120 estão apresentadas as correntes dos braços da fase **a** (i_{mca} , i_{pa} e i_{na}) do conversor MMC. É possível identificar a presença de componentes harmônicos na forma de onda dessas correntes assim como o defasamento de 180° entre as duas correntes.

Gráfico 120 – Correntes nos braços da fase a do MMC ($S775Eqv_{cc}150f_c9000$)

i_{mmca} : Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

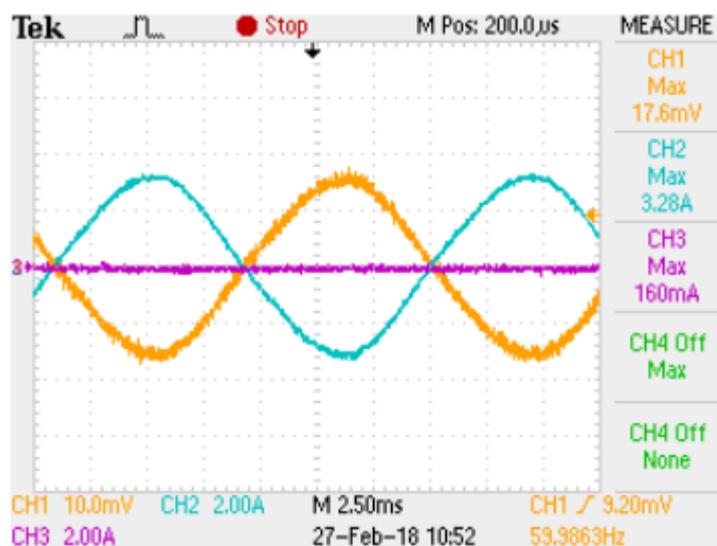
6.3.5 Falta de fase, $S = 1250 \text{ VA}$, $v_{cc} = 170 \text{ V}$ e $f_c = 9000 \text{ Hz}$

Como último experimento, o conversor MMC foi colocado para energizar uma carga indutiva trifásica de 1,25 kVA ($\cos\phi = 0,866$), para a qual foi interrompida a fase c, gerando uma falta de fase. A tensão nos capacitores foi ajustada para 170 V, o que resultou numa tensão de linha de 208 V e a frequência de chaveamento permaneceu em 9000 Hz. O Gráfico 121 apresenta as tensões de linha v_{ab} , v_{bc} e v_{ca} do conversor MMC.

Gráfico 121 – Tensões de linha do MMC ($S1250Faltav_{cc}170f_c9000$)

O Gráfico 122 apresenta as correntes de fase i_{mmca} , i_{mmcb} e i_{mmcc} do conversor MMC, que correspondem às correntes da carga, que estão desequilibradas, apresentando valor nulo de corrente elétrica na fase c.

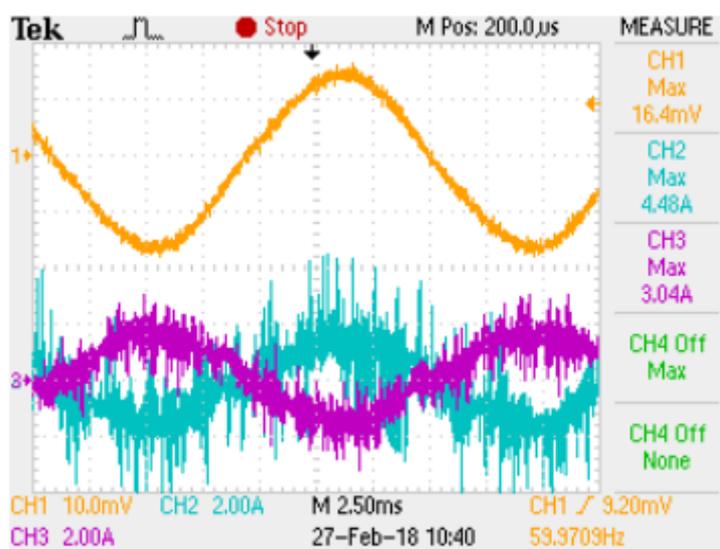
Gráfico 122 – Correntes de fase no MMC ($S1250Faltav_{cc}170f_{c}9000$)



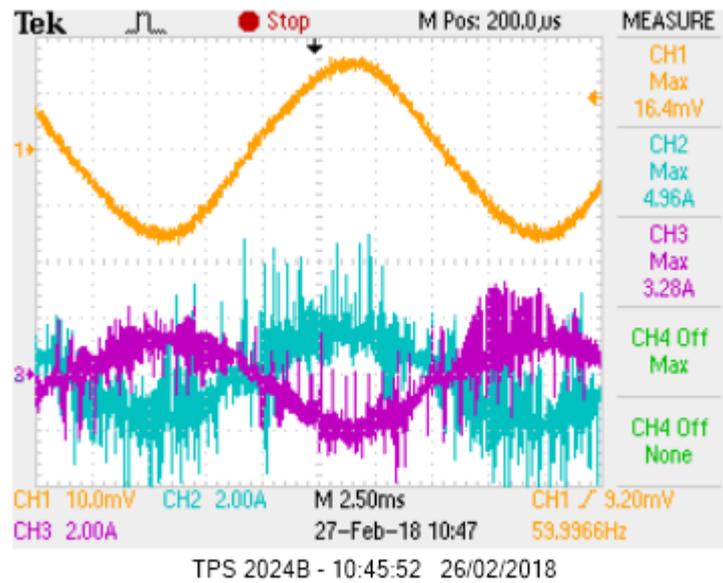
i_{mmca} : Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

No Gráfico 123 estão apresentadas as correntes dos braços da fase a (i_{mmca} , i_{pa} e i_{na}) e nos Gráficos 124 e 125 as correntes dos braços das fases b e c. É possível identificar a presença de componentes harmônicos nas correntes dos braços assim como o defasamento de 180° entre si.

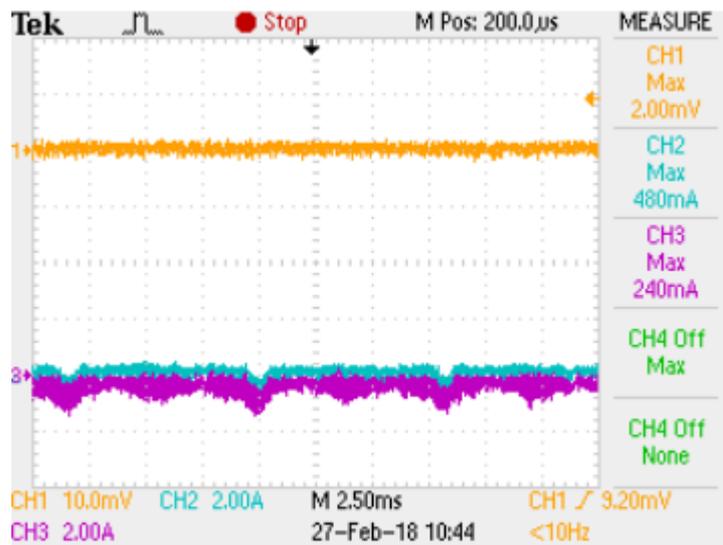
Gráfico 123 – Correntes nos braços da fase a do MMC ($S1250Faltav_{cc}170f_{c}9000$)



i_{mmca} : Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

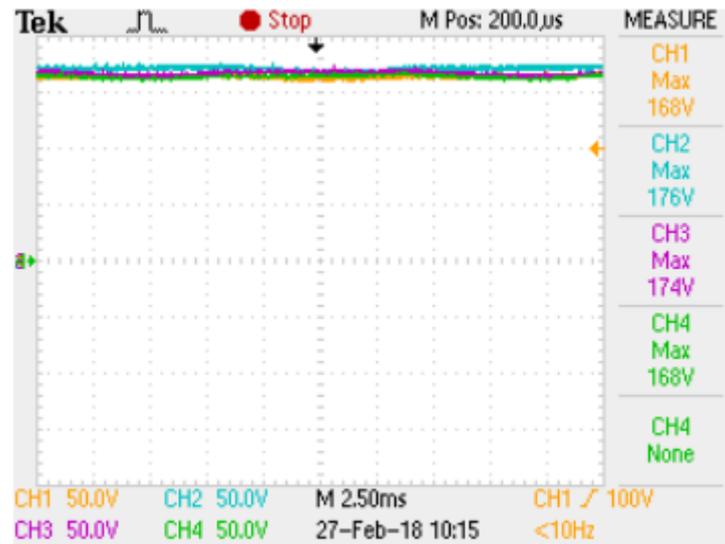
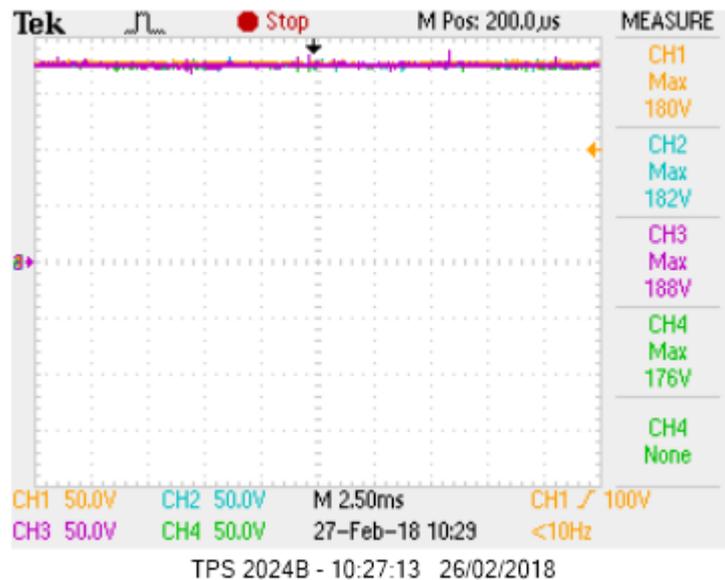
Gráfico 124 – Correntes nos braços da fase **b** do MMC ($S1250Faltav_{cc}170f_c9000$)

i_{mmcb} : Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

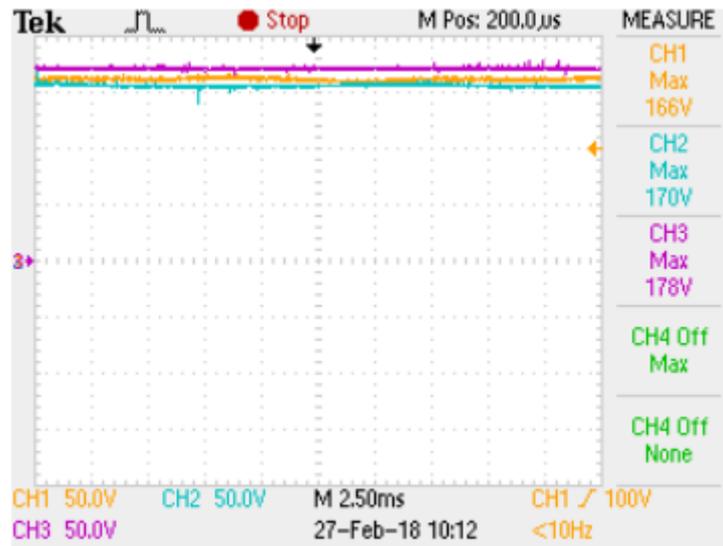
Gráfico 125 – Correntes nos braços da fase **c** do MMC ($S1250Faltav_{cc}170f_c9000$)

i_{mmcc} : Ponteira Tektronix: TM502A: ajuste de 2A/DIV na ponteira, 10mV/div no osciloscópio.

As tensões dos capacitores podem ser visualizadas no Gráfico 126 para a fase **a** (v_{ca1} , v_{ca2} , v_{ca3} e v_{ca4}) e Gráfico 127 para a fase **c** (v_{cc1} , v_{cc2} , v_{cc3} e v_{cc4}).

Gráfico 126 – Tensão nos capacitores da fase a do MMC ($S1250Faltv_{cc}170f_9000$)Gráfico 127 – Tensão nos capacitores da fase c do MMC ($S1250Faltv_{cc}170f_9000$)

As tensões nos capacitores para os módulos 1 de cada fase (v_{ca1} , v_{cb1} e v_{cc1}) são apresentadas no Gráfico 128.

Gráfico 128 – Tensão nos capacitores do módulo 1 das fases ($SI250Faltav_{cc}170f9000$)

7 CONCLUSÕES

O uso de conversores de energia em sistemas elétricos de potência vem aumentando nas últimas décadas, principalmente com o desenvolvimento de novos dispositivos semicondutores e o aumento da capacidade de potência para os semicondutores existentes. No entanto, sabe-se que a velocidade no desenvolvimento de novas tecnologias não é tão rápida quanto à demanda por maiores potências das chaves semicondutoras.

Os conversores multiníveis são considerados atualmente uma das soluções para sistemas industriais que demandam alto desempenho dinâmico e qualidade de energia, para potências de 1 a 30 MW. A facilidade para se operar com tensões mais elevadas e tensões com reduzido componente harmônico, tem feito do conversor multinível uma solução bastante atrativa.

Em termos de potência, entende-se que a solução multinível é definitiva. Isso porque sempre que se desejar conversores com potências maiores que aquelas que um conversor de topologia tradicional pode oferecer, poderá ser proposto como solução a aplicação de um conversor multinível. Este conversor é capaz de oferecer maiores potências que o conversor tradicional com o uso do mesmo dispositivo semicondutor.

Em termos de qualidade de energia, o conversor multinível vem sendo e deverá ser bastante empregado. Existem várias topologias de conversor multinível e todas são capazes de melhorar a distorção harmônica da tensão de saída sem que seja necessário um número muito elevado de níveis de tensão, ou seja, empregando um número razoavelmente pequeno de módulos de potência.

O conversor multinível modular apresenta como desafio o controle da tensão dos capacitores presentes em seus módulos de potência. Este trabalho apresenta como contribuição uma nova abordagem sobre o controle dessas tensões utilizando uma lógica implementada em *hardware* com o uso de um *FPGA*. A proposta foi empregada em uma aplicação de *STATCOM*, por simulação, e também experimentalmente através de um protótipo inversor de baixa tensão.

O trabalho apresentado utiliza um conversor multinível modular operando como *STATCOM* em redes elétricas de média tensão fazendo uso da modulação *PS-PWM* para validar

uma nova lógica de comando das chaves semicondutoras do conversor *MMC*, com o objetivo de se controlar a tensão nos vários capacitores dos módulos de potência que compõem o conversor *MMC*.

Na função de *STATCOM*, o conversor *MMC* se mostrou adequado, atendendo a todos os cenários de cargas simulados, funcionando como regulador do nível de tensão do barramento de conexão.

Vários foram os cenários simulados. Eles envolveram diferentes tipos de cargas, variações no valor da tensão de referência do PCC e controle e variações no valor de referência para a tensão dos capacitores do conversor *MMC*. Para todos esses cenários, a lógica de comando proposta para o controle do nível de tensão nos capacitores se mostrou eficaz.

Nos cenários de carga indutiva pesada e carga indutiva desequilibrada, por exemplo, o controle se mostrou bem aderente, mantendo as tensões dos capacitores de um mesmo grupo, módulos superiores ou inferiores, com valores exatamente iguais.

Para os cenários de carga indutiva leve e carga capacitiva pesada houve maiores variações nas tensões dos capacitores ocorrendo picos de até 7% do valor de referência. Para os módulos superiores, o efeito de descolamento das tensões foi menor. Para os módulos inferiores do conversor *MMC*, no cenário de carga leve, o efeito de descolamento das tensões foi maior, havendo mais tensões entre as faixas de 2,5% e 5%. No entanto, ainda se considera um resultado aceitável e o controle se mostra efetivo mantendo as tensões em torno do valor de referência.

Com carga capacitiva pesada combinada com a tensão da fonte ajustada em 1,05 pu, o conversor *MMC* operou como um indutor. Nessa situação, percebeu-se que o efeito de descolamento das tensões dos capacitores ocorreu com maior frequência entre os módulos superiores do conversor. No entanto, as tensões dos capacitores se mantiveram na maioria do tempo dentro da faixa de $\pm 2,5\%$, mostrando-se também bem controladas.

A resposta do controle geral de potências às variações da tensão de referência para o PCC se mostrou rápida e efetiva, sem prejuízos ao controle do nível de tensão dos capacitores.

O controle geral de potências se mostrou bastante efetivo quando se realizou simulações variando-se o valor de referência para o nível de tensão dos capacitores dos módulos. Os valores de referência tiveram variação crescente e decrescente, variando de 1 a 1,05 pu e 1 a 0,95 pu. As tensões dos capacitores atingiram seu novo valor de referência mantendo-se dentro da faixa estreita de $\pm 2,5\%$ e com discretos descolamentos de tensão.

Com a realização dos testes de consistência, buscou-se a garantia de estabilidade e de importância da nova lógica de comando das chaves. Após a realização do teste de longa duração percebeu-se que o sistema de controle e comando convergiram para o valor de referência definidos. A convergência ocorreu tanto para a tensão no PCC quanto para a tensão dos capacitores. Com o teste de desligamento da lógica de comando as tensões dos capacitores divergiram, o que fez os valores dos capacitores se afastarem positiva ou negativamente em relação ao seu valor de referência.

Uma simulação adicional foi apresentada como validação do projeto do conversor *MMC*: o conversor em baixa tensão e com quatro módulos por fase. As referências para os valores das tensões do PCC e dos capacitores foram atendidas. Observou-se que os níveis de tensão dos capacitores ficaram $\pm 1,8\%$ em torno de seu valor de referência, valor menor que aquele apresentado para o conversor de média tensão com oito módulos por fase.

Para o conversor trifásico, o uso do valor coletivo de tensão como medição de controle apresenta como resultado valores diferentes de tensão para as fases do conversor e, portanto, do ponto de conexão. Melhores respostas em relação ao controle de tensão individual por fase podem ser obtidas com a realização de um controle por fase.

Observou-se que quando o conversor *MMC* opera como um capacitor, as tensões dos capacitores dos módulos inferiores têm maior tendência de descolamento, enquanto que quando o conversor *MMC* opera como indutor ocorre o inverso, ou seja, as tensões dos capacitores dos módulos superiores que passam a sofrer maiores descolamentos entre as tensões.

Percebe-se que a atuação do conversor para cargas fortemente capacitivas não é tão efetiva quanto para cargas indutivas. No entanto, a atuação do conversor é igualmente eficaz àquelas quando ocorrem sobretensões sustentadas, fonte de tensão com 1,05 pu e barra de conexão igual a 1,03 pu, sobre cargas indutivas. Nesta situação, o conversor passa a atuar como

um indutor para atender sua especificação de manter a barra de conexão em 1,0 pu.

O conversor *MMC* projetado apresentou um controle menos eficaz da tensão dos capacitores quando lhe foi requerido valores de potência reativa muito baixos. Um exemplo é quando se tem cargas leves capacitivas, que exigem muito pouco ou quase nada do conversor em termos de potência reativa (0,003 pu). Nessa condição de carga leve, onde a queda de tensão no PCC é desprezível, a atuação do conversor como *STATCOM* não é necessária.

Situações de cargas capacitivas ou indutivas, que proporcionam baixa queda de tensão na linha de distribuição e, portanto, níveis de tensão no PCC em torno de 0,99 pu ou maior, exigem quase nenhuma potência do conversor e identifica-se dificuldade de controle das tensões dos capacitores. O uso prático de um *STATCOM* deveria ocorrer em locais onde os níveis de tensão estejam degradados, ou seja, abaixo de 0,95 pu, para que de forma econômica, se justifique o emprego do mesmo. De qualquer forma, em função da curva de carga de um circuito alimentador envolvendo todos os dias e horários da semana, é normal que determinados horários do dia ou da noite, a carga no circuito alimentador seja muito baixa, da ordem de 30% ou menos do que o período de carga média ou pesada. Nessas situações, o conversor, por lógica interna, se autodesligaria, entrando em operação somente nas condições necessárias para sua atuação.

Experimentalmente, apresentou-se um modelo de conversor *MMC* trifásico em escala reduzida, com quatro módulos por fase e tensão de linha de 220 V, acionando uma carga elétrica. Os resultados obtidos demonstraram que a estratégia de comando proposta para acionamento das chaves semicondutoras, foi capaz de controlar as tensões nos capacitores dos módulos de potência do conversor *MMC*, validando a metodologia proposta.

Apresentados os vários cenários simulados e as discussões realizadas, conclui-se que o conversor *MMC* utilizado, aliado à nova lógica de comando das chaves semicondutoras, se mostra como uma solução técnica viável. Uma solução técnica para o controle do nível de tensão no ponto de conexão da rede de média tensão e dos níveis de tensão dos capacitores dos módulos do conversor *MMC*.

Como contribuição desta tese apresenta-se a lógica de comando das chaves semicondutoras para o controle do nível de tensão dos capacitores dos módulos. Essa lógica

utiliza um método simplificado de comparação das tensões dos capacitores, realizando um menor número de verificações, sem que se prejudique o seu controle final da tensão. Além disso, utiliza apenas três medições de corrente elétrica (na prática, duas correntes de fase), as das fases do conversor *MMC*, ao contrário de vários outros trabalhos que utilizam seis medições de corrente, uma para cada braço do conversor.

7.1 Trabalhos Futuros

A seguir apresenta-se uma lista de possibilidades de estudo e aprofundamento relacionadas a esta tese. Como proposta, sugere-se a escolha de algumas dessas atividades, ou outras propostas pela banca examinadora, para que a pesquisa seja considerada concluída:

- Generalização da estratégia para conversores de m módulos.
- Simplificação e modularização da lógica para sua aplicação em conversores de m módulos.
- Controle por fase do nível de tensão no ponto de conexão para melhor aproveitamento do conversor.
- Realização experimental do conversor *MMC* atuando como *STATCOM*.
- Verificação experimental de um modelo com maior número de módulos.

REFERÊNCIAS

- ABB. **High-power semiconductors**. 2015. Disponível em: <<http://www.abb.com/semiconductors>>. Acesso em: 19 Fev. 2016.
- AKAGI, H.; INOUE, S.; YOSHII, T. **Control and Performance of a Transformerless Cascade PWM STATCOM With Star Configuration**. Industry Applications, IEEE Transactions on, vol. 43, n. 4, pp. 1041-1049, July-Aug. 2007.
- AKAGI, H. **Classification, Terminology, and Application of the Modular Multilevel Cascade Converter (MMCC)**. Power Electronics, IEEE Transactions on, v. 26, n. 11, pp. 3119-3130, Nov. 2011.
- ALEENEJAD, M.; IMAN-EINI, H.; FARHANGI, S. **Modified space vector modulation for fault-tolerant operation of multilevel cascaded H-bridge inverters**. IET Power Electronics, v. 6, n. 4, pp. 742-751, Apr. 2013.
- ANGQUIST, L. et al. **Open-Loop Control of Modular Multilevel Converters Using Estimation of Stored Energy**. Industry Applications, IEEE Transactions on, v. 47, n. 6, pp. 2516-2524, Nov.-Dec. 2011.
- BARUSCHKA, L.; MERTENS, A. **A new 3-phase AC/AC modular multilevel converter with six branches in hexagonal configuration**. In: Energy Conversion Congress and Exposition (ECCE), 2011 IEEE, pp. 4005-4012, 17-22 Sept. 2011.
- BERNET, S. **Recent developments of high power converters for industry and traction applications**. IEEE Transactions on Power Electronics, v. 15, n. 6, pp. 1102-1117, Nov. 2000.
- CAMPINHOS, Rafael Michalsky. **Estudo Comparativo entre o DSTACOM Operando como Fonte de Corrente Controlada e como Fonte de Tensão Controlada**. 2009. 97p. Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, Rio de Janeiro: UFRJ/COPPE, Rio de Janeiro: UFRJ/COPPE, 2009.
- CARVALHO, Rodrigo Cesar Almeida de. **Análise de Filtro Ativo Shunt Utilizando Conversor Modular Multinível**. 2014. 96p. Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, Rio de Janeiro: UFRJ/COPPE, 2014.
- CORTES, P. et al. **Model Predictive Control of Multilevel Cascaded H-Bridge Inverters**. IEEE Transactions on Industrial Electronics, v. 57, n. 8, pp. 2691-2699, Aug. 2010.
- DARGAHI, V. et al. **A New Family of Modular Multilevel Converter Based on Modified Flying-Capacitor Multicell Converters**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 138-147, Jan. 2015.
- DEKKA, A. et al. **Dynamic Voltage Balancing Algorithm for Modular Multilevel Converter: A Unique Solution**. Power Electronics, IEEE Transactions on, v. 31, n. 2, pp. 952-963, Feb. 2016.

DEKKA, A.; WU, B.; ZARGARI, N. R. **A Novel Modulation Scheme and Voltage Balancing Algorithm for Modular Multilevel Converter**. IEEE Transactions on Industry Applications, v. 52, n. 1, pp. 432-443, Jan.-Feb. 2016.

DENG, F.; CHEN, Z. **A Control Method for Voltage Balancing in Modular Multilevel Converters**. Power Electronics, IEEE Transactions on, v. 29, n. 1, pp. 66-76, Jan. 2014.

_____. **Elimination of DC-Link Current Ripple for Modular Multilevel Converters With Capacitor Voltage-Balancing Pulse-Shifted Carrier PWM**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 284-296, Jan. 2015a.

_____. **Voltage-Balancing Method for Modular Multilevel Converters Under Phase-Shifted Carrier-Based Pulsewidth Modulation**. IEEE Transactions on Industrial Electronics, v. 62, n. 7, pp. 4158-4169, July 2015b.

DORF, R. C.; Bishop, R. H. **Sistemas de Controle Modernos**. 11. ed. Rio de Janeiro: LTC, 2009.

DU, S.; LIU, J.; LIU, T. **Modulation and Closed-Loop-Based DC Capacitor Voltage Control for MMC With Fundamental Switching Frequency**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 327-338, Jan. 2015.

DU, S.; LIU, J. **A Study on DC Voltage Control for Chopper-Cell-Based Modular Multilevel Converters in D-STATCOM Application**. Power Delivery, IEEE Transactions on, vol. 28, n. 4, pp. 2030-2038, Oct. 2013.

DYNEX SEMICONDUCTOR. **Phase Control Thyristor SCRs**. 2016a. Dynex Semiconductor, Lincoln, UK. Disponível em: <<http://www.dynexsemi.com/product-area/phase-control-scrs>>. Acesso em: 21 Fev. 2016.

_____. **GTO Thyristor**. 2016b. Dynex Semiconductor, Lincoln, UK. Disponível em: <<http://www.dynexsemi.com/product-area/gto-thyristors>>. Acesso em: 21 Fev. 2016.

_____. **IGBT Modules**. 2016c. Dynex Semiconductor, Lincoln, UK. Disponível em: <<http://www.dynexsemi.com/product-area/igbt-modules>>. Acesso em: 21 Fev. 2016.

ENCARNAÇÃO, Lucas Frizzera. **Compensador Síncrono Estático Multinível em Média Tensão para Sistemas de Distribuição**. 2009. 155 p. Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, Rio de Janeiro: UFRJ/COPPE, 2009.

FAN, S. et al. **An Improved Control System for Modular Multilevel Converters with New Modulation Strategy and Voltage Balancing Control**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 358-371, Jan. 2015.

FILSECKER, F.; ALVAREZ, R.; BERNET, S. **Evaluation of 6.5-kV SiC p-i-n Diodes in a Medium-Voltage, High-Power 3L-NPC Converter**. IEEE Transactions on Power Electronics, v. 29, n. 10, pp. 5148-5156, Oct. 2014.

FUJI ELECTRIC. **Power Devices (IGBT): 25A2-W-0001b_E_Section1**. 2016. Fuji Electric. Disponível em: <<http://www.fujielectric.com/products/semiconductor/catalog/box/doc/pdf/>>

25A2-W-0004/25A2-W-0004_E_Section1.pdf>. Acesso em: 21 Fev. 2016.

FUJITA, H.; HAGIWARA, M.; AKAGI, H. **Power Flow Analysis and DC-Capacitor Voltage Regulation for the MMCC-DSCC**. *Electrical Engineering in Japan*, Vol. 193, No. 1, 2015 (Translated from *Denki Gakkai Ronbunshi*, v. 132-D, n. 6, June 2012, pp. 659–665), 2015 Wiley Periodicals, Inc.

FUJITA, H.; TOMINAGA, S.; AKAGI, H. **Analysis and design of a DC voltage-controlled static VAR compensator using quad-series voltage-source inverters**. *Industry Applications, IEEE Transactions on*, v. 32, n. 4, pp. 970-978, July-Aug. 1996.

FUJITA, H., HAGIWARA, M., AKAGI, H. **Power Flow Analysis and DC-Capacitor Voltage Regulation for the MMCC-DSCC**. *Electrical Engineering in Japan*, Vol. 193, No. 1, 2015 (Translated from *Denki Gakkai Ronbunshi*, Vol. 132-D, No. 6, June 2012, pp. 659–665), 2015 Wiley Periodicals, Inc.

GAO, C. et al. **A novel topology and control strategy of modular multilevel converter (MMC)**. In: *Electrical and Control Engineering (ICECE)*, 2011 International Conference on, pp. 967-971, 16-18 Sept. 2011.

GHIAS, A. M. Y. M. et al. **Voltage balancing strategy for a five-level flying capacitor converter using phase disposition PWM with sawtooth-shaped carriers**. In: *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*, Montreal, QC, 2012, pp. 5013-5019.

GLINKA, M. **Prototype of multiphase modular-multilevel-converter with 2 MW power rating and 17-level-output-voltage**. In: *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, 2004, pp. 2572-2576 v. 4.

HAGIWARA, M.; AKAGI, H. **PWM control and experiment of modular multilevel converters**. In: *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp.154-161, 15-19 June 2008.

_____. **Control and Experiment of Pulse width-Modulated Modular Multilevel Converters**. *Power Electronics, IEEE Transactions on*, v. 24, n. 7, pp. 1737-1746, July 2009.

HAGIWARA, M.; MAEDA, R.; AKAGI, H. **Theoretical analysis and control of the modular multilevel cascade converter based on double-star chopper-cells (MMCC-DSCC)**. In: *Power Electronics Conference (IPEC)*, 2010 International, pp. 2029-2036, 21-24 June 2010a.

_____. **Negative-sequence reactive-power control by the modular multilevel cascade converter based on double-star chopper-cells (MMCC-DSCC)**. In: *Energy Conversion Congress and Exposition (ECCE)*, 2010 IEEE, pp. 3949-3954, 12-16 Sept. 2010b.

_____. **Control and Analysis of the Modular Multilevel Cascade Converter Based on Double-Star Chopper-Cells (MMCC-DSCC)**. *Power Electronics, IEEE Transactions on*, vol. 26, n. 6, pp. 1649-1658, June 2011a.

_____. **Negative-sequence reactive-power control by a PWM STATCOM based on a modular multilevel cascade converter (MMCC-SDBC)**. In: *Energy Conversion Congress and Exposition (ECCE)*, 2011 IEEE, pp. 3728-3735, 17-22 Sept. 2011b.

HAGIWARA, M.; MAEDA, R.; AKAGI, H. **Negative-Sequence Reactive-Power Control by a PWM STATCOM Based on a Modular Multilevel Cascade Converter (MMCC-SDBC)**. Industry Applications, IEEE Transactions on, v. 48, n. 2, pp. 720-729, Mar.-Apr. 2012.

HAGIWARA, M.; NISHIMURA, K.; AKAGI, H. **A Medium-Voltage Motor Drive With a Modular Multilevel PWM Inverter**. Power Electronics, IEEE Transactions on, vol.25, n. 7, pp. 1786-1799, July 2010.

HINGORANI, N.G. **Introducing custom power**. Spectrum, IEEE, vol. 32, n. 6, pp. 41-48, June 1995.

_____. **Power electronics in electric utilities: role of power electronics in future power systems**. Proceedings of the IEEE, v. 76, n. 4, pp. 481-482, Apr. 1988.

ILVES, K. et al. **A new modulation method for the modular multilevel converter allowing fundamental switching frequency**. In: Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on, pp. 991-998, May 30 2011-June 3 2011.

ILVES, K. et al. **Circulating current control in modular multilevel converters with fundamental switching frequency**. In: Power Electronics and Motion Control Conference (IPEMC), 2012 7th International, vol. 1, n. 0, pp. 249,256, 2-5 June 2012.

ILVES, K. et al. **Analysis and Operation of Modular Multilevel Converters With Phase-Shifted Carrier PWM**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 268-283, Jan. 2015.

INFINEON. **Short Form Catalog 2015: High Power Semiconductors for Industrial Applications**. 2015. Infineon Technologies AG, Neubiberg, Germany. Disponível em: <<http://www.infineon.com>>. Acesso em: 21 Fev. 2016.

IXYS UK WESTCODE. **IXYS_Selectorguide_2015**. 2015. IXYS. Disponível em: <http://www.ixys.com/Documents/IXYS_Selectorguide_2015.pdf>. Acesso em: 23 Fev. 2016.

KAMMERER, F.; KOLB, J.; BRAUN, M. **A novel cascaded vector control scheme for the Modular Multilevel Matrix Converter**. In: IECON 2011 - 37th Annual Conference on IEEE Industrial Electronics Society, pp. 1097-1102, 7-10 Nov. 2011.

KANG, D.-W.; LEE, W.-K.; HYUN, D.-S. **Carrier-rotation strategy for voltage balancing in flying capacitor multilevel inverter**. IEE Proceedings - Electric Power Applications, v. 151, n. 2, pp. 239-248, Mar. 2004.

LESNICAR, A.; MARQUARDT, R. **An innovative modular multilevel converter topology suitable for a wide power range**. In: Power Tech Conference Proceedings, 2003 IEEE Bologna, v. 3, n. 0, pp. 23-26, June 2003.

LI, B. et al. **Analysis of the Phase-Shifted Carrier Modulation for Modular Multilevel Converters**. Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 297-310, Jan. 2015.

LI, Y.; WANG, F. **Arm inductance selection principle for modular multilevel converters with circulating current suppressing control**. In: Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE, pp. 1321,1325, 17-21 March 2013.

LIN, B.-R.; WEI, T.-C. **Space vector modulation strategy for an eight-switch three-phase NPC converter**. IEEE Transactions on Aerospace and Electronic Systems, v. 40, n. 2, pp. 553-566, Apr. 2004.

LIZANA, R. et al. **Capacitor voltage balance of MMC converters in bidirectional power flow operation**. In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, pp. 4935-4940, 25-28 Oct. 2012.

LIZANA, R.F.; PEREZ, M.A.; RODRIGUEZ, J. **DC voltage balance control in a modular multilevel cascaded converter**. In: Industrial Electronics (ISIE), 2012 IEEE International Symposium on, pp. 1973-1978, 28-31 May 2012.

LUNA, B.E.O.B.; JACOBINA, C.B.; OLIVEIRA, A.C. **Modeling and control of the modular multilevel cascade converter based on chopper-cells**. In: Power Electronics Conference (COBEP), 2013 Brazilian, pp. 278-283, 27-31 Oct. 2013.

MEYNARD, T.A.; FADEL, M.; AOUDA, N. **Modeling of Multilevel Converters**. IEEE Transactions on Industrial Electronics, v. 44, n. 3, pp. 356-364, June 1997.

MEYNARD, T.A.; FOCH, H. Multilevel Conversion: **High Voltage Choppers and Voltage-Source Inverters**. European Power Electronics Drives, v. 2, n. 1, pp. 41, Mar. 1992a.

_____. Multilevel Conversion: **High Voltage Choppers and Voltage-Source Inverters**. Proceedings of the 23rd Annual IEEE Power Electronics Specialists Conference, v. 1, pp. 397-403, June 1992b.

MITSUBISHI ELECTRIC. **Semiconductor & Devices**. 2016. Disponível em: <<http://www.mitsubishielectric.com/semiconductors/index.html>>. Acesso em: 19 Fev. 2016.

MOHAMMADI, H.P.; BINA, M.T. **A Transformerless Medium-Voltage STATCOM Topology Based on Extended Modular Multilevel Converters**. Power Electronics, IEEE Transactions on, vol. 26, n. 5, pp. 1534-1545, May 2011.

MOON, J.-W. et al. **A Control Method of HVDC-Modular Multilevel Converter Based on Arm Current Under the Unbalanced Voltage Condition**. Power Delivery, IEEE Transactions on, v. 30, n. 2, pp. 529-536, April 2015.

NABAE A.; TAKAHASHI, I.; AKAGI, H. **A New Neutral-Point clamped PWM Inverter**. IEEE Transactions on Industry Applications, v. 17, pp. 518-523, Sept.-Oct. 1981.

NUNES, Weder Tótola. **Proposta de um Compensador Híbrido de Reativos para o Controle de Tensão em Redes de Distribuição**. 2011. 103p. Dissertação (Mestrado em Engenharia Elétrica) – Programa de Pós-Graduação em Engenharia Elétrica, Universidade Federal do Espírito Santo, Vitória, 2011.

OGATA, K. **Engenharia de Controle Moderno**. 4ed. São Paulo: Prentice Hall, 2003.

OGUCHI, K.; MAKI, Y.; SUNAGA, Y. **Three-phase multilevel-voltage source converters with low switching frequencies and less distorted input voltages**. IEEE Transactions on Industry Applications, v. 30, n. 5, pp. 1156-1165, Sept.-Oct. 1994.

OTA, J. I. Y. et al. **A Phase-Shifted-PWM D-STATCOM Using a Modular Multilevel Cascade Converter (SSBC)—Part I: Modeling, Analysis, and Design of Current Control.** IEEE Transactions on Industry Applications, vol. 51, no. 1, pp. 279-288, Jan.-Feb. 2015.

PENG, F. Z. et al. **A multilevel voltage-source inverter with separate DC sources for static VAR generation.** In: Industry Applications Conference, 1995. Thirtieth IAS Annual Meeting, IAS '95., Conference Record of the 1995 IEEE , v. 3, n., pp. 2541-2548 v. 3, 8-12 Oct. 1995.

_____. **A multilevel voltage-source inverter with separate DC sources for static VAR generation.** Industry Applications, IEEE Transactions on, v. 32, n. 5, pp. 1130-1138, Sept.-Oct. 1996.

PEREZ, M.A; LIZANA F. R.; RODRIGUEZ, J. **Decoupled current control of modular multilevel converter for HVDC applications.** In: Industrial Electronics (ISIE), 2012 IEEE International Symposium on, pp. 1979-1984, 28-31 May 2012.

PEREZ, M.A. et al. **Predictive Control of AC–AC Modular Multilevel Converters.** Industrial Electronics, IEEE Transactions on, v. 59, n. 7, pp. 2832-2839, July 2012.

PEREZ, M.A et al. **Circuit Topologies, Modeling, Control Schemes, and Applications of Modular Multilevel Converters.** Power Electronics, IEEE Transactions on, v. 30, n. 1, pp. 4-17, Jan. 2015.

RODRIGUEZ, J. et al. **Multilevel Converters: An Enabling Technology for High-Power Applications.** Proceedings of the IEEE, v. 97, n. 11, pp. 1786-1817, Nov. 2009.

ROHNER, S. et al. **Modelling, simulation and analysis of a Modular Multilevel Converter for medium voltage applications.** In: Industrial Technology (ICIT), 2010 IEEE International Conference on, pp. 775-782, 14-17 Mar. 2010.

ROHNER, S.; WEBER, J.; BERNET, S. **Continuous model of Modular Multilevel Converter with experimental verification.** In: Energy Conversion Congress and Exposition (ECCE), 2011 IEEE, pp. 4021-4028, 17-22 Sept. 2011.

SANKARAN, C. **Power Quality.** C.; US: CRC Pres LLC, 2002.

SHE, X.; HUANG, A. **Circulating current control of double-star chopper-cell modular multilevel converter for HVDC system.** In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, v., n., pp. 1234-1239, 25-28 Oct. 2012.

SHE, X. et al. **AC circulating currents suppression in modular multilevel converter.** In: IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society, pp. 191,196, 25-28 Oct. 2012.

SHUKLA, A.; GHOSH, A.; JOSHI, A. **Improved Multilevel Hysteresis Current Regulation and Capacitor Voltage Balancing Schemes for Flying Capacitor Multilevel Inverter.** IEEE Transactions on Power Electronics, v. 23, n. 2, pp. 518-529, Mar. 2008.

STEIMER, P. K. et al. **IGCT-a new emerging technology for high power, low cost inverters.** In: Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97.,

Conference Record of the 1997 IEEE, New Orleans, LA, 1997, pp. 1592-1599 vol.2.

STEIMER, P. K. et al. **IGCT-a new emerging technology for high power, low cost inverters.** IEEE Industry Applications Magazine, v. 5, n. 4, pp. 12-18, July-Aug. 1999.

TU, Q.; XU, Z.; XU, L. **Reduced Switching-Frequency Modulation and Circulating Current Suppression for Modular Multilevel Converters.** Power Delivery, IEEE Transactions on, v. 26, n. 3, pp. 2009-2017, July 2011.

WANG, J.; BURGOS, R.; BOROVEVICH, D. **A survey on the modular multilevel converters — Modeling, modulation and controls.** In: Energy Conversion Congress and Exposition (ECCE), 2013 IEEE, pp. 3984, 3991, 15-19 Sept. 2013.

WANG, K. et al. **Voltage Balancing and Fluctuation-Suppression Methods of Floating Capacitors in a New Modular Multilevel Converter.** Industrial Electronics, IEEE Transactions on, vol. 60, n. 5, pp. 1943-1954, May 2013.

WU, B. **High-Power Converters and AC Drives.** US: Wiley-IEEE Press, 2006.

XIAO, B. et al. **Modular Cascaded H-Bridge Multilevel PV Inverter With Distributed MPPT for Grid-Connected Applications.** IEEE Transactions on Industry Applications, v. 51, n. 2, pp. 1722-1731, Mar.-Apr. 2015.

YANG, X. et al. **Circulating Current Model of Modular Multilevel Converter.** In: Power and Energy Engineering Conference (APPEEC), 2011 Asia-Pacific, pp. 1,6, 25-28 March 2011.

APÊNDICE A – LÓGICA DE CONTROLE PARA O MÓDULO 1

As tabelas verdade apresentadas na seção 4.2, Tabelas 1 e 2, são formadas a partir do Quadro 11, obtido através da aplicação das regras da lógica proposta e obtida via programa computacional criado para essa finalidade, combinadas com a informação do sentido da corrente do conversor e da quantidade de sinais nível alto na saída do módulo *PS-PWM*, que representam a quantidade de módulos que deverão ser acionados para a obtenção do nível de tensão desejado na saída do conversor.

Quadro 11 – Sequência de acionamento dos módulos do conversor em função da comparação das tensões dos capacitores

Sequência Decrescente das Tensões - Módulos Superiores						
Vc41	Vc34	Vc23	Vc12	Maiores Tensões	Descarregar	Carregar
0	0	0	0	Todas Iguais	Vc1 Vc2 Vc3 Vc4	Vc4 Vc3 Vc2 Vc1
0	0	0	1	Vc1-4-3-2	Vc1 Vc4 Vc3 Vc2	Vc2 Vc3 Vc4 Vc1
0	0	1	0	Vc2-1-4-3	Vc2 Vc1 Vc4 Vc3	Vc3 Vc4 Vc1 Vc2
0	0	1	1	Vc1-2-4-3	Vc1 Vc2 Vc4 Vc3	Vc3 Vc4 Vc2 Vc1
0	1	0	0	Vc3-2-1-4	Vc3 Vc2 Vc1 Vc4	Vc4 Vc1 Vc2 Vc3
0	1	0	1	Vc3-1-4-2	Vc3 Vc1 Vc4 Vc2	Vc2 Vc4 Vc1 Vc3
0	1	1	0	Vc2-3-1-4	Vc2 Vc3 Vc1 Vc4	Vc4 Vc1 Vc3 Vc2
0	1	1	1	Vc1-2-3-4	Vc1 Vc2 Vc3 Vc4	Vc4 Vc3 Vc2 Vc1
1	0	0	0	Vc4-3-2-1	Vc4 Vc3 Vc2 Vc1	Vc1 Vc2 Vc3 Vc4
1	0	0	1	Vc4-1-3-2	Vc4 Vc1 Vc3 Vc2	Vc2 Vc3 Vc1 Vc4
1	0	1	0	Vc4-2-1-3	Vc4 Vc2 Vc1 Vc3	Vc3 Vc1 Vc2 Vc4
1	0	1	1	Vc4-1-2-3	Vc4 Vc1 Vc2 Vc3	Vc3 Vc2 Vc1 Vc4
1	1	0	0	Vc3-4-2-1	Vc3 Vc4 Vc2 Vc1	Vc1 Vc2 Vc4 Vc3
1	1	0	1	Vc3-4-1-2	Vc3 Vc4 Vc1 Vc2	Vc2 Vc1 Vc4 Vc3
1	1	1	0	Vc2-3-4-1	Vc2 Vc3 Vc4 Vc1	Vc1 Vc4 Vc3 Vc2
1	1	1	1	Resultado Impossível		

Um quadro equivalente pode ser obtido para os módulos inferiores do conversor através da simples substituição dos índices 1, 2, 3 e 4 por 5, 6, 7 e 8, respectivamente, em todos os termos do tipo 'Vc'.

O Quadro 12 apresenta o Mapa de Karnaugh para uma lógica elaborado para se identificar o arranjo lógico necessário ao controle da tensão no capacitor dos módulos de posição 1 em quaisquer das fases do conversor. VC1 corresponde ao sinal enviado pela lógica

de controle ao *IGBT* superior do módulo 1 para um conversor MMC de 8 módulos por fase. Esse sinal corresponde a G_{al} , G_{bl} ou G_{cl} .

Quadro 12 – Mapa de Karnaugh para a lógica de controle

Mapa de Karnaugh dos Módulos Superiores: $linv < 0$ (Carrega)																										
VC1				Vc41-Vc34-Vc23-Vc12																						
				E				E																		
				F		G		F		G		F		G												
				G	H	G	H	G	H	G	H	G	H	G	H											
linv-G4-G3-G2-G1				linv	ABCD	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000					
linv	A	B	C	D	0	0000																				
			D	0001																						
		C	D	0011																						
			D	0010																						
	B	C	D	0110																						
			D	0111																						
		D	C	0101																						
			D	0100																						
	A	B	C	D	1	1100																				
			D	1101																						
		C	D	1111																						
			D	1110																						
	B	C	D	1010																						
			D	1011																						
		D	C	1001																						
			D	1000																						

VC1																										
VC1				Vc41-Vc34-Vc23-Vc12																						
				E				E																		
				F		G		F		G		F		G												
				G	H	G	H	G	H	G	H	G	H	G	H											
linv-G4-G3-G2-G1				linv	G4G3G2G1	0000	0001	0011	0010	0110	0111	0101	0100	1100	1101	1111	1110	1010	1011	1001	1000					
linv	A	B	C	D	1	0000																				
			D	0001																						
		C	D	0011																						
			D	0010																						
	B	C	D	0110																						
			D	0111																						
		D	C	0101																						
			D	0100																						
	A	B	C	D	1	1100																				
			D	1101																						
		C	D	1111																						
			D	1110																						
	B	C	D	1010																						
			D	1011																						
		D	C	1001																						
			D	1000																						

Para cada grupo formado no Mapa de Karnaugh haverá uma lógica combinatória correspondentes, conforme apresentado no Quadro 13. Esse grupo total de combinações ($49+45 = 94$) é utilizado para compor o sinal que será enviado ao *IGBT* do módulo 1 do conversor.

Quadro 13 – Transcrição do Mapa de Karnaugh para a lógica de controle

VC1			
iinv = 0		iinv = 1	
Grupo Horizontal	Grupo Vertical	Grupo Horizontal	Grupo Vertical
01 – A B CDE FGH	28 – A B DEFG H	01 – A B DE F G	30 – A CE F G
02 – A B CDFG H	29 – A CEFG H	02 – A B DE F H	31 – A CE F H
03 – A B CDEFG	30 – A CEFGH	03 – A B CDE F G	32 – A CE FGH
04 – A B DEFGH	31 – A B DEF G H	04 – A B CDE FH	33 – A B DE FGH
05 – A B CDEGH	32 – A CEF G H	05 – A B CDEF H	34 – BE F G
06 – A BCDE GH	33 – A BCE FGH	06 – A BCE F	35 – BE F H
07 – A BCDFG	34 – A BDE FGH	07 – A BCDE	36 – BE FGH
08 – A BCFG H	35 – BEFG H	08 – A BDE F	37 – AE F G
09 – A BDFG H	36 – BEFGH	09 – A BCE FH	38 – AE F H
10 – A BCEFG	37 – BEF G H	10 – A BDE FH	39 – AE FGH
11 – A BDEFG	38 – ABE FGH	11 – A BCDEFG	40 – ACE FH
12 – A BCEGH	39 – ACE FGH	12 – A BCEF H	41 – ABDEFG H
13 – A BDEGH	40 – ABFG H	13 – A BDEF H	42 – ABCEFG H
14 – A BCDEF	41 – AEFG H	14 – ABE F	43 – ABEF H
15 – ABDE GH	42 – ABEFG	15 – ACE F	44 – A BCDEFG H
16 – ABCE GH	43 – ACFG H	16 – ABDE	45 – AB CDEFG H
17 – ABCDE	44 – ACEFG	17 – ABCE	
18 – ABDFG	45 – AEFGH	18 – ABCE FH	
19 – ABCFG	46 – ABEGH	19 – ABCDFG	
20 – ABDEF	47 – ACEGH	20 – ABCDEGH	
21 – ABCEF	48 – AEF G H	21 – ABCDEF	
22 – AB CDE GH	49 – AB DE FGH	22 – ABDEF G	
23 – AB CDFG		23 – ABCEF G	
24 – AB DFG H		24 – ACEF H	
25 – AB DEFG		25 – AB CDE	
26 – AB DEGH		26 – AB DE F G	
27 – AB CDEF		27 – AB DE FH	
		28 – AB CDEF G	
		29 – AB DEF H	

Dessa forma, apresenta-se a lógica a ser implementada em hardware através das Figuras 29 e 30, ou seja, o sinal VC1, que corresponde a G_{al} , G_{bl} ou G_{cl} é formado por um ‘E’ lógico dos circuitos das duas figuras citadas.

Figura 29 – Lógica combinatória para o módulo 1 (1ª parte)

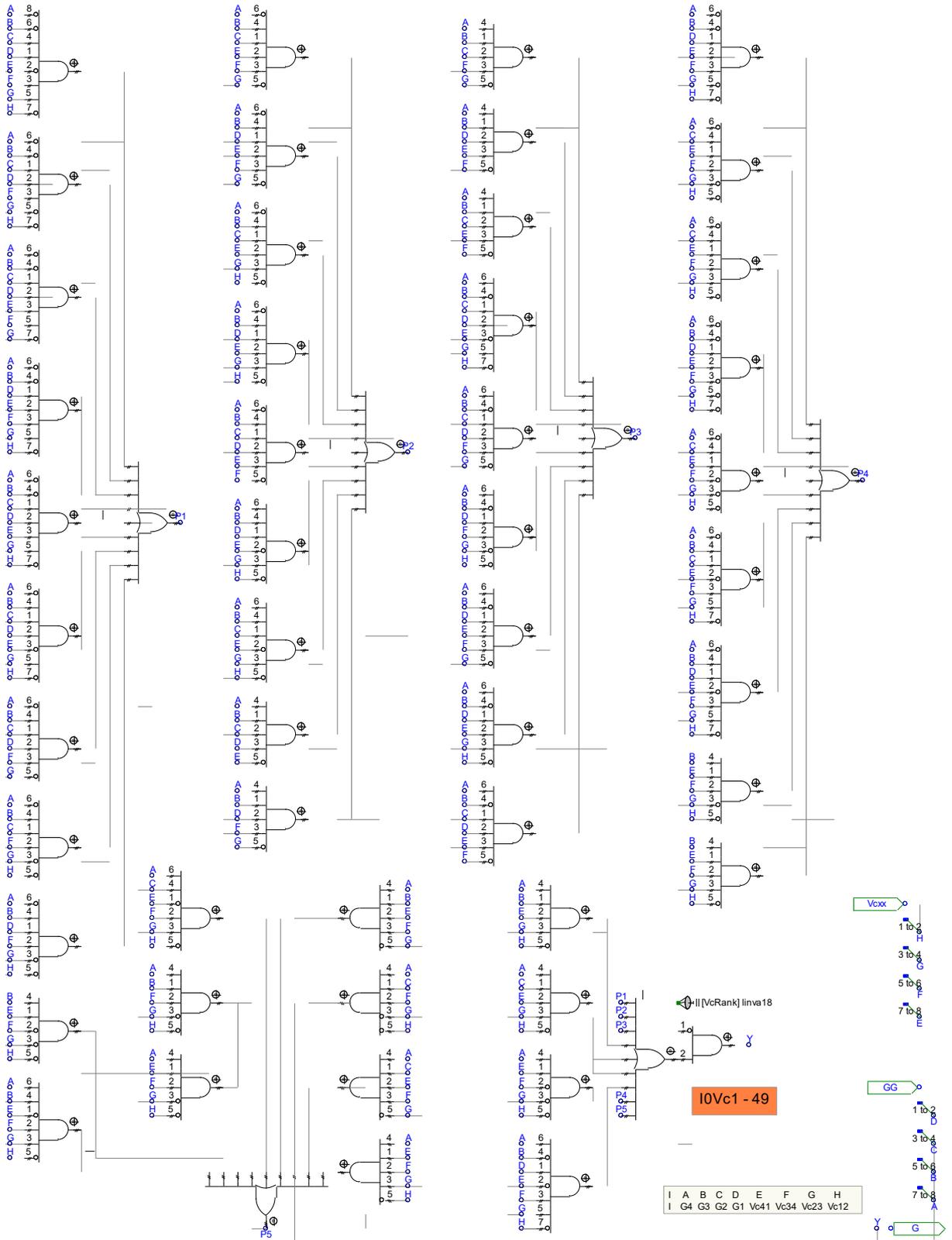
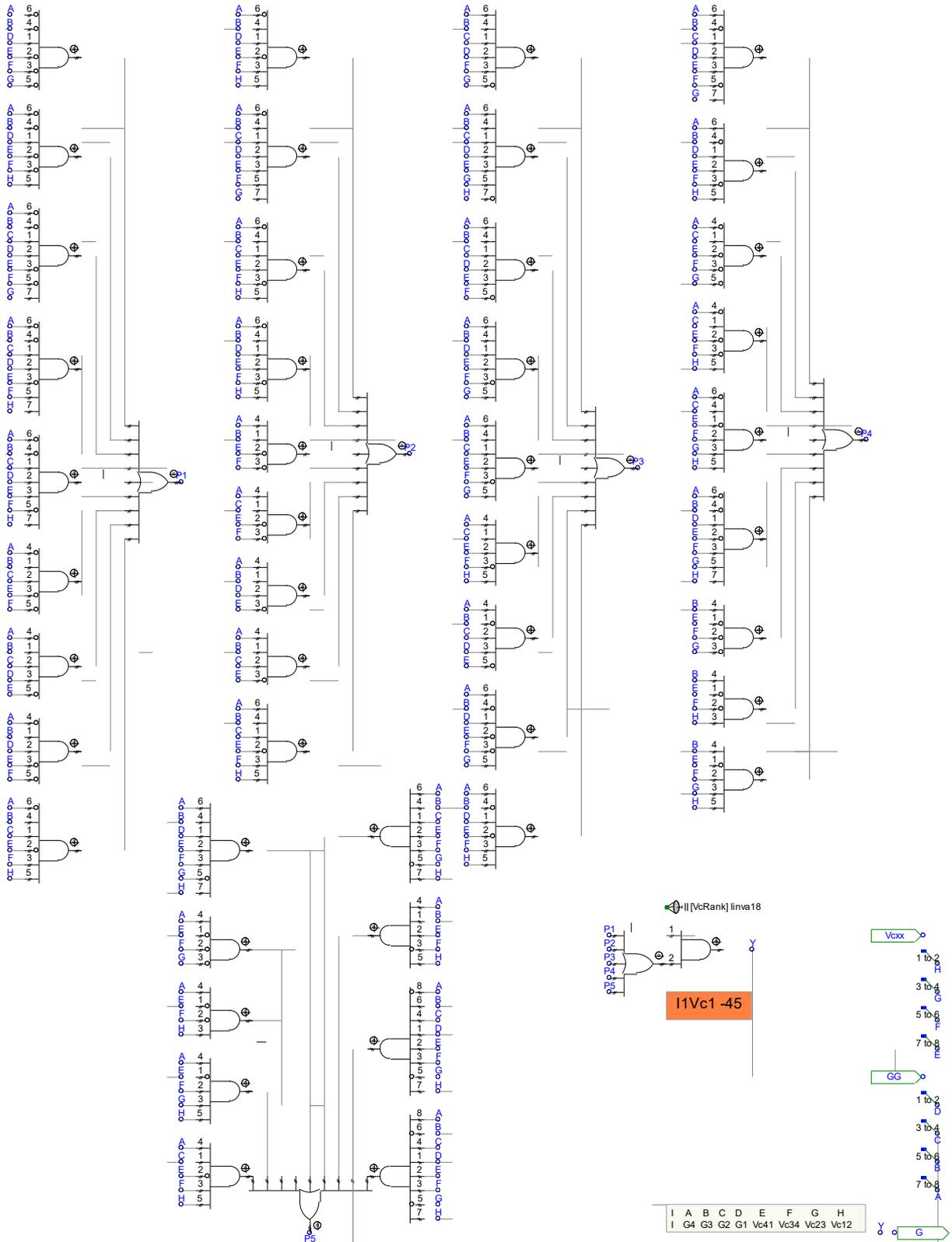


Figura 30 – Lógica combinatória para o módulo 1 (2ª parte)



APÊNDICE B – PRODUÇÃO CIENTÍFICA

A lista abaixo apresenta os artigos publicados a partir dos estudos realizados nesse trabalho.

- Análise da Distorção Harmônica no Conversor Multinível Modular - *MMC* em Sistemas de Média Tensão. *XXXII International SODEBRAS Congress*, Curitiba, 2014.
- Análise Qualitativa do Conversor Multinível Modular - *MMC* Operando como Compensador Síncrono Estático em Sistemas de Média Tensão. *XXXII International SODEBRAS Congress*, Curitiba, 2014.
- Análise da Distorção Harmônica no Conversor Multinível Modular - *MMC* em Sistemas de Média Tensão. *Revista SODEBRAS*, v. 10, p. 32-37, 2015. ISSN 1809-3957.
- Análise Qualitativa do Conversor Multinível Modular - *MMC* Operando como Compensador Síncrono Estático em Sistemas de Média Tensão. *Revista SODEBRAS*, v. 10, p. 38-41, 2015. ISSN 1809-3957.
- *An Improved Asymmetric Cascaded Multilevel D-STATCOM with Enhanced Hybrid Modulation*. *Revista Electronics*, v. 4, p. 311-328, 2015. DOI:10.3390/electronics4020311.